



特許協力条約に基づいて公開された国際出願

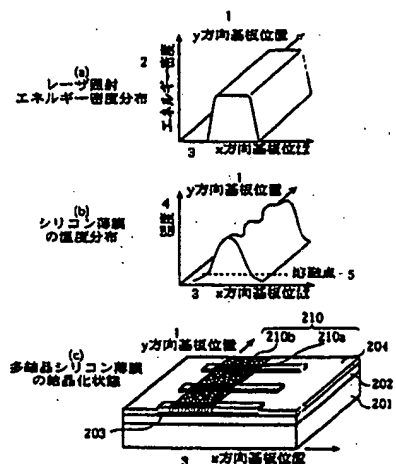
(51) 国際特許分類 H01L 21/20, 29/786	A1	(11) 国際公開番号 WO99/31719 (43) 国際公開日 1999年6月24日 (24.06.99)
(21) 国際出願番号 PCT/JP98/05701 (22) 国際出願日 1998年12月17日 (17.12.98) (30) 優先権データ 特願平9/347464 1997年12月17日 (17.12.97) JP 特願平10/9467 1998年1月21日 (21.01.98) JP 特願平10/62801 1998年3月13日 (13.03.98) JP 特願平10/67993 1998年3月18日 (18.03.98) JP 特願平10/138318 1998年5月20日 (20.05.98) JP 特願平10/163130 1998年6月11日 (11.06.98) JP (71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)[JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP) (72) 発明者 ; および (75) 発明者/出願人 (米国についてのみ) 武富義尚(TAKETOMI, Yoshinao)[JP/JP] 〒610-0357 京都府京田辺市山手東1-16-13 Kyoto, (JP) 倉増敏三郎(KURAMASU, Keizaburo)[JP/JP] 〒610-0357 京都府京田辺市大佐ヶ丘3-12-2 Kyoto, (JP)	井土真澄(IZUCHI, Masumi)[JP/JP] 〒573-1164 大阪府枚方市須山町14-6 Osaka, (JP) 佐谷裕司(SATANI, Hiroshi)[JP/JP] 〒614-8047 京都府八幡市八幡月夜田7-1-415 Kyoto, (JP) 筒 博司(TSUTSU, Hiroshi)[JP/JP] 〒534-0016 大阪府大阪市都島区友楽町1-5-7-1011 Osaka, (JP) 西谷 輝(NISHITANI, Hikaru)[JP/JP] 〒631-0074 奈良県奈良市三松2-10-3 Nara, (JP) 西谷幹彦(NISHITANI, Mikihiro)[JP/JP] 〒631-0026 奈良県奈良市学園緑ヶ丘2-16-5 Nara, (JP) 後藤真志(GOTO, Masashi)[JP/JP] 〒570-0014 大阪府守口市藤田町5-22-13 松東寮329号室 Osaka, (JP) 美濃美子(MINO, Yoshiko)[JP/JP] 〒631-0033 奈良県奈良市あやめ池南8-1-30 ヴェルビュあやめ池B棟601 Nara, (JP) (74) 代理人 弁理士 大前 要(OHMAE, Kaname) 〒540-0037 大阪府大阪市中央区内平野町2丁目3-14 ライオンズビル大手前2階 Osaka, (JP) (81) 指定国 KR, US, 欧州特許 (DE, FR, GB). 添付公開書類 国際調査報告書	

(54) Title: SEMICONDUCTOR THIN FILM, METHOD OF PRODUCING THE SAME, APPARATUS FOR PRODUCING THE SAME, SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THE SAME

(54) 発明の名称 半導体薄膜、その製造方法、および製造装置、ならびに半導体素子、およびその製造方法

(57) Abstract

A semiconductor device having a high field effect mobility is produced by increasing the particle diameter of a silicon thin film of a polycrystalline silicon thin film transistor. On a transparent insulating substrate (201) is formed an insulating film of a two-layer structure comprising a lower insulating film (202) contacting with the transparent insulating substrate (201) and having a heat conductivity larger than that of an upper insulating film (203) that is formed thereon. The upper insulating film (203) is patterned into a plurality of stripes. Then, an amorphous silicon thin film (204) is formed on the patterned insulating film. Thereafter, the amorphous silicon thin film (204) is transformed into a polycrystalline silicon thin film (210) by scanning the amorphous silicon thin film (204) with a laser beam in parallel with the stripes of the upper insulating film (203).



- (a) ... DISTRIBUTION OF LASER ENERGY DENSITY
 1 ... POSITION OF SUBSTRATE IN THE y-DIRECTION
 2 ... ENERGY DENSITY
 3 ... POSITION OF SUBSTRATE IN THE x-DIRECTION
 (b) ... DISTRIBUTION OF TEMPERATURE ON SILICON THIN FILM
 4 ... TEMPERATURE
 5 ... MELTING POINT
 (c) ... CRYSTALLINE STATE OF POLYCRYSTALLINE SILICON THIN FILM

BEST AVAILABLE COPY

多結晶シリコン薄膜トランジスタのシリコン薄膜の粒径を多きくして、高い電界効果移動度等を有する半導体素子を得るために、透明絶縁性基板 201 と接する側の下層絶縁膜 202 の熱伝導率がその上に形成する上層絶縁膜 203 の熱伝導率よりも大きな材料よりなる 2 層構造の絶縁膜を透明絶縁性基板 201 上に形成した後、上層絶縁膜 203 を複数のストライプ状にパターン形成し、その後パターン加工された絶縁膜上に非晶質シリコン薄膜 204 を形成し、さらに上層絶縁膜 203 のストライプパターンに平行にレーザ光を走査照射して、非晶質シリコン薄膜 204 を多結晶シリコン薄膜 210 にする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TC	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NO	ノルウェー	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン				

明 細 書

半導体薄膜、その製造方法、および製造装置、
ならびに半導体素子、およびその製造方法

5

技 術 分 野

本発明は、液晶ディスプレイに用いられる薄膜トランジスタ (TFT)、ラインセンサ等の光センサや太陽電池などの光起電力素子、SRAM (Static Random Access Memory) などのメモリLSI等に適用される半導体膜、その製造方法、および製造装置に関するものである。上記半導体膜は、より詳しくは、例えば、ガラス基板上などに形成される、非晶質材料などがレーザアニール処理されることによって形成された結晶性を有する半導体薄膜である。また、そのような半導体薄膜を用いた半導体素子、およびその製造方法に関するものである。

15

背 景 技 術

従来、薄膜トランジスタ (TFT) 等を構成する高品質なシリコンの半導体薄膜を非晶質絶縁基板上などに形成する方法および装置として、グロー放電を用いるプラズマCVD法およびプラズマCVD装置が用いられている。これらの製造方法および装置で得られる水素化アモルファスシリコン (a-Si) 膜は、長年にわたる精力的な研究開発によって、高品質な半導体薄膜として機能する水準に達し、例えばラップトップ型やノート型のパーソナルコンピュータ、エンジニアリングワークステーション、カーナビゲーション装置等におけるアクティブマトリクス液晶ディスプレイの画素用スイ

25

5 ッチングトランジスタ、ファクシミリのイメージセンサ用光センサ、電卓用バッテリーの太陽電池などの電気光学装置や、各種集積回路等において実用化されている。上記水素化アモルファスシリコンの最大の長所は、高々300℃程度のプロセス温度で大面積の基板上に再現性よく安定して製造できることである。

一方、近年、ディスプレイやイメージセンサの大型化、画素の高密度化（高精細化）が進むにしたがって、より高速な駆動に追従できるシリコン半導体薄膜が要求されるようになっている。また、軽量化や低コスト化を図るために、液晶ディスプレイの周辺回路部分
10 に形成されるドライバ素子に適用するためにも、高速な動作をし得ることが必要とされる。ところが、例えば上記水素化アモルファスシリコンの電界効果移動度は、高々 $1.0 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であり、上記要求を充分満たす電気的特性は得られない。

そこで、結晶性を有する半導体薄膜を形成して電界効果移動度等
15 を向上させる手法が研究され、そのプロセスとして、

（１）シランガスに水素や SiF_4 を混合してプラズマCVD法を用いることによって、堆積する薄膜を結晶化させる製造方法、および

（２）アモルファスシリコンを前駆体として結晶化を試みる製造方法
20 が開発されている。

上記（１）は、半導体薄膜の形成と同時に結晶化を行わせるものであるが、基板を比較的高温（600℃以上）に加熱する必要がある。そのために、基板として、高温に耐える高価な石英基板等を用
25 いる必要があり、安価なガラス基板を用いることが困難であり、製造コストが高くつくという欠点がある。具体的には、例えばアクテ

イブマトリクス型の液晶表示装置に多く用いられるコーニング 7059 ガラスは、ガラス垂点が 593℃であり、600℃以上の加熱処理を行うと、ガラス基板の縮みや歪みなどの機械的な変形等が顕著になるため、適正な半導体回路の形成プロセスや液晶パネルの作製プロセス等が困難になる。また、多次元的な集積を図ろうとすると、先に形成した回路領域に熱的損傷を与える恐れがある。

また、上記(2)は、基板上にアモルファスシリコン薄膜を形成し、これを加熱して多結晶シリコン(ポリシリコン: p-Si)薄膜を形成するもので、主として 600℃程度の温度で長時間熱処理を行う固相成長法と、レーザアニール法(特にエキシマレーザアニール法)とが用いられる。

前者の固相成長法は、アモルファス薄膜が形成された基板を加熱し、600℃以上の温度に 20 時間以上保つ必要があるため、やはり、製造コストの増大等を招く。

一方、後者のエキシマレーザアニール法は、例えば IEEE Electron Device Letters, 7(1986)pp.276-278や、IEEE Transactions on Electron Devices, 42(1995)pp.251-257 に開示されているように、アモルファスシリコン薄膜に、光エネルギーが大きい UV 光であるエキシマレーザ光を照射して結晶化させるもので、直接ガラス基板を加熱することなく、電界効果移動度の高い ($> 100 \text{ cm}^2 / \text{V} \cdot \text{s}$)、比較的良好な電気的特性の多結晶シリコン薄膜を得ることに成功している。すなわち、アモルファスシリコンは、図 1 に示すような透過率特性を有し、例えば XeCl エキシマレーザによる波長が 308 nm のレーザ光に対しては、吸収係数が 10^4 cm^{-1} 程度であるため、レーザ光は、ほとんどアモルファスシリコンの表面から 100 Å 程度の領域で吸収され、基板の温度はほとんど上昇

することなく（概ね 600℃以下）、アモルファスシリコンだけが高温になって、結晶化（多結晶化または単結晶化）する。それゆえ、安価なガラス基板が使用でき、また、局所的に光ビームを照射して結晶化させることができるので、さほど高速性の要求されない画素領域をアモルファス薄膜のままとし、画素領域の周辺のみを結晶化してここに高速性の要求されるドライバ回路を形成するといった多次元的な集積や、既に形成されている回路に熱的ダメージを与えることなく、順次、同一基板上の特定領域に良質の結晶質薄膜を形成することが可能になる。更に、この技術によるとCPU（Central Processing Unit）などを同一基板上に集積することも可能になる。

ここで、上記のようなp-Siを用いた半導体素子の例としてのTFETの一般的な構造および製造方法について説明する。

図2は、コプレーナ（coplanar）構造のTFETの概略を示す模式図であり、図2（a）はTFETの平面図、図2（b）は図2（a）におけるP-P'矢視断面図である。図2に示すように、上記TFETは、絶縁性基板111上に、アンダーコート層112と、p-Si膜113と、第1の絶縁膜（ゲート絶縁膜）114と、第2の絶縁膜116と、ゲート電極115、ソース電極117s及びドレイン電極117dの3つの電極とが設けられて構成されている。p-Si膜113は、Si（シリコン）からなる結晶性半導体層である。また、p-Si膜113は、アンダーコート層112上に、所定の形状にパターニングされて形成されている。更に、p-Si膜113は、チャネル領域113aと、ソース領域113b及びドレイン領域113cとからなっており、上記ソース領域113b及びドレイン領域113cは、チャネル領域113aの両側に位置する。このソース領域113b及びドレイン領域113c

は、リン又はボロン等の不純物イオンをドーピングすることにより形成される。

第1の絶縁膜114は、例えば二酸化シリコン(SiO_2)からなり、上記p-Si膜113及びアンダーコート層112の上方に形成されている。上記ゲート電極115は、例えばアルミニウム(A1)等からなる金属薄膜である。該ゲート電極115は、第1の絶縁膜114の上方に位置し、かつp-Si膜113のチャネル領域113aに対応する位置に設けられている。第2の絶縁膜116は、例えば SiO_2 からなり、上記ゲート電極115及び第1の絶縁膜114の上方に積層されている。

第1の絶縁膜114及び第2の絶縁膜116には、それぞれp-Si膜113のソース領域113b又はドレイン領域113cに達するコンタクトホール118・118が形成されている。ソース電極117s及びドレイン電極117dは、このコンタクトホール118・118を介して、ソース領域113b又はドレイン領域113cと接触するように形成されている。上記ゲート電極115、ソース電極117s及びドレイン電極117dは、図示の断面以外の部分で所定の形状にパターニングされることにより、配線パターンを構成している。

上記TFT110は次のようにして製造されている。まず、上記絶縁性基板111上に、例えば SiO_2 からなるアンダーコート層112を成膜する。これにより、後に形成されるp-Si膜113等への不純物の拡散防止などが図られる。次に、上記アンダーコート層112上に、非晶質性シリコンとしてのa-Si膜(図示しない)を例えばプラズマCVD法によって成膜し、該a-Si膜をエッチングにて所定の形状にパターニングする。なお、パターニング

は結晶化の後に行ってもよい。続いて、上記 a-Si 膜に短波長のエキシマレーザー等を照射して放冷する（レーザーアニール）。これにより、改質、すなわち上記 a-Si 膜が多結晶化して p-Si 膜 113 が形成される。ここで、a-Si 膜は短波長領域での光の
5 吸収係数が高いので、エネルギービームとしてエキシマレーザーを用いると、a-Si 膜のみを選択的に加熱することができる。したがって、絶縁性基板 111 の温度の上昇が小さいので、絶縁性基板 111 の材料として、低コストのガラス基板等を採用できるという利点がある。

10 上記で形成した p-Si 膜 113 の上に、第 1 の絶縁膜 114 を常圧 CVD (Chemical Vapor Deposition) 法にて成膜し、さらに第 1 の絶縁膜 114 上に、ゲート電極 115 を形成する。次に、上記ゲート電極 115 をマスクとして、p-Si 膜 113 に、例えばイオンドーピング法にて、ドナー若しくはアクセプタとなる不純物
15 イオン、具体的にはリン又はボロン等の不純物イオンを注入する。これにより、上記 p-Si 膜 113 に、チャネル領域 113a と、ソース領域 113b 及びドレイン領域 113c とが形成される。

次に、ゲート電極 115 上に第 2 の絶縁膜 116 を成膜した後、コンタクトホール 118・118 を形成し、例えばアルミニウムを
20 蒸着させ、パターニングしてソース電極 117s およびドレイン電極 117d を形成する。

上記のような p-Si 膜形成過程におけるエキシマレーザー等のパルス発振方式のレーザーは、出力が大きく、例えばラインビーム状のレーザー光を基板を移動させるなどして走査しながら照射することにより、一度に広い面積のアモルファスシリコンを結晶化させること
25 ができるので半導体装置の量産に有利であるが、結晶品質を向上さ

せることが困難であるという課題を有している。すなわち、この種のレーザは、1パルスの照射時間が数10 ns程度と非常に短く、照射時と非照射時との温度差が大きくなるため、熔融されたシリコン膜は急速に冷却される過程で結晶化する。それゆえ、結晶成長程度や結晶方位の制御が困難であり、十分な結晶成長が行われにくく、結晶粒径が小さくなって結晶粒界密度が大きくなったり、ばらつきが大きくなったりしがちであるとともに、結晶欠陥が多くなりがちである。より詳細には、レーザ照射後の冷却過程において、結晶核が無秩序に発生し、無秩序に発生した各々の結晶核は、これまたそれぞれ無秩序な方向に成長する。そして、結晶粒同志が互いにおつかり合った状態で結晶成長が止まる。このような成長過程を経て生成された結晶粒は、小粒でランダムな形状のものとなる。このため、結晶粒界が多数存在するpoly-Si膜となり、このようなpoly-Si膜では、電荷キャリアがスムーズに移動できないので、電界効果移動度等のTFET特性に劣るものとなる。

以下、結晶成長のメカニズム、および良好な結晶成長を行わせることが困難な理由について、より詳細に説明する。上記エキシマレーザは、Xe、Krなどの希ガスとCl、Fなどのハロゲンの混合ガスを電子ビームで励起する方法により発生するが、このままでは好適に使用し難い。このため、ビームホモジナイザーと呼ばれる光学系を用いて数cm角程度の矩形あるいはライン状の均一な光強度を持つものに整形した光ビームが、レーザアニール法において使用されている。そして、基板上に形成された非単結晶質薄膜（通常、アモルファス薄膜）の結晶化に際しては、この整形された光ビームをスキャンしながら照射する手法が用いられている。

しかし、この方法においても解決すべき幾つかの課題を抱えてお

り、例えば結晶粒径や結晶化度の均一性が悪く、トランジスタ特性が安定しない、電界効果移動度が低いといった課題を抱えている。

このため、これらの課題を解決するための方法として、

(1) 照射面の一部に反射膜や吸収膜を被せ薄膜面の光吸収性を制御することにより強度分布を形成して、結晶の成長方向を誘導する技術や、

(2) 基板を加熱(400℃)した状態でレーザ照射を行うことにより、結晶化を円滑に進行させる技術(Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials, Yokohama, 1991, p.p. 623-625)などが提案されている。また、例えばJpn.J.Appl.Phys.31(1992)p4550-4554に開示されているものも知られている。これは、例えば図3に示すように、前駆体半導体薄膜122が形成されたガラス基板121を基板ステージ124に載置し、基板加熱ヒータ125によって基板ステージ124を400℃程度に加熱した状態で、エキシマレーザ123のレーザ光123aを前駆体半導体薄膜122に照射するものである。このように、レーザ光の照射時にガラス基板を加熱する方法が併用されることによって、高い結晶品質、すなわち、比較的、大きく、かつ均一な結晶粒が得られ、電気的特性が向上する。

このうち、前者(1)は単結晶化を図ることもでき、また後者(2)は比較的簡便に適用でき、この技術を用いると電界効果移動度のばらつきが±10%以内に抑えられるとされる。しかしながら、上記技術には下記のような問題点があり、多次元的な集積と一層のコストダウンを図ろうとする最近の技術動向に十分に対応できるものではない。

すなわち、上記(1)の技術は、反射膜等を施す工程が必要であ

るので、その分製造工程が煩雑になりコスト上昇を招く。また、限定された狭い領域に反射膜等を施すのは容易でないので、微小な特定領域の結晶化を図り難い。

他方、上記（２）の技術では、基板を加熱するための加熱工程を必要とするので、その分生産性が低下する。すなわち、固相成長法ほど高温には加熱しないものの、基板を加熱および冷却するプロセスには、やはり時間がかかり（例えば３０分～１時間程度）、スループットが低下するという問題点も有している。この問題点は、基板の面積が大きくなるほど、基板の歪みを緩和するために加熱および冷却に要する時間が長くなり、一層顕著なものになる。またこの技術は、電界効果移動度のばらつきをある程度減少させることができるものの、電界効果移動度自体を十分に高めることができないので、高速性が要求される回路を形成するには不十分である。すなわち、ガラス基板の歪み等を生じさせないためには、５５０℃程度以上
10 上にガラス基板を加熱することはできず、より高い結晶品質等を得ることが困難である。更にこの技術は基板全体を加熱する方法であるので、基板上の限定された領域（特定領域）のみの結晶化を図るには不向きである。

以上のように上記（１）、（２）の技術は、いずれも製造コストを上昇させる等の課題を有する。そして特に上記（１）、（２）の技術（従来の他の技術についても同様である）は、多様かつ多次元的な積層を実現しにくいという本質的問題点を有している。すなわち、これらの技術が採用する温度分布の制御手段は、高速性が要求される回路領域（多結晶化領域）と、そうでない回路領域（アモルファス領域）とを同一基板上に選択的に形成するには不向きな手段であり、それゆえこれらの技術によつては、高度な集積化とコストダウ
20
25

ンとを同時に実現し難い。

ここで、限定された任意の領域のみを結晶化できる技術の有用性について説明する。従来技術にかかるレーザアニール法においては、図4に示すような、ビームの側部（エッジ部）が急峻で頂上は平坦（単位面積当たりのエネルギー強度が同一）な光ビームが用いられている。このような特性の光ビームを用いたpoly-Si薄膜であっても、従来ではそれほど高速な動作が要求されない例えば画素電極のスイッチング回路等を形成するために使用されていたので十分であった。

しかし、ゲート駆動回路やソース駆動回路、さらにはCPUなどの高速な動作を必要とする素子をも同一の基板上に一体的に形成しようとする場合においては、上記従来技術で実現できる程度の品質の多結晶質薄膜では不十分である。具体的には、例えばLCDの画素領域においては $0.5 \sim 10 \text{ cm}^2 / \text{Vs}$ 程度の移動度で十分であるが、画素を制御するためのゲート回路やソース回路等の周辺駆動回路では、 $100 \sim 300 \text{ cm}^2 / \text{Vs}$ 程度の移動度が必要である。ところが、上記特性の光ビームを用いる従来技術では、安定して高い移動度を得ることができない。すなわち、一般に多結晶シリコン薄膜では、結晶の粒径が大きければ大きいほど移動度等のトランジスタ特性が高くなるが、上記のような多結晶化処理によっては、十分なトランジスタ特性を得ることはできない。

この原因としては、上記特性の光ビームでは、結晶粒や結晶化度の不均一性が大きくなり、また結晶粒を大きくし結晶化度を高めようとして、照射強度を強めたり照射回数を増やすと、一層結晶粒の大きさが不揃いになって結晶化度がばらつくようになるからである。以下、この原因について詳細に検討する。

図5は、基板上に形成された非晶質シリコン薄膜に上記矩形状の光ビームを照射したときにおける結晶化度の分布を示す模式図である。図5において、1701は照射光の境界を示し、1702、1704は結晶化度の低い部分を示し、斜線部1703は結晶化度の高い部分を示す。この図に示すごとく、エネルギー強度が均一なエキシマレーザを用いた従来法によると、照射光の境界1701より少し内側に入った斜線部1703のみで結晶化度が高くなり、他の部分（境界付近1702および中央部1704）では結晶化度が低くなるという特徴的な結晶化度の分布パターンが形成される。そして、このことは、顕微ラマン分光法によって確認される。

すなわち、図5のA-A線に沿う部分のラマン強度の測定結果を図6に示すが、図6において、境界より少し内側に入ったところの急峻なピークの存在から、この部分の結晶化度が高いことがわかる。また、中央部分にピークが存在しないことから、この部分の結晶化度が低いことがわかる。

次に、図7を参照しながら、このような結晶化度の不均一が生じるメカニズムについて考察する。非晶質シリコン薄膜に光ビームを照射し、薄膜温度をシリコンの溶融温度以上（約1400℃以上）に加熱した後、光照射を止めると、放熱により薄膜温度が低下し、この過程で溶融していたシリコンが析出し結晶化する。ここで、図7(a)のような均一な光強度分布の光ビームを照射した場合、薄膜面には図7(b)に示すような温度分布パターンが形成される。すなわち、中央部には温度勾配のない平坦な温度領域が形成され、周辺部では熱が周囲に逃げるために急峻な温度勾配が形成されるが、この場合、中央部の温度がシリコンの溶融温度以上であれば、照射終了後に、先ず温度分布曲線1901と結晶化温度線1902との

交点付近（境界付近）の温度が結晶化温度に達する。よって、この付近に結晶核（1903）が発生する（図7（c））。すなわち、非晶質シリコン薄膜が溶融点を超え、溶融点を越えた領域で非晶質シリコン薄膜が溶融し固化するときに結晶化が起こることにより多結晶化が図られる。次いで、更に温度が下がると（図7（d））、前記結晶核1903を開始点として未だ結晶化温度に達していない中央部方向に向かって結晶化が進行していく（図7（e））が、光エネルギー強度の均一な光ビームを用いた場合には、図7（b、d、f）の如く中央部に面方向の温度勾配が殆どない状態で温度降下する。

したがって、温度降下のある時点で比較的広い範囲が同時に結晶化温度に到達し（図7（f））、この範囲（1904）の何れの部位においても等しい確率で結晶核が発生し得るようになる。このため、図7（g）に示すように、1904の全面において同時的に微小な結晶核が発生し、その結果として微小な多数の結晶粒からなるpoly-Si薄膜が形成される。このようなpoly-Si薄膜は、当然に結晶粒界の密度が大きい。よって、結晶粒界にキャリアが捕捉される程度が大きくなるので、電界効果移動度が小さくなる。なお、図7（c）の1900は薄膜の断面を示している。

また、上記のような結晶化度の不均一が生じるメカニズムは、図8に示すようにライン状のレーザビームを照射する場合も同様である。ここで、図8において、（a）は、使用するエキシマレーザのx、y方向のエネルギー密度分布を、（b）は、このようなエネルギー密度分布を有するエキシマレーザを非晶質シリコン薄膜上に照射した場合の非晶質シリコン薄膜の温度上昇分布を、（c）は上記の（a）及び（b）のようにしてレーザが照射される多結晶シリコン薄膜トランジスタの斜視図を示している。すなわち、図8（a）

に示すようにエネルギー分布を有するレーザを用いていることに起因して、被照射領域の y 方向の温度分布はほぼ均一であるものの、図 8 (b) に示すように、x 方向では中央部が高く両側が低い温度分布を生じる。このような温度分布の結果として、結晶化は x 方向の周辺部から中央へ進み、多数の核生成により中央部ではそれぞれの成長面が出会うことになり、図 8 (c) に多結晶シリコン薄膜の結晶化状態を模式的に示すように、レーザビームのラインビームエネルギー密度が低い部分の結晶粒は大きいものの、エネルギー密度が高い部分（中央部）の結晶粒は小さくなってしまふ。なお、図 8 において、131 は透明絶縁性基板、134 は多結晶シリコン薄膜で 141 は結晶粒を示している。また、139 は絶縁膜で一般には 2 酸化珪素 (SiO_2) 膜が用いられ、140 は非晶質シリコン薄膜である。

なお、上記の例では、説明を簡単化するために 1 回のエネルギービームの照射を行った場合を示したが、複数回照射する場合などでも同様である。

また、従来のレーザアニールにおいては、上記のように電界効果移動度の向上が困難であることに加えて、半導体膜の膜質の均一性を向上させることが困難であり、特に上記両者を両立させることが困難であるという問題点を有していた。

ここで、従来のレーザアニール装置の構成について図 9 に基づいて説明する。図 9 において、151 はレーザ発振器、152 は反射鏡、153 は均一化装置、154 は窓、155 は非晶質シリコン層が形成された基板、156 はステージ、157 は制御装置を示している。そして、非晶質シリコン層のレーザアニールの際には、レーザ発振器 151 から発振したレーザ光を反射鏡 152 によって均一

化装置 1 5 3 に導き、エネルギーの均一な所定の形に整形されたレーザービームを窓 1 5 4 を通して処理室内のステージ 1 5 6 に固定された基板 1 5 5 に照射するようになっている。

上記のようなレーザアニール装置を用いてアニール処理を行う場合、
5 レーザビームを基板全面に一括で照射することは困難であるため、実際には、レーザの照射領域を重ね合わせつつ、順次ずらしながら基板全面を同一条件で照射している（例えば、I.Asai,N.Kato, M.Fuse and T.Hamano, ジャパン ジェイ アプライ フィジックス (Jpn.J.Appl.Phys.) 32 (1993)474)。しかしながら、このように
10 レーザビームの照射領域を重ねつつ、順次ずらしながら照射するレーザアニールの方法では、レーザエネルギー密度を高くすれば、半導体膜特性の評価基準の一つである移動度が高くなり、全体的に膜質が向上するものの、照射領域の継ぎ目で膜質の不均一が生じ、半導体膜全体の均一性が低くなる。一方、比較的低いエネルギー密度で
15 レーザ照射すると、膜質の均一性を向上させることは容易になるが、エネルギー密度が低いために電界効果移動度を高くすることが困難になる。

それゆえ、例えば T F T が形成された基板を液晶ディスプレイに用いる場合、図 1 0 に示すように比較的大面積の画像表示領域 1 5
20 8 に必要とされる膜質の均一性と、周辺回路部（ドライバ回路）1 5 9 に必要とされる電界効果移動度を満足する半導体膜を形成することは困難であった。なお、このような問題点に対しては、例えば米国 U S P 5 7 5 6 3 6 4 号に開示されているように、画像表示領域 1 5 8 と周辺回路部 1 5 9 とでレーザービームの強度を異ならせ
25 ることが提案されているが、このようにレーザービームの強度を異ならせるだけでは、周辺回路部 1 5 9 において十分な電界効果移動度

を持たせることが困難である。

上記のように、従来のレーザアニール方法においては、結晶粒径や結晶方位を制御することが困難であり、高い結晶品質、すなわち、大きく、かつ均一な結晶粒径を有し、結晶欠陥も少ない半導体薄膜を形成することが困難であるとともに、スループットを向上させて製造コストを低減することも困難であり、しかも、半導体薄膜の膜特性（電界効果移動度等）の向上と膜質の均一性を同時に達成することができないという問題点を有していた。

本発明は、上記の点に鑑み、スループットの低下を招くことなく、しかも、高い結晶品質の半導体薄膜を形成することができ、さらに、半導体薄膜の膜特性の向上と膜質の均一性を同時に達成することができる半導体薄膜の製造方法、および装置、ならびにそのような半導体薄膜を用いた、電界効果移動度等のTFT特性に優れた薄膜トランジスタ、およびその製造方法の提供を目的としている。

なお、この明細書で結晶化というときには、単結晶化と多結晶化の双方を含めた意味で使用してあるが、本発明の結晶質半導体薄膜の作製方法はpoly-Si薄膜の作製に特に有用である。

発 明 の 開 示

本発明は、上記の点に鑑み、スループットの低下を招くことなく、しかも、高い結晶品質の半導体薄膜を形成することができ、さらに、半導体薄膜の膜特性の向上と膜質の均一性を同時に達成することができる半導体薄膜の製造方法、および装置、ならびにそのような半導体薄膜を用いた、電界効果移動度等のTFT特性に優れた薄膜トランジスタ、およびその製造方法の提供を目的としている。

上記の課題を解決するため、本発明者等は種々検討した結果、多

結晶シリコン薄膜の結晶粒が小さくなる原因が、エキシマレーザ照射により加熱された際のシリコン薄膜の温度分布によるものであることに着目し、少なくともトランジスタを形成する領域に関して大きな粒径を持つ多結晶シリコン薄膜化する方法を考え出した。

- 5 すなわち本発明者等は、レーザによる多結晶化処理を行う際に、トランジスタを形成する領域を挟んで、その両側に熱伝導が高い領域を設けることにより、トランジスタが形成される領域の周囲の領域の温度が高くなるようにし、トランジスタ形成領域の温度を周囲に比較して相対的に低くすることで、トランジスタ形成領域のシリ
10 コン薄膜を最初に結晶化させて粒径の増大化を行い得ると考えるに至った。

- そこで、請求項 1 の発明は、基板上に、第 1 の熱伝導率を有する第 1 の絶縁膜と、上記第 1 の熱伝導率と異なる第 2 の熱伝導率を有し、部分的な領域に選択的に形成された第 2 の絶縁膜とを積層する
15 工程と、上記第 1 の絶縁膜および第 2 の絶縁膜上に非単結晶半導体薄膜を積層する工程と、上記非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程とを有することを特徴としている。

- 具体的には、例えば非晶質シリコン薄膜の絶縁膜の熱伝導率をトランジスタが形成される領域とその他の領域とで異ならしめること
20 により、トランジスタが形成される領域の非晶質シリコン薄膜の熱伝導性をその他の領域の非晶質シリコン薄膜よりも高くする。

- この構成によれば、多結晶化を行う際の、トランジスタ形成領域のシリコン薄膜の温度がその他の領域よりも低いため、結晶化がトランジスタ形成領域から発生することになり、トランジスタ形成領
25 域の多結晶シリコンの粒径を大きくすることができる。

また、請求項 1 2 の発明は、半導体膜表面の周縁の少なくとも一部には、半導体膜に対して略水平方向に延びる 1 つ以上の突起部が設けられることを特徴としている。

ここで、本発明の理解に供するため、本発明に到るアプローチについて簡単に説明する。まず、本発明者らは、従来技術の上記課題の要因を究明すべく検討を重ね、十分明確には解明されなかったものの、その要因として以下の事項を想定するに到った。すなわち、一般に、結晶核の発生および結晶成長は、半導体膜がアニール処理により一旦、加熱され、その後、冷却されることにより成される。

ところで、従来技術においては、アニール処理後の半導体膜は、その中央部および周辺部にかかわらず、ほぼ一様に冷却されており、この結果、結晶核がランダムな位置にほぼ同時期に発生してしまうので、結晶粒径や結晶方位を制御することが困難になっていると想定される。また、このことにより、結晶核が比較的近接した位置にほぼ同時に発生するおそれがあり、この場合、結晶成長の過程で結晶同士が干渉し合い、十分な結晶粒径を得ることが困難となっている。

そして、上記した事項を念頭に鋭意検討した結果、本発明者らは、「半導体膜の周辺部における結晶核を、中央方部における結晶核よりも早い時期に発生させ、その後、周辺部部に発生した結晶核を、中央部において結晶核が発生もしくは結晶成長する以前に、中央部に向けて結晶成長させることにより、結晶粒径や結晶方位を制御可能にすると共に、結晶成長の過程にある結晶同士の干渉を防止して、十分な結晶粒径を得る。」という本発明の技術的思想を創出したのである。

すなわち、請求項 1 2 によれば、アニール処理後の半導体膜にお

いて、周縁の突起部に蓄積された熱は水平面において外側の複数の方向（例えば、突起部が矩形状を有する場合、3方向）に拡散するのに対して、中央部に蓄積された熱は水平面内において未だ冷却されていない周縁側にしか逃げ場がないので、突起部を含めて周縁が中央部に較べて十分早く冷却される。

この結果、周縁における結晶核は、中央部における結晶核よりも早い時期に発生し、中央部において結晶核が発生もしくは結晶成長する以前に、この周縁に発生した結晶核が中央部に向けて結晶成長するので、結晶粒径や結晶方位が制御可能となる。このことにより、結晶成長の過程にある結晶同士の干渉が防止され、十分な結晶粒径を得ることができる。

また、請求項13によれば、突起部に1つの結晶核のみが発生して、この結晶核が結晶成長することになる。なお、請求項14、15によれば、結晶の粒径がより整い、突起部毎に1つの結晶核が確実に発生する。

また、請求項16によれば、突起部に発生し成長した結晶は、さらに、中央部に向かって成長するが、この場合、隣り合う突起部から中央部に向かう結晶成長および、対向する辺の突起部から中央部に向かう結晶成長に対して、極力、干渉し合うことなく、結晶成長することが見込まれる。

また、請求項18によれば、突起部はゲート電極に対応する領域に設けられるので、良好な導電特性を得ることができる。

また、請求項19は、非晶質半導体膜を形成する工程と、前記非晶質半導体膜の周縁の少なくとも一部に、略水平方向に延びる1つ以上の突起部を選択的に形成する工程と、前記突起部が形成された非晶質半導体膜をアニール処理して結晶化させる工程を含むことを

特徴とする半導体膜の製造方法である。

請求項 19 により製造された半導体膜においては、請求項 12 と同様の効果を奏する。

さらに、請求項 22 によれば、半導体膜の周辺部における結晶核
5 を中央部における結晶核よりも早い時期に発生させ、その後、前記周辺部に発生した前記結晶核を、前記中央部において結晶核が発生もしくは結晶成長する以前に、中央部に向けて結晶成長させるので、結晶粒径や結晶方位が制御可能となる。

このことにより、結晶成長の過程にある結晶同士の干渉が防止さ
10 れ、十分な結晶粒径を得ることができる。

また、上記の課題を解決するために、請求項 26 に記載の発明は、チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が基板上に形成
15 されてなる結晶質薄膜トランジスタにおいて、前記結晶質半導体層は、非単結晶質薄膜を結晶化してなるものであり、前記結晶質半導体層の少なくともチャネル領域には、結晶成長方向を制御する結晶成長方向制御空隙が設けられていることを特徴とする。

上記構成によると、チャネル領域に形成された結晶成長方向制御
20 空隙が、非単結晶質薄膜の結晶化に際してチャネル領域の結晶成長方向を制御する。したがって、このような結晶成長方向制御空隙を有してなる結晶質半導体層は、結晶形状や結晶粒界密度が好適に規制されたものとなっているので、上記構成の結晶質薄膜トランジスタは、電界効果移動度等の T F T 特性に優れる。

25 ここで、上記結晶成長方向制御空隙とは、結晶質半導体層（製造段階では非単結晶質薄膜）の表面に形成された窪み（凹）であり、

この窪みは結晶質半導体層の下層（基板面またはアンダーコート層）にまで達するものであってもよく、また下層にまで達しないものであってもよい。また、窪みの大きさや形状についても特に制限されない。よって、結晶質半導体層の表面積の大小、厚み、或いは
5 所望する電界効果移動度等を勘案して適当に設定できる。例えば表面形状が円形、方形の穴、或いは細長い溝などが例示でき、穴または溝の断面形状としてはC字型やV型、コの字型などが例示できる。なお、結晶成長方向制御空隙の役割・機能の詳細については下記する。

- 10 請求項27に記載の発明は、チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が基板上に形成されてなる結晶質薄膜トランジスタにおいて、前記半導体層が、非単結晶質薄膜を結晶化してなるものであり、前記結晶質半導体層の少なくともチャネル領域には、ソース
15 領域とドレイン領域とを結ぶ方向に溝状の空隙が、2列以上設けられていることを特徴とする。

この構成によると、2列以上設けられた溝状の空隙が、非単結晶質薄膜の結晶化に際して、結晶の成長方向をソース領域とドレイン領域とを結ぶ方向に誘導するように機能するので、その結果物として
20 のpoly-Si膜は、ソース領域とドレイン領域とを結ぶ方向に長い、大粒の結晶粒の集合体となる。このようなpoly-Si膜は、ソース領域とドレイン領域とを結ぶ方向における結晶粒界密度が小さいので、この方向におけるキャリア移動速度が速い。つまり、上記構成の結晶質薄膜トランジスタは、キャリア移動度等の特性に優れ
25 る。

ここで、結晶成長方向制御空隙を設けると、結晶成長方向が制御

された大粒の結晶粒が得られる理由を、図 1 1 および図 2 0 を参照しながら詳説する。

図 2 0 に示すように、結晶質半導体層の前駆体である非単結晶質薄膜表面に、溝状の結晶成長方向制御空隙（符号 4 1 1）をソース領域とドレイン領域とを結ぶ方向に 2 列以上形成し、しかる後、常法に従って当該薄膜に可吸収性のエネルギービームを照射すると、薄膜面の温度は、結晶成長方向制御空隙とその近傍および半導体薄膜周縁部に低く、チャネル領域本体部（結晶成長方向制御空隙が形成されていない薄膜部分）に高い温度分布となる。

なぜなら、溝部分（結晶成長方向制御空隙）は、他の部分に比べ薄膜の厚みが薄くなっているか、または薄膜が存在しないので、エネルギービームの吸収が少なく、この結果として溝部分の温度が他の部分に比べて低くなるからである。また、通常、半導体薄膜の外側には薄膜が存在しないのでエネルギービームの吸収が少ないと共に、周縁部では熱が外側に拡散するので、薄膜中央部分に比較し温度が低くなるからである。

次に、結晶成長方向制御空隙および周縁部に低い温度分布をもった非単結晶質薄膜における結晶成長過程を説明する。なお、非単結晶質薄膜の周縁部の温度が低いのは従来技術においても同様なことであるので、ここでは結晶成長方向制御空隙と結晶成長方向との関係について、図 1 1 を参照しながら説明する。

図 1 1 は結晶成長の様を概念的に説明するための図である。先ず本体部よりも温度の低い結晶成長方向制御空隙の周辺に結晶核が発生する。そして、この結晶核は薄膜全体の温度降下に伴って、より温度の高い方向、すなわち溝状の結晶成長方向制御空隙から遠ざかる方向（溝に対し垂直な方向）に向かって成長する。ここで、上記

構成では、結晶成長方向制御空隙がソース領域とドレイン領域とを結ぶ方向に2列以上設けられているので、対向する2つの結晶成長方向制御空隙付近でそれぞれ発生した結晶核は、逆の方向からそれぞれチャンネル領域本体部の中央に向かって成長する。

- 5 このため、結晶粒同志がチャンネル領域本体部の中央付近でぶつかり合うことになるが、結晶成長方向制御空隙から遠い中央付近は他の部分よりも温度が高く、未だ分子が自由に動き得る状態にある。よって、ぶつかり合いを避ける方向、すなわちソース領域とドレイン領域とを結ぶ方向（溝と平行な方向）に結晶成長が誘導される（図 1 1 a 参照）。この結果、ソース領域とドレイン領域とを結ぶ方向に長い大粒の結晶粒が形成される（図 1 1 b 参照）。このような形状の結晶粒の集合体からなるチャンネル領域であると、ソース領域とドレイン領域とを結ぶ方向の結晶粒界密度が小さいので、電界効果移動度等の T F T 特性に優れた結晶質薄膜トランジスタが構成できる。
- 10
- 15

請求項 2 8 に記載の発明は、請求項 2 6 に記載の発明において、前記結晶成長方向制御空隙が、ソース領域とドレイン領域とを結ぶ方向に不連続的に複数設けられていることを特徴とする。

- 不連続的に複数の結晶成長方向制御空隙を配置したこの構成であると、結晶成長がより極め細かに制御され、特に結晶成長方向制御空隙を2列以上配列した場合には、結晶粒の大きさや形状を一層極め細かに制御できる。この理由を次に説明する。
- 20

- 上記請求項 2 7 で説明したように、より早く結晶化温度にまで降温する結晶成長方向制御空隙の近傍で結晶核が発生するが、各々の結晶核の間隔が狭いと、十分に成長する前に他の結晶粒とぶつかって結晶成長が止まるため、多数の微小な結晶粒からなる多結晶質と
- 25

なると共に、結晶粒同志が衝突する境界付近では結晶構造が歪になる。このため、所望のTFT特性が得られない。このことから、電界効果移動度等のTFT特性を高めるためには、結晶成長方向を制御すると共に、結晶核の発生密度をも適正に制御する必要がある。

- 5 ここで、空隙を不連続的に配置すると、空隙の近傍で結晶核が発生するが、空隙と隣の空隙との中間部分では結晶核が発生し難い。したがって、空隙の数や空隙同志の間隔を調節することにより結晶核の発生密度を制御できることになる。なお、空隙と隣の空隙との
- 10 中間部分において結晶核が発生しにくいのは、この部分（薄膜物質が存在する部分）はレーザー照射によって十分に昇温するからである。

- 請求項29の発明は、チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する半導体層が基板上に形成されてなる結晶質薄膜トランジスタにおいて、前記
- 15 結晶質半導体層が、非単結晶質薄膜を結晶化してなるものであり、少なくともチャネル領域には、チャネル領域本体部に比較して結晶化開始温度が高い早期結晶化領域が設けられていることを特徴とする。

- 上記構成によると、早期結晶化領域がチャネル領域本体部の結晶
- 20 成長を制御するように機能する結果、結晶粒界密度の小さい良質の結晶質半導体層が形成できる。この理由は次の通りである。

- 早期結晶化領域は、チャネル領域本体部に比較して結晶化開始温度が高い部分であるので、放冷過程において先ず最初に早期結晶化領域で結晶核が発生する。よって、その後はこの結晶核を中心にして
- 25 結晶成長が行われる。よって、早期結晶化領域を設けることにより、一度に多数の結晶核が発生する現象を防止でき、その結果とし

て、より大きな結晶粒が集合した多結晶質半導体層となすことができる。

ここで、早期結晶化領域は、少なくともチャネル領域に1つ以上配置すればよいが、ソース領域とドレイン領域とを結ぶ方向へのキャリアの移動を障害しない位置に複数の早期結晶化領域を設けるのもよい。適正な位置および間隔で複数の早期結晶化領域を薄膜面に点在させると、結晶核の発生密度を適正に制御できるので、一層良好な結果が得られる。なお、上記構成における「結晶化開始温度が高い」とは、チャネル領域本体部に比較し、より高い温度において結晶化が開始されることを意味する。

請求項30の発明は、請求項29に記載の結晶質薄膜トランジスタにおいて、前記早期結晶化領域が、ソース領域とドレイン領域とを結ぶ方向に長い形状のものであることを特徴とする。

早期結晶化領域はキャリア移動させる領域ではないので、この領域はソース領域とドレイン領域とを結ぶ方向に対し幅狭がよい。なぜなら、早期結晶化領域がソース領域とドレイン領域とを結ぶ方向と直交方向に長い形状であると、早期結晶化領域がキャリア移動度を障害する原因になるからである。

請求項31の発明は、請求項29に記載の結晶質薄膜トランジスタにおいて、前記早期結晶化領域が、チャネル領域本体部を構成する成分と不純物とを含んでなるものであることを特徴とする。

半導体層に不純物を含ませて結晶化開始温度を上げる手段であると、比較的簡単に早期結晶化領域を形成することができる。よって、上記構成の結晶質薄膜トランジスタは、電界効果移動度等のTFT特性に優れ、しかも安価となる。

請求項32の発明は、請求項26に記載の結晶質薄膜トランジス

タにおいて、前記結晶質半導体層が、シリコン、またはシリコンとゲルマニウムの化合物を主成分とするものであることを特徴とする。

5 シリコン、またはシリコンとゲルマニウムの化合物は、入手し易くかつ結晶化し易い。よって、上記構成であると、高品質の結晶質薄膜トランジスタを安価に提供できる。

以下に記載する請求項 33～39 の発明は、上記請求項 26～32 の結晶質薄膜トランジスタの製造方法に関する。そして請求項 33～39 の発明の作用効果は、概ね上記請求項 26～32 の説明で
10 記載したと同様である。したがって、以下では作用効果の詳細な説明は省略する。

請求項 33 の発明は、チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層を備える結晶質薄膜トランジスタの製造方法において、少な
15 くとも絶縁性基板の上に非単結晶質薄膜を堆積する工程と、前記非単結晶質薄膜に、結晶成長方向制御空隙を形成する工程と、結晶成長方向制御空隙が形成された非単結晶質半導体薄膜に、エネルギービームを照射して当該薄膜を結晶化する工程とを備える結晶質薄膜トランジスタの製造方法に関する。

20 上記請求項 33 の発明において、前記結晶成長方向制御空隙を、ソース領域とドレイン領域とを結ぶ方向に溝状に形成することができ、更に前記結晶成長方向制御空隙を、ソース領域とドレイン領域とを結ぶ方向に不連続的に複数形成することができる。そしてこれらの構成により、上記した請求項 26～28 の結晶質薄膜トランジ
25 スタが作製できる。

請求項 36 の発明は、チャネル領域と、前記チャネル領域の両側

に配置されたソース領域、およびドレイン領域とを有する結晶質半
導体層が形成されてなる結晶質薄膜トランジスタの製造方法におい
て、少なくとも絶縁性基板の上に非単結晶質薄膜を堆積する工程
と、前記非単結晶質半導体薄膜の一部に、当該部分の結晶化開始温
5 度を高める不純物をイオン注入して不純物を含む早期結晶化領域を
形成する早期結晶化領域形成工程と、前記早期結晶化領域形成工程
の後、エネルギービームを照射して当該薄膜の結晶化を行う工程
と、を備える結晶質薄膜トランジスタの製造方法に関する。

上記請求項 36 の発明において、前記早期結晶化領域形成工程
10 で、前記ソース領域と前記ドレイン領域とを結ぶ方向に長い帯状の
早期結晶化領域を形成することができ、更に前記早期結晶化領域
を、前記ソース領域と前記ドレイン領域とを結ぶ方向に不連続的に
配置することができる。そしてこれらの構成により、上記した請求
項 29 ～ 31 の結晶質薄膜トランジスタが作製できる。

15 更に、製造方法に関する上記各発明においては、前記エネルギー
ビームとして、エキシマレーザビームを用いることができる。

エキシマレーザは、光エネルギーが大きいと共に、UV 光である
のでシリコンによく吸収される。よって、エキシマレーザビームを
用いると、効率よく非単結晶質半導体層の結晶化を行うことがで
20 き、特に非単結晶質半導体層がシリコン等の紫外線吸収性の物質で
組成されている場合においては、半導体層のみを選択的に加熱し溶
融させることができる。したがって、照射領域以外の部分に対し熱
的影響を及ぼすことなく、半導体層の結晶化を行えると共に、基
板温度の上昇が小さいので、安価なガラス基板が使用できる。更に
25 エキシマレーザと UV 吸収性の薄膜材料との組み合わせであると、
結晶成長方向制御空隙と、吸半導体層本体部との温度差が大きくな

るので、結晶成長方向制御空隙の機能（結晶成長方向を制御する機能）が十分に発揮される。

また、本発明者らは、結晶化のメカニズムに対する上記考察を踏
5 まえて、結晶を十分に成長させる方法について鋭意研究した。その
結果、光ビーム幅内の光強度分布を意図的に不均一にすることによ
り、結晶化が円滑に進行し、その結果として良質の結晶質薄膜が得
られることを見出した。このような知見に基づいて以下の構成の本
発明を完成した。

10 すなわち、請求項 40 の発明は、基板上に形成された非単結晶質
からなる薄膜に光ビームを照射することにより、前記非単結晶質を
結晶化または再結晶化して結晶質半導体薄膜となす結晶質半導体薄
膜の作製方法において、上記光ビームとして、被照射面である前記
15 薄膜表面に温度勾配若しくは温度分布の不均一が生じるように、光
エネルギー強度の分布パターンが調節された光ビームを用いること
を特徴とする。

この構成であると、光ビームが照射された非単結晶質薄膜表面に
温度勾配若しくは温度分布の不均一が生じるので、広い範囲で同時
的に微小な結晶核が発生するという上記図 7 f、g で説明した現象
20 が防止できる。したがって、相対的に大きな結晶粒が得られ、また
結晶化度の均一性が高まる。この結果、結晶粒界の密度が小さくな
り、電界効果移動度が向上する。

請求項 41 の発明は、請求項 40 記載の結晶質薄膜の作製方法に
おいて、前記光ビームとして、ビーム幅内における光強度が一方か
25 ら他方へ単調に増加しまたは一方から他方へ単調に減少する分布パ
ターンを有する光ビームを用いることを特徴とする。

この構成であると、光エネルギー強度の高低に対応して、被照射面である非単結晶質薄膜表面に温度勾配が形成され、結晶化が温度の低い所から温度の高い方向に誘導される。よって、無秩序な結晶核の発生や無秩序な結晶の成長が防止されるので、上記図 7 f、g
5 で説明したような現象が確実に防止できる。

ここで、結晶質薄膜を例えばソース領域-チャネル領域-ドレイン領域とからなる半導体回路に使用する場合においては、好ましくはソースドレイン方向と平行な方向に光エネルギーの強度勾配を形成する。このようにすると、結晶成長の方向がキャリアの移動方向と平行する方向に規制され、この方向における結晶粒界密度が小さくなる。よって、この方法の採用により、例えば $300 \text{ cm}^2 / \text{Vs}$ 程度ないしそれ以上の移動度可以实现できる。
10

請求項 42 の発明は、請求項 40 記載の結晶質薄膜の作製方法において、前記光ビームとして、ビーム幅内において相対的に光強度の強い部分と相対的に光強度の弱い部分とが平面的に交互に配列された分布パターンを有する光ビームを用いることを特徴とする。
15

光強度の強い部分と弱い部分とからなる縞状のパターンを有する光ビームが照射されると、照射面に温度の高い部分と低い部分とからなる縞状の温度分布パターンが形成できる。このような縞状の温度分布パターンにおいては、温度の低い部分（通常帯状になっている）から温度の高い部分方向に結晶成長が誘導される。そして、温度の高い部分（帯）の中央部付近で結晶粒が衝突し、ここに結晶粒界の連続線（山脈のような連続線）が形成されると共に、この連続線と平行な方向にやや長い結晶粒が形成される。
20

したがって、この構成によっても、上記図 7 f、g で説明したような現象が防止でき、更に上記請求項 41 の発明におけると同様な
25

効果も得られる。すなわち、相対的に光強度の強い領域と光強度の弱い領域とをソースドレイン方向に平行させて配置し結晶化を行う。このようにすると、結晶粒の衝突線がソースドレイン方向と平行になり、キャリアが移動度を大きく低下させる原因になる結晶粒の衝突線（結晶粒界の境界線）を横断することがなくなる。よって、高い移動度を有するチャンネル領域が形成できることになる。

請求項 4 3 の本発明は、請求項 4 2 記載の結晶質薄膜の作製方法において、前記光ビームとして、少なくとも 2 つの互いにコヒーレントな光を同時に照射して光干渉を生じさせることにより形成した光ビームを用いることを特徴とする。

光干渉を利用するこの構成であると、きめ細かな光強度分布を形成でき、その結果として照射面にきめ細かな縞状の温度分布が形成できる。よって、この構成によると、比較的幅の広い領域の結晶化を円滑に進行させることができる。

請求項 4 4 の本発明は、請求項 4 0 記載の結晶質薄膜の作製方法において、前記光ビームとして、少なくとも 2 つの互いにコヒーレントな光を同時に照射し、かつ前記光の少なくとも 1 つの光の位相を動的に変調することにより形成した波動的な干渉パターンを用いることを特徴とする

動的な光干渉パターンを利用するこの構成では、光ビームのエネルギー強度分布が波動的に変化し、これに対応して照射面の温度が一方向に移動していくように波動的に変化する。よって、この構成であると、非結晶質薄膜中に含まれる不純物を徐々に有効領域外に追いやることができ、その結果として高純度かつ移動度に優れた結晶質薄膜を形成できる。

なお、上記請求項 4 0 ～ 4 4 記載の結晶質薄膜の作製方法におい

て、前記光ビームを基板上の非単結晶質薄膜に対して相対的に移動させながら照射してもよい。照射面（非単結晶質薄膜面）に温度勾配若しくは温度分布の不均一が生じるように、光エネルギー強度の分布パターンが調節された光ビームを、薄膜面に対し相対的に移動させながら照射するこの構成であると、きめ細かに結晶成長方向を誘導できる。よって、結晶化度の均一性が高く、一定方向における結晶粒界密度の小さい良質な結晶質薄膜が得られる。

請求項 4 5 の発明は、基板上に形成された非単結晶質からなる薄膜に光ビームを照射し、しかる後放熱して、前記非単結晶質を結晶化または再結晶化する結晶質半導体薄膜の作製方法において、周囲雰囲気圧力を一定値以上に保つことにより、光ビームの照射された薄膜面に不均一な温度分布を生じさせることを特徴とする。

この構成であると、雰囲気ガスを構成する気体分子が薄膜面に衝突し離脱する際に薄膜の熱を奪い、局所的に温度の低い部位を形成する。よって、この部位で結晶核が発生し、この結晶核が結晶の成長を促進するので、上記図 7 f、g で説明したような現象が防止できる。

請求項 4 6 の発明は、請求項 4 5 に記載の結晶質薄膜の形成方法において、前記一定値以上の雰囲気圧力が、雰囲気ガスが水素ガスのとき、 10^{-5} torr 以上であることを特徴とする。

10^{-5} torr 以上の水素ガス圧中でレーザアニール処理を行うと、比熱の高い水素分子の運動により上記請求項 4 5 に記載した作用効果が確実に得られる。

また、上記の課題を解決するため、請求項 4 7 の発明は、半導体膜の製造方法であって、基板上に形成された前駆体半導体膜に、少

なくとも、上記前駆体半導体膜を結晶化させ得るエネルギーを上記前
駆体半導体膜に与える第 1 のエネルギービームと、上記第 1 のエネル
ギビームより上記前駆体半導体膜の吸収率が小さく、かつ、上記前
駆体半導体膜を結晶化させ得るエネルギーよりも小さいエネルギーを上
5 記前駆体半導体膜に与える第 2 のエネルギービームとを照射して、上
記前駆体半導体膜を結晶化させる工程を有することを特徴としてい
る。

これにより、第 2 のエネルギービームは、前駆体半導体膜の下部お
よび基板にまで到達しやすく、前駆体半導体膜が、その厚さ方向に
10 わたって加熱されるとともに、基板も加熱され、第 1 のエネルギービ
ームの照射時と照射終了後との温度差が減少する。そこで、第 1 の
エネルギービームが照射されることによって加熱され、熔融した前駆
体半導体膜は、その照射が終了した後に、徐冷されながら、結晶化
する。それゆえ、結晶成長が促進され、比較的大きな結晶粒が形成
15 されるとともに、結晶欠陥が減少し、半導体膜の電気的特性が向上
する。

請求項 48 の発明は、請求項 47 の半導体膜の製造方法であっ
て、上記前駆体半導体膜は、非晶質シリコン薄膜であることを特徴
としている。

20 これにより、結晶品質の良好で、電界効果移動度などの電気的特
性が良好な多結晶シリコン薄膜を容易に形成することができる。

請求項 49 の発明は、請求項 47 の半導体膜の製造方法であっ
て、上記第 1 のエネルギービームは、上記前駆体半導体膜の吸収係数
が、上記前駆体半導体膜の膜厚のほぼ逆数以上であるとともに、上
25 記第 2 のエネルギービームは、上記前駆体半導体膜の吸収係数が、上
記前駆体半導体膜の膜厚のほぼ逆数以下であることを特徴としてい

る。

これにより、多くの第1のエネルギービームが前駆体半導体膜の表面付近で吸収される一方、多くの第2のエネルギービームは前駆体半導体膜の下部および基板にまで到達するので、前駆体半導体膜が効
5 率よく加熱されるとともに、基板も加熱され、第1のエネルギービームの照射が終了した後に、徐冷されて結晶成長が促進されるので、比較的大きな結晶粒を確実に形成され、結晶品質の良好な半導体膜が形成される。

請求項50の発明は、請求項47の半導体膜の製造方法であつ
10 て、上記第1のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚の逆数のほぼ10倍以上であるとともに、上記第2のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚のほぼ逆数であることを特徴としている。

15 これにより、前駆体半導体膜が、一層、効率よく加熱され、より結晶品質の良好な半導体膜が形成される。

請求項51の発明は、請求項47の半導体膜の製造方法であつて、上記第1のエネルギービーム、および第2のエネルギービームは、互いに波長の異なる光であることを特徴としている。

20 これにより、上記のような吸収率の差を容易に与えることができる。

上記のような互いに波長の異なる光は、例えば、上記第1のエネルギービームは、単波長のエネルギービームであるとともに、上記第2のエネルギービームは、少なくとも可視光領域の波長成分を含む光が
25 適用できる。

より具体的には、第1のエネルギービームと第2のエネルギービーム

とは、例えば、レーザ光と赤外線ランプと、レーザ光と白熱光と、
またはレーザ光とエキシマランプ光となどを用いることができる。
また、上記のような互いに波長の異なる光として、例えば、上記第
2のエネルギービームは、キセノンフラッシュランプ光など、少なく
5とも可視光領域から紫外光領域の波長成分を含む光を用いることも
できる。

さらに、上記第1のエネルギービーム、および第2のエネルギービ
ームは、レーザ光であってもよい。

すなわち、レーザ光を用いれば、エネルギー密度の大きなエネルギ
10ビームを容易に照射することができるので、前駆体半導体膜および
基板を効率よく加熱することが容易にできる。

具体的には、例えば、上記前駆体半導体膜が非晶質シリコン薄膜
である場合に、上記第1のエネルギービームとして、アルゴンフッ素
エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素
15エキシマレーザ、またはキセノンフッ素エキシマレーザのうちの何
れかのレーザ光、上記第2のエネルギービームとして、アルゴンレー
ザのレーザ光を用いることができる。

また、上記基板がガラス基板であり、上記前駆体半導体膜が非晶
質シリコン薄膜である場合に、上記第1のエネルギービームとして、
20アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレー
ザ、キセノン塩素エキシマレーザ、またはキセノンフッ素エキシマ
レーザのうちの何れかのレーザ光、上記第2のエネルギービームとし
て、炭酸ガスレーザのレーザ光を用いることができる。

上記各エキシマレーザは、大きな出力を得やすいとともに、非晶
25質シリコン薄膜の表面付近で吸収されやすい一方、上記アルゴンレ
ーザのレーザ光は、ある程度非晶質シリコン薄膜を透過して、非晶

質シリコン薄膜の厚さ方向にわたって吸収されやすく、また、炭酸ガスレーザのレーザ光は、非晶質シリコン薄膜を比較的よく透過して、ガラス基板に吸収されやすいので、非晶質シリコン薄膜を効率よく加熱でき、結晶品質の良好な多結晶シリコン薄膜を形成することが容易にできるとともに、生産性を向上させることも容易にできる。

請求項 6 1 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上記前駆体半導体膜における帯状の領域に照射することを特徴としている。

このように帯状の領域に照射することにより、均一な温度分布で加熱することが容易にでき、一様な結晶品質の半導体膜を容易に形成することができるとともに、結晶化工程に要する時間を短く抑えることも容易にできる。

請求項 6 2 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 2 のエネルギービームにおける上記前駆体半導体膜への照射領域は、上記第 1 のエネルギービームにおける上記前駆体半導体膜への照射領域よりも大きく、かつ、上記第 1 のエネルギービームの照射領域を含む領域であることを特徴としている。

これにより、やはり、均一な温度分布で加熱することが容易にでき、一様な結晶品質の半導体膜を容易に形成することができる。

請求項 6 3 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上記前駆体半導体膜にほぼ垂直に入射するように照射することを特徴としている。

このように、各エネルギービームが前駆体半導体膜にほぼ垂直に入

射することにより、各エネルギービームの照射むらが低減されるので、やはり、一様な結晶品質の半導体膜を容易に形成することができる。

請求項 6 4 の発明は、請求項 4 7 の半導体膜の製造方法であって、第 2 のエネルギービームは、少なくとも、上記第 1 のエネルギービームを照射するのに先立って照射することを特徴としている。上記第 1 のエネルギービームに先立つ上記第 2 のエネルギービームの照射は、各エネルギービームの照射タイミングを制御することにより行うことができるほか、例えば、上記前駆体半導体膜の形成された基板を移動させるとともに、上記第 2 のエネルギービームは、上記前駆体半導体膜における上記第 1 のエネルギービームの照射位置よりも、上記移動方向前方側の位置に照射することなどによっても行うことができる。

このような照射を行うことにより、第 2 のエネルギービームによって半導体膜や基板が十分に加熱された状態で、第 1 のエネルギービームによって結晶化が行われるので、効率よく結晶化工程を行うことができる。

請求項 6 6 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 1 のエネルギービームは、間欠的に照射する一方、上記第 2 のエネルギービームは、連続的に照射することを特徴としている。具体的には、例えば、第 1 のエネルギービームとして、パルス発振のレーザ光、第 2 のエネルギービームとして、連続発振のレーザ光やランプの光を用いることができる。

このように、第 2 のエネルギービームを連続的に照射することにより、基板および前駆体半導体膜を所定の安定した温度に加熱することが容易にできるとともに、第 1 のエネルギービームを間欠的に照射

することにより、基板への熱の伝達を少なく抑えて、基板の過大な加熱による溶融や歪みの発生を防止しつつ、前駆体半導体膜の結晶化を確実に行うことが容易にできる。

請求項 69 の発明は、請求項 47 の半導体膜の製造方法であって、上記第 1 のエネルギービーム、および第 2 のエネルギービームは、互いに同期させて、間欠的に照射することを特徴としている。具体的な照射タイミングとしては、例えば、上記第 1 のエネルギービームを照射する期間は、上記第 2 のエネルギービームを照射する期間内で、かつ、上記第 2 のエネルギービームの照射周期の 3 分の 2 以下の期間になるようにすることが好ましい。また、各エネルギービームは、具体的には、第 1 のエネルギービームとして、パルス発振のレーザ光、第 2 のエネルギービームとして、パルス発振のレーザ光や、間欠的に点灯されるランプの光を用いることができる。

このように、第 1 のエネルギービーム、および第 2 のエネルギービームを間欠的に照射することにより、単位面積あたりに大きな光量で照射することが容易にでき、基板の過大な加熱による溶融や歪みの発生を防止しつつ、大きなエネルギーを与えて加熱することができるので、前駆体半導体膜の結晶化を確実に行うことが容易にできる。特に、パルス発振のレーザ光は、大出力のものが得やすく、広い面積にわたって高温に加熱することが容易にできるので、結晶化工程に要する時間を短く抑えて生産性を向上させることも容易にできる。

請求項 73、または請求項 74 の発明は、請求項 47 の半導体膜の製造方法であって、上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上記前駆体半導体膜が 300℃ 以上 1200℃ 以下、さらに好ましくは、600℃ 以上 1100℃ 以下の温度に加熱

されるように照射することを特徴としている。

このような範囲の温度に前駆体半導体膜を加熱することにより、部分的に微細な結晶が生じることによる結晶欠陥や不均一な結晶化を防止しつつ、結晶化する際の温度変化をゆるやかにして結晶成長を促進し、大きな結晶粒を形成することが容易にできる。

請求項 7 5 の発明は、請求項 4 7 の半導体膜の製造方法であって、さらに、上記前駆体半導体膜の形成された基板をヒータにより加熱する工程を有することを特徴としている。具体的には、例えば、上記前駆体半導体膜の形成された基板が 300℃以上600℃以下の温度になるように加熱することが好ましい。

このように、第 2 のエネルギービームに加えて、ヒータによって基板を加熱することによって、一層、前駆体半導体膜を効率よく加熱することができるとともに、徐礼して結晶成長を促進することが容易にできる。しかも、従来のヒータだけによって基板を加熱する場合に比べて、短時間で所定の温度に加熱することができるので、生産性を容易に向上させることができる。

請求項 7 7 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 1 のエネルギービームは、上記前駆体半導体膜における複数の領域に照射するとともに、上記第 2 のエネルギービームは、上記複数の領域の一部についてだけ照射することを特徴としている。

このように部分的に第 2 のエネルギービームを照射することにより、例えば特に高い電気的特性が必要な領域だけについて結晶性を向上させることができるので、短時間の結晶化工程で、必要十分な結晶化を行い、生産性を向上させることが容易にできる。

請求項 7 8 の発明は、請求項 4 7 の半導体膜の製造方法であって、上記第 2 のエネルギービームは、上記基板における吸収率が、上

記上記前駆体半導体膜における吸収率よりも大きいことを特徴としている。また、さらに、上記第1のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚の逆数のほぼ10倍以上であることが好ましい。

- 5 具体的には、例えば、上記基板はガラス基板であり、上記前駆体半導体膜が非晶質シリコン薄膜である場合に、上記第1のエネルギービームとして、アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光、上記第2のエネルギービームとして、炭酸ガスレーザのレーザ光を用いることができる。
- 10

これにより、多くの第1のエネルギービームが前駆体半導体膜の表面付近で吸収される一方、多くの第2のエネルギービームは基板に吸収されるので、前駆体半導体膜が効率よく加熱されるとともに、基板も加熱され、第1のエネルギービームの照射が終了した後に、徐冷されて結晶成長が促進されるので、比較的大きな結晶粒を確実に形成され、結晶品質の良好な半導体膜が形成される。

15

請求項81の発明は、基板上に形成された前駆体半導体膜を結晶化させる半導体膜の製造装置であって、第1のエネルギービームを照射する第1の照射手段と、上記第1のエネルギービームより上記前駆体半導体膜の吸収率が小さい第2のエネルギービームとを照射する第2の照射手段とを備えたことを特徴としている。

20

これにより、第2のエネルギービームは、前駆体半導体膜の下部および基板にまで到達しやすく、前駆体半導体膜が、その厚さ方向にわたって加熱されるとともに、基板も加熱され、第1のエネルギービームの照射時と照射終了後との温度差が減少する。そこで、第1の

25

エネルギービームが照射されることによって加熱され、溶融した前駆体半導体膜は、その照射が終了した後に、徐冷されながら、結晶化する。それゆえ、結晶成長が促進され、比較的大きな結晶粒が形成されるとともに、結晶欠陥が減少し、電気的特性が向上した半導体膜を製造することができる。

請求項 8 2 の発明は、請求項 8 1 の半導体膜の製造装置であって、上記第 2 の照射手段は、放射状に第 2 のエネルギービームを発するランプであるとともに、さらに、上記第 2 のエネルギービームを集光する凹面反射鏡を備えたことを特徴としている。

10 これにより、基板等を効率よく加熱することができるとともに、温度分布を均一化して、一様な結晶品質の半導体膜を形成することが容易にできる。

請求項 8 3 の発明は、請求項 8 1 の半導体膜の製造装置であって、さらに、上記第 1 のエネルギービームと第 2 のエネルギービームとのうち、いずれか一方を反射する一方、他方を透過させる反射板を備え、上記第 1 のエネルギービーム、および第 2 のエネルギービームを、何れも上記前駆体半導体膜にほぼ垂直に入射させるように構成されていることを特徴としている。

このように、各エネルギービームが前駆体半導体膜にほぼ垂直に入射することにより、各エネルギービームの照射むらが低減されるので、やはり、一様な結晶品質の半導体膜を容易に形成することができる。

上記のような第 1 の照射手段、および第 2 の照射手段は、具体的には、例えば、上記前駆体半導体膜が非晶質シリコン薄膜である場合に、上記第 1 の照射手段は、アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、ま

たはキセノンフッ素エキシマレーザのうちの何れか、上記第 2 の照射手段として、アルゴンレーザを用いることができる。

また、上記基板がガラス基板であり、上記前駆体半導体膜が非晶質シリコン薄膜である場合に、上記第 1 のエネルギービームとして、
5 アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光、上記第 2 のエネルギービームとして、炭酸ガスレーザのレーザ光を用いることができる。

10 また、上記の課題を解決するために、請求項 86 の発明は、画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、上記画像表示領域への第 1 の照射は、ビームの断面形状が線状のエネルギービームを用いて行う一
15 方、上記駆動回路部領域への第 2 の照射は、ビームの断面形状が角状のエネルギービームを用い、かつ、上記第 1 の照射よりも高いエネルギー密度で行うことを特徴としている。

また、請求項 87 の発明は、画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを
20 照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、上記画像表示領域への第 1 の照射は、上記基板に対して相対的にエネルギービームを走査し、エネルギービームの照射領域を所定のオーバーラップ量ですらしながら照射する走査照射である一方、上記駆動回路部領域への第 2 の照射は、上記基板に対して相対的にエネルギービームを固定して行う静止照射で、かつ、上記第 1 の照射よりも
25 高いエネルギー密度で行うことを特徴としている。

具体的には、例えば液晶表示装置を構成する薄膜トランジスタの、半導体膜特性の均一性が要求される画素部分と、特性（特に移動度の高さ）が求められる駆動回路部分とでレーザ照射方法を異ならしめる。すなわち、基板上に形成された非晶質シリコンにレーザ光を照射して非晶質シリコンを溶融、結晶化させて多結晶シリコンを形成するレーザアニールをする際に、基板面内の駆動回路部領域に照射するレーザ光のエネルギー密度を、画素部領域に照射するレーザ光のエネルギー密度より高くしてレーザアニールを行って駆動回路部領域と画素部領域とで特性の異なる多結晶シリコンを形成するものである。より具体的には、例えば、画素部領域のみ、または基板全面に対して第1のレーザ光照射を行った後、駆動回路領域に対して前記第1のレーザ光照射の際のレーザ光よりもエネルギー密度の高い第2のレーザ光照射を行う。

この構成によれば、駆動回路部領域の多結晶シリコンの移動度が画素部領域の多結晶シリコンの移動度よりも高くなる一方で、画素部領域の多結晶シリコンの特性を面内で均一にすることができる。

また、第1のレーザ光照射の際のレーザ光が線状とし、第2のレーザ光照射の際のレーザ光が角状とすることにより、基板を固定するステージを90度回転させることなくレーザアニールを行うことができる。

さらに、第1のレーザ光照射がレーザビームの照射場所をずらしながら複数回照射する走査照射とし、第2のレーザ光照射がレーザビームの照射場所を固定して照射する静止照射とすることにより、駆動回路部領域の多結晶シリコンの移動度を高めるとともに、均一性も達成することができる。

また、駆動回路部領域内の複数の領域に異なるエネルギー密度を

有するレーザ光を照射してレーザアニールを行い、前記駆動回路部領域内で特性の異なる多結晶シリコンを形成することも可能である。この場合、ラッチやシフトレジスタ内のトランスファークロークの形成される領域とその他の領域で異なるエネルギー密度を有する

5 レーザ光を照射してレーザアニールを行うことが好ましい。

さらに以上のレーザアニール方法においては、TFTパターン上にレーザビーム端がこないようにレーザ光を照射することが好ましい。

また、本発明の半導体薄膜の製造装置は、エネルギービーム発生手段と、上記エネルギービーム発生手段から発せられたエネルギービームをエネルギーの均一な所定のビーム断面形状に整形する均一化手段とを備え、上記整形されたエネルギービームを、基板上に形成された非単結晶半導体薄膜に照射して結晶成長させる半導体薄膜の製造装置であって、さらに、上記エネルギービームの透過率が互いに異なる領域を有するフィルタを備え、上記フィルタを介して、上記非単結晶半導体薄膜における複数の領域に、互いに異なるエネルギー密度で上記エネルギービームの照射を行うように構成されたことを特徴としている。

10

15

この構成により、同一基板面内に特性の異なる複数の多結晶半導体膜を形成することが可能となる。

20

上記の構成において、マスクの透過率が光学薄膜等によって変化しているレーザアニール装置とすることにより、透過率の分布を正確に作成することが可能となり、また、マスクとレーザ光を処理室内の基板に照射するための窓が同一体であるレーザアニール装置とすることにより、装置の構造が簡略化されるとともに、光量の減衰を軽減することが可能となる。

25

また、エネルギービーム発生手段と、上記エネルギービーム発生手段から発せられたエネルギービームをエネルギーの均一な所定のビーム断面形状に整形する均一化手段とを備え、上記整形されたエネルギービームを、基板上に形成された非単結晶半導体薄膜に照射して結晶成長させる半導体薄膜の製造装置であって、上記均一化手段が、エネルギービームを複数のビーム断面形状に選択的に切り替えて整形し得るよう

5 構成されていることを特徴としている。

この構成により、基板上の各場所に最適な形状のレーザー光を照射することが可能となる。

10

図面の簡単な説明

図1は、アモルファスシリコン薄膜の透過率特性を示すグラフ

図2は、従来の薄膜トランジスタ(TFT)の概略を示す平面図、

15 断面図

図3は、従来のポリシリコン薄膜の製造方法を示す説明図

図4は、従来技術にかかる平坦な光強度分布をもった光ビームの強度パターンを示す図

図5は、従来技術における結晶化領域内の結晶化度の不均一性を示す模式図

20

図6は、図5のA-A線部分におけるラマン強度曲線

図7は、平坦な光強度分布をもった光ビームを用いた場合における結晶化の進行状況を説明するための説明図

図8は、従来方式によるレーザー光照射での多結晶化の原理を示す説明図

25

図9は、従来のレーザーアニール装置の概略図

図 1 0 は、液晶ディスプレイのレーザアニール領域を示す説明図

図 1 1 は、結晶成長方向制御空隙を設けた a-Si 膜における結晶成長方向を示す説明図

図 1 2 は、実施の形態 1-1 の多結晶化の原理を示す説明図

5 図 1 3 は、実施の形態 1-1 の多結晶シリコン薄膜の結晶化度合いを示すグラフ

図 1 4 は、実施の形態 1-2 の TFT の平面図、断面図

図 1 5 は、実施の形態 1-3 の TFT の平面図、断面図

図 1 6 は、実施の形態 2-1 の TFT の平面図、断面図

10 図 1 7 は、実施の形態 2-2 の TFT の平面図、断面図

図 1 8 は、実施の形態 2-1 の TFT の製造工程を示す説明図

図 1 9 は、実施の形態 2-2 の TFT の製造工程を示す説明図

図 2 0 は、実施の形態 3-1 の TFT の構成を示す平面図、断面図

15 (図 2 0 (a) は平面図、図 2 0 (b) は図 2 0 (a) の A-A' 断面図)

図 2 1 は、実施の形態 3-1 の図 2 0 (a) の B-B' 断面図

図 2 2 は、実施の形態 3-1 の TFT の製造工程を示す説明図

20 図 2 3 は、実施の形態 3-2 の TFT の構成を示す平面図、断面図

(図 2 3 (a) は平面図、図 2 3 (b) は図 2 3 (a) の C-C' 断面図)

図 2 4 は、実施の形態 3-2 の図 2 3 (a) の D-D' 断面図

図 2 5 は、実施の形態 3-2 の TFT の製造工程を示す説明図

25 図 2 6 は、実施の形態 3-3 の TFT の構成を示す平面図

図 2 7 は、実施の形態 3-1 ~ 3 の変形例の結晶成長方向制御空

隙を有する T F T の構成を示す平面図

図 2 8 は、実施の形態 3 - 1 ~ 3 の他の変形例の結晶成長方向制御空隙を有する T F T の構成を示す断面図

図 2 9 は、光強度勾配を有する光ビームを用いた場合における結
5 晶化の進行状況を説明するための図

図 3 0 は、光強度勾配を有する光ビームを移動しながら照射した様子を模式的に表した図

図 3 1 は、光強度勾配を有する光ビームを作製するためのフィルタの光透過特性を示す図

10 図 3 2 は、相対的に光強度の強い部分と相対的に光強度の弱い部分とが平面的に交互に配列された光ビームを用いた場合における結晶化の進行状況を説明するための図

図 3 3 は、図 3 2 a に示した分布パターンを有する光ビームを移動しながら照射した様子を模式的に表した図

15 図 3 4 は、図 3 2 に示した光ビームを作製するためのフィルタの光透過特性を示す図

図 3 5 は、相対的に光強度の強い部分と相対的に光強度の弱い部分とが平面的に交互に配列された光ビームの他の態様における光強度分布パターンを示す図

20 図 3 6 は、図 3 5 に示す光強度分布パターンを光干渉により作り出す原理を示す模式図

図 3 7 は、図 3 5 の光ビームを用いた場合における結晶化の進行状況を説明するための図

図 3 8 は、明線部と暗線部が波動する動的な干渉パターンから光
25 ビームの作製方法を説明するための模式図

図 3 9 は、光の干渉パターンが薄膜の厚み方向に形成された様子

を示す模式図

図 4 0 は、光照射により昇温した薄膜から周囲へ熱が流れていく様子を示す図

図 4 1 は、光照射時における雰囲気圧力及び照射回数と結晶化度
5 (ラマン強度) との関係を示す図

図 4 2 は、エキシマレーザを用いて結晶化を行っている様子を示す模式図

図 4 3 は、レーザアニールにおける雰囲気圧力と結晶化度との関係を調べるための実験装置を示す図

10 図 4 4 は、実施の形態 5 - 1 のポリシリコン薄膜の製造方法を示す説明図

図 4 5 は、実施の形態 5 - 1、2 のポリシリコン薄膜のラマン散乱測定結果を示すグラフ

図 4 6 は、実施の形態 5 - 2 のポリシリコン薄膜の製造方法を示
15 す説明図

図 4 7 は、ガラスの透過率特性を示すグラフ

図 4 8 は、実施の形態 5 - 3 の微結晶シリコン薄膜が形成されたガラス基板の構成を示す斜視図

図 4 9 は、実施の形態 5 - 3 のポリシリコン薄膜の製造方法を示
20 す説明図

図 5 0 は、各実施の形態 5 - 3 ~ 9 の T F T の特性を示すグラフ

図 5 1 は、実施の形態 5 - 3 のポリシリコン薄膜の他の製造方法を示す説明図

図 5 2 は、実施の形態 5 - 4 のポリシリコン薄膜の製造方法を示
25 す説明図

図 5 3 は、実施の形態 5 - 5 のポリシリコン薄膜の製造方法を示

す説明図

図 5 4 は、実施の形態 5 - 6、7 のポリシリコン薄膜の製造方法を示す説明図

図 5 5 は、実施の形態 5 - 7 の加熱温度と結晶粒径との関係を示すグラフ

図 5 6 は、実施の形態 5 - 7 の加熱温度と電界効果移動度との関係を示すグラフ

図 5 7 は、実施の形態 5 - 8 のポリシリコン薄膜の製造方法を示す説明図

10 図 5 8 は、実施の形態 5 - 8 の照射タイミングを示す説明図

図 5 9 は、実施の形態 5 - 9 のポリシリコン薄膜の製造方法を示す説明図

図 6 0 は、実施の形態 6 - 1 における液晶ディスプレイのレーザー光の照射領域を示す説明図

15 図 6 1 は、実施の形態 6 - 1 におけるレーザー光の照射方法を示す説明図

図 6 2 は、実施の形態 6 - 2 におけるレーザーアニール装置の概略図

20 図 6 3 は、実施の形態 6 - 2、3 におけるレーザー光の照射領域を示す説明図

図 6 4 は、実施の形態 6 - 3 におけるレーザー照射回数に対する移動度の依存性を示すグラフ

図 6 5 は、実施の形態 6 - 5 におけるレーザーアニール装置の概略図

25 図 6 6 は、実施の形態 6 - 5 のマスク部材の構成を示す平面図

図 6 7 は、実施の形態 6 - 6 のレーザーアニール方法を示す説明図

図 6 8 は、実施の形態 6 - 6 の他のレーザアニール方法を示す説明図

発明を実施するための最良の形態

5 実施例に基づいて本発明の内容を具体的に説明する。

(実施の形態 1 - 1)

基板上に熱伝導率の異なる領域を設け、半導体薄膜に温度分布を持たせて、結晶成長を制御する例を図 1 2 に基づいて説明する。

10 ガラス基板等の透明絶縁性基板 2 0 1 上には、図 1 2 (c) に示すように、全面にわたって下層絶縁膜 2 0 2 が形成されている。下層絶縁膜 2 0 2 上には、部分的に、上記下層絶縁膜 2 0 2 よりも熱伝導率が低い材料から成るストライプ状の上層絶縁膜 2 0 3 が形成されている。さらに、上記下層絶縁膜 2 0 2 上、および上層絶縁膜 2 0 3 上には、非晶質シリコン薄膜 2 0 4 が形成されている。

15 上記非晶質シリコン薄膜 2 0 4 に、図 1 2 (a) に示すような x, y 方向のエネルギー密度分布を有するライン状のレーザ光を照射することにより、多結晶シリコン薄膜 2 1 0 が形成される。その際、上記のように上層絶縁膜 2 0 3 の熱伝導率が下層絶縁膜 2 0 2 の熱伝導率よりも低いため、図 1 2 (b) に示すように、非晶質シリコン
20 薄膜 2 0 4 における上層絶縁膜 2 0 3 上の領域の方が、上層絶縁膜 2 0 3 の間の領域よりも高い温度になる。そこで、非晶質シリコン薄膜 2 0 4 の結晶化は、上層絶縁膜 2 0 3 の間の領域から始まり、上層絶縁膜 2 0 3 上の領域に向けて結晶が成長する。それゆえ、上層絶縁膜 2 0 3 の間の領域では結晶粒同士の衝突が生じにくく、比較
25 的結晶粒の大きな大結晶粒領域 2 1 0 b が形成される一方、上層絶縁膜 2 0 3 の上方の領域では、上層絶縁膜 2 0 3 の両側から成長

してきた結晶粒同士が衝突するため、小結晶粒領域 210 a が形成される。

上記のようにして形成された多結晶シリコン薄膜 210 と、従来の方法によって多結晶化が行われた多結晶シリコン薄膜との結晶化
5 度合いをラマン分光分析のピーク強度により比較した。結果を図 13 に示す。

ここで、本実施の形態の多結晶シリコン薄膜 210 では、下層絶縁膜 202 として、厚さが 200 nm の窒化珪素薄膜（熱伝導率：
0.19 W/cm・℃）、上層絶縁膜 203 として、厚さが 30 nm
10 m、幅が約 5 μm、間隔が 20 μm の酸化珪素薄膜（熱伝導率：0.014 W/cm・℃）を用いている。一方、従来の方法では、絶縁膜として、厚さが 200 nm の 1 層の酸化珪素薄膜を用いている。
また、非晶質シリコン薄膜の膜厚は、両者とも 85 nm に形成している。なお、ラマンピーク強度の測定箇所は、両者ともに図 12 に
15 おける x 方向の照射領域の中央部である。

図 13 から明らかなように、従来の方法では全体に結晶化度が小さいのに対し、本発明の方法の場合には、A、B、C で示す上層絶縁膜 203 上の部分の結晶化度は低い、上層絶縁膜 203 に挟まれた、下層絶縁膜 202 上の部分のラマンピーク強度は大きくなっ
20 ており、結晶化度が大きく改善されていることが認められる。

なお、上層絶縁膜 203 のストライプパターンの間隔は、下層絶縁膜 202 および上層絶縁膜 203 の熱伝導率や、照射するエネルギー密度等に応じて最適値が変化するが、上記の例では、5 ~ 50 μm、より望ましくは 10 ~ 30 μm が安定に大きな結晶が得られる
25 範囲として望ましかった。

なお、上記の説明では、図 12 における y 方向に関して、シリコ

ン薄膜の表面に温度分布を持たせる例を示したが、レーザービームを静止させて照射する場合には、同様にx方向に関しても温度分布を持たせるようにしてもよい。また、レーザービームをx方向にスキャンする場合には、照射領域が順次移動することによる温度分布への影響も考慮すればよい。また、上記のように熱伝導率の差を利用するとともに、さらにレーザービームのエネルギー密度分布を領域ごとに異ならせることによって、温度分布を調整するようにしてもよい。

また、上記の例では、上層絶縁膜203の熱伝導率を下層絶縁膜202よりも低くして、上層絶縁膜203の存在しない領域の結晶粒径を大きくしたが、逆に、上層絶縁膜の熱伝導率を下層絶縁膜よりも大きくして、上層絶縁膜の形成された領域上の結晶粒径を大きくするようにしてもよい。ただし、一般に前者のほうが、熱伝導率が高い（シリコン薄膜の表面温度が低い）領域の面積を大きくすることが容易なため、シリコン表面の温度分布における温度勾配をより大きくしやすい。

また、熱伝導率の大小と積層の上下関係は上記に限らず、逆でもよく、所定の温度分布が形成されるようにすればよい。

また、上記のように絶縁膜を2層構造とする場合には、上層絶縁膜と下層絶縁膜のエッチング選択比（エッチングレートの比）を大きく設定すれば、所望の形状（厚さ）に上層絶縁膜を形成することが容易にできるため、大面積にわたって均一な厚さで上層絶縁膜を形成でき、結果として、基板全面にわたって均一な粒径の多結晶シリコン薄膜を容易に得ることができる。一方、熱伝導率が異なる領域を設けるためには、例えばシリコン薄膜の厚さをエッチング加工等によって変化させてもよい。この場合には、エッチング加工の精度を比較的高くする必要があるが、上記のように2層の絶縁膜を形

成する必要性がないので、製造工程の簡素化が図られる。

また、上記のように熱伝導率を異ならせるのに代えて、熱容量が異なる領域を形成することによって温度分布を生じさせるようにしても、同様に結晶性を向上させることができる。

5 (実施の形態 1 - 2)

上記のようにして形成された半導体薄膜を用いて形成された多結晶シリコン薄膜トランジスタの例を説明する。

図 1 4 (a) は、多結晶シリコン薄膜トランジスタの平面図、図 1 4 (b) は、図 1 4 (a) における A - A' 断面図である。図 1 4 において、
2 0 1 は透明絶縁性基板、2 0 2 は下層絶縁膜、2 0 3 は上層絶縁膜、
2 0 5 はゲート絶縁膜、2 0 6 はソース電極膜、2 0 7 はドレイン電極膜、2 0 8 はゲート電極膜、2 1 0 b は多結晶シリコン薄膜 2 1 0 の大結晶粒領域 2 1 0 b である。すなわち、この多結晶シリコン薄膜トランジスタは、前記実施の形態 1 - 1 で説明したようにして多結晶化された多結晶シリコン薄膜 2 1 0 における上層絶縁膜 2 0 3 に挟まれた領域の大結晶粒領域 2 1 0 b だけをエッチング等により選択的に残して用い、かつ、ソース・ドレインの方向が上層絶縁膜 2 0 3 のストライプパターンの方
20 向と平行となるように形成されている。なお、ゲート絶縁膜 2 0 5、ソース電極膜 2 0 6、ドレイン電極膜 2 0 7 およびゲート電極膜 2 0 8 の形成方法としては、従来の薄膜トランジスタと同様の薄膜堆積、パターニングによる方法が適用できる。

25 このようにして得られた多結晶薄膜トランジスタは、電界効果移動度が約 $180 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であり、従来の方法で作製した

トランジスタの電界効果移動度が $70 \text{ cm}^2 / \text{V} \cdot \text{sec}$ であるのと比べて、TFT特性を大幅に向上させることができた。

なお、上層絶縁膜203の方向とソースドレインの方向との関係は上記のように一致させるものに限らず、上層絶縁膜203の間隔等に応じて形成される結晶粒の長い方向がソースドレインの方向になるようにすればよい。

(実施の形態1-3)

上記実施の形態1-2よりも大きなサイズが多結晶シリコン薄膜トランジスタを形成する例を説明する。

- 10 この多結晶シリコン薄膜トランジスタは、図15に示すように、3本の上層絶縁膜203の間に形成された2つの大結晶粒領域210bを用いて形成されている点が上記実施の形態1-2と異なる。また、下層絶縁膜202としては、プラズマCVDにより形成された、厚さが約200nmの窒化酸化珪素薄膜、上層絶縁膜203としては、厚さが約40nmの酸化珪素薄膜が用いられている。また、大結晶粒領域210bは、バターニングされて形成された上層絶縁膜203上に厚さが85nmの非晶質シリコン薄膜204を形成し、実施の形態1-1と同様にエキシマレーザ光の照射を行って多結晶シリコン薄膜化することにより形成されている。
- 15
- 20 すなわち、トランジスタのサイズを大きくするために上層絶縁膜203の間隔を広くすると、多結晶化の処理を行う際に、シリコン薄膜表面におけるトランジスタ形成領域とトランジスタ形成領域の周囲の領域のとの間の温度勾配を十分大きくすることが困難になり、結果として、トランジスタ形成領域におけるシリコンの結晶粒
- 25 径を十分に大きくすることができないおそれがある。そこで、上記のように上層絶縁膜203の間隔を広く設定せずに、温度勾配を積

極的に大きくして、良好な結晶状態の大結晶粒領域 210b を複数形成し、これを組み合わせることにより、大きなサイズで、しかも特性の良好な薄膜トランジスタを形成することができる。具体的には、例えば電界効果移動度が約 $200 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非常に良好な特性の薄膜トランジスタが得られた。

以上のように、本発明による多結晶シリコン薄膜トランジスタの製造方法はトランジスタを作製すべき領域のみを大きな結晶粒とすることができるが、透明絶縁性基板上に形成する絶縁膜としては、窒化珪素と窒化酸化珪素および酸化珪素に限定されるものではなく、熱伝導率が異なる組み合わせで、かつ選択的なエッチングができるものであれば、特に材料を限定するものではない。

(実施の形態 2-1)

実施の形態 2-1 の半導体素子として、やはり結晶粒の大きな半導体素子としての薄膜トランジスタの例を説明する。

図 16 は薄膜トランジスタの概略図であり、図 16 (a) は平面図、図 16 (b) は図 16 (a) における A-A' 断面図を示したものである。

図 16 において、301 は絶縁性基板であり、この絶縁性基板 301 の上方にアンダーコート層 302、さらに、その上方に Si よりなる非晶質半導体膜が結晶化されて成る半導体層 303 が設けられている。この半導体層 303 には、図 16 (a) に示すように、半導体層 303 の対向する一対の辺に、半導体層 303 と同一平面内で外方に延びる複数の突起部 303a が所定の間隔をあけて形成されている。なお、突起部 303a は、ほぼ長方形状に形成され、その長さ (半導体層 303 からの突出長) 及び幅 (前記突出長と直角方向の長さ) が $1 \mu\text{m}$ に設定されている。さらに、上記半導体層

303を覆うように、半導体層303の上方に第1の絶縁層304が設けられ、この第1の絶縁層304上の所定位置に第1の電極であるゲート電極305が設けられている。そして、ゲート電極305を覆うように、第2の絶縁層306が設けられ、第2の絶縁層306上の所定位置に、半導体層303に電気的に接触する一対の第2の電極であるソース電極307sとドレイン電極307dが設けられている。

ここで、上記突起部303aの幅は、 $1\mu\text{m}$ に限らないが、結晶の粒径をより整合させて、突起部303a毎に1つの結晶核を発生させるようにするために、半導体層303の膜厚（例えば $0.05\mu\text{m}$ ）以上であって $3\mu\text{m}$ 以下程度とすることが望ましい。上記数値範囲を採る技術的理由は、突起部303aの幅が膜厚より小さい場合、突起部303aにおいて発生する結晶核が表面張力の作用を受け、半導体層303に引き込まれてしまい、結晶核が存続し得ない虞がある一方、突起部303aの幅が $3\mu\text{m}$ より大きい場合、突起部303aにおいて2つ以上の結晶核が発生する虞があるためである。また、突起部303aの形状は、長方形に限らず、半円形状や三角形等の他の形状でも良い。突起部303aは半導体層303における対向する辺の全長にわたって形成するものに限らず、例えば、ゲート電極305に対応する部分のみに形成しても良く、要するに、素子の特性に影響を与えるチャンネル部分に形成されていれば良い。さらに、ソース、ドレイン間の中間付近に位置するように形成するようにしてもよい。また、隣り合う突起部303aの間隔は、所望粒径等の条件により適宜選択することができるが、本実施の形態においては、突起部303aの間隔として、この突起部303aが設けられる辺に直交する辺の長さ（ w ）と略等しくなるよ

うに設定されている。なお、このように設定することは、縦横方向の結晶粒の長さがほぼ等しい大きな結晶粒が形成されやすくなる点で好ましいが、このように設定しない場合でも、周辺部から規則的に結晶成長させることにより比較的大きな結晶粒が形成される効果は得られる。

上記のような突起部 303a が形成されていることにより、半導体層 303 にレーザビームが照射されて加熱された後に、突起部 303a の方が早期に冷却されるため結晶核が発生しやすいとともに、この結晶核から半導体層 303 の中央部に向かって結晶が成長する。また、その際、隣り合う突起部 303a、および対向する辺の突起部 303a から成長する結晶粒が互いに干渉することなく半導体層 303 の中央部付近まで成長しやすいため、比較的大きな結晶粒が形成される。それゆえ、電界効果移動度を高めて、TFT 特性を向上させることが容易にできる。

次に、上記のような薄膜トランジスタの製造方法について、図 18 を参照しながら説明する。図 18 は薄膜トランジスタの製造方法を示す工程図である。

まず、図 18 (a) に示すように、絶縁性基板 301 上にアンダーコート層 302 を形成し、上記アンダーコート層 302 上にシリコンを被着させて、非晶質（非単結晶）の半導体層 303 を形成する。次に、半導体層 303 上にフォトレジスト（不図示）を所定の形状に選択形成し、このフォトレジストをマスクとして、前記図 16 (a) に示すように、非晶質の半導体層 303 の対向する辺の全長にわたって同一平面内で延びる突起部 303a を有する形状に形成し、その後、上記フォトレジストを除去する。

次に、図 18 (b) に示すように、上記非晶質の半導体層 303

にエネルギービームとしてのエキシマレーザー光を照射して結晶化させ、poly-Siの改質層とする。ここで、レーザー光の照射後、周縁の突起部303aに蓄積された熱は半導体層303と平行な平面内において外側の3方向に拡散するのに対して、中央部に蓄積された熱は未だ冷却されていない周縁側にしか逃げ場がないので、突起部303aを含めて周縁部の方が中央部に較べて十分早く冷却される。そこで、突起部303aにおける結晶核は、中央部における結晶核よりも早い時期に発生し、中央部において結晶核が発生もしくは結晶成長する以前に、この周縁に発生した結晶核が中央部に向けて結晶成長するので、結晶粒径や結晶方位が制御可能となる。このことにより、結晶成長の過程にある結晶同士の干渉が防止され、十分な結晶粒径を得ることが容易にできる。

続いて、図18(c)に示すように、半導体層303及びアンダーコート層302上に第1の絶縁層304を形成し、前記第1の絶縁層304上に第1の電極であるゲート電極305を選択形成する。

その後、図18(d)に示すように、前記ゲート電極305をマスクとして用い、前記半導体層303にイオン注入法または質量分離を行わないイオンドーピング法によりドナーもしくはアクセプタとなる不純物を添加することによって、ソース領域303s及びドレイン領域303dを形成する。

最後に、図18(e)に示すように、第2の絶縁層306を形成した後、コンタクトホールを開口し、ソース電極307s、ドレイン電極307dを選択形成して薄膜トランジスタが得られる。

なお、上記の例では、半導体層303としてSiを用いたが、他の材料としてSiとGeの化合物などであっても構わない。またS

i C のような I V 族どうしの他の組み合わせや、G a A s のような I I I 族と V 族の組み合わせ、C d S e のような I I 族と V I 族の組み合わせでも良い。また、多結晶シリコン薄膜トランジスタを例示して説明したが、これに限らず、他の種々の半導体素子に適用することも勿論、可能である。

さらに、非晶質の半導体層 3 0 3 を多結晶化させる際に、エネルギービームとしてエキシマレーザーを用いたが、他のエネルギービームである A r レーザー、Y A G レーザー等のレーザー光、イオンビーム、電子ビーム等を使用することもできる。

10 (実施の形態 2 - 2)

実施の形態 2 - 2 の半導体素子として、逆スタガ型の薄膜トランジスタの例を説明する。

図 1 7 は薄膜トランジスタの概略図であり、図 1 7 (a) は平面図、図 1 7 (b) は図 1 7 (a) における A - A ' 断面図を示したものである。

この薄膜トランジスタは、前記実施の形態 2 - 1 と比べて、主として、逆スタガ構造である点と、突起部 3 0 3 a が半導体層 3 0 3 の全周にわたって形成されている点異なる。

図 1 7 において、3 0 1 は絶縁性基板であり、この絶縁性基板 3 0 1 の上方にアンダーコート層 3 0 2、その上方に第 1 の電極であるゲート電極 3 0 5 が設けられている。さらに、ゲート電極 3 0 5 を覆う第 1 の絶縁層 3 0 4 が設けられ、第 1 の絶縁層 3 0 4 上に半導体層 3 0 3 が設けられている。この半導体層 3 0 3 には、図 1 7 (a) に示すように、半導体層 3 0 3 の全周に、半導体層 3 0 3 と同一平面内で外方に延びる複数の突起部 3 0 3 a が所定の間隔をあけて形成されている。この突起部 3 0 3 a の形状等は、実施の形態

2-1と同様である。ここで、同図においては、便宜上、各突起部
303aの間隔を狭く描いているが、実施の形態2-1と同様に半
導体層303の幅と同程度に設定することが好ましい。ただし、同
図に示すように密に形成したり、逆に間隔を長く形成したりする場
5 合でも、周辺部から規則的に結晶成長させることにより比較的大き
な結晶粒が形成される効果は得られる。半導体層303上には、半
導体層303に電気的に接触する一对の第2の電極であるソース電
極307s、ドレイン電極307dが形成されている。

次に、上記のような薄膜トランジスタの製造方法について、図1
10 9を参照しながら説明する。図19は薄膜トランジスタの製造方法
を示す工程図である。

まず、図19(a)に示すように、絶縁性基板301上にアンダ
ーコート層302を形成し、前記アンダーコート層302上に第1
の電極であるゲート電極305を選択形成する。

15 次に、図19(b)に示すように、前記ゲート電極305及びア
ンダーコート層302上に第1の絶縁層304を形成し、前記第1
の絶縁層304上にシリコンを被着させて、非晶質（非単結晶）の
半導体層303を形成する。次に、半導体層303上にフォトレジ
スト（不図示）を所定の形状に選択形成し、このフォトレジストを
20 マスクとして、前記図17(a)に示すように、非晶質の半導体層
303の全周にわたって同一平面内で延びる突起部303aを有す
る形状に形成し、その後、上記フォトレジストを除去する。

次に、図19(c)に示すように、上記非晶質の半導体層303
にエネルギービームとしてのエキシマレーザ光を照射して結晶化さ
25 せ、poly-Siの改質層とする。ここで、上記のように突起部
303aが形成されていることにより、前記実施の形態2-1で説

明したのと同様に、十分な結晶粒径を得ることが容易にできる。

その後、図 19 (d) に示すように、前記半導体層 303 上にドーピングに対するマスクとしてのレジスト 308 を所定の形状に選択形成し、前記レジスト 308 をマスクとして、前記半導体層 303 にイオン注入法または質量分離を行わないイオンドーピング法によりドナー、もしくはアクセプタとなる不純物を添加することによって、ソース領域 303s 及びドレイン領域 303d を形成し、その後、レジスト 308 を除去する。

最後に、図 19 (e) に示すように、ソース電極 307s、ドレイン電極 307d を選択形成して薄膜トランジスタが得られる。

なお、本実施の形態 2-2 においても、前記実施の形態 2-1 で説明したのと同様の種々の変形が適用可能である。

また、上記のような逆スタガ型の薄膜トランジスタに限らず、前記実施の形態 2-1 と同様のスタガ型の薄膜トランジスタを形成しても、同様の効果は得られる。また、上記のように突起部 303a を半導体層 303 の全周にわたって形成するのに代えて、実施の形態 2-1 と同様に対向する辺だけに形成するようにしてもよい。

(実施の形態 3-1)

図 20 ないし図 22 に基づいて説明する。初めに、本実施の形態に係る薄膜トランジスタ (TF T : Thin Film Transistor) の構造を説明する。

図 20 は、順スタガ型の TF T 410 の概略を示す模式図であり、図 20 (a) は TF T 410 の平面図、図 20 (b) は図 20 (a) における A-A' 矢視断面図である。図 21 は、図 20 (a) における B-B' 矢視断面図である。図 20 に示すように、TF T 410 は、絶縁性基板 401 上に、アンダーコート層 402 と、p

- Si 膜 4 0 3 と、第 1 の絶縁膜 4 0 4 と、第 2 の絶縁膜 4 0 6 と、ゲート電極 4 0 5、ソース電極 4 0 7 s 及びドレイン電極 4 0 7 d の 3 つの電極とが設けられて構成されている。

上記絶縁性基板 4 0 1 は、例えば歪み点 5 9 3 °C、厚さ 1 . 1 m
5 m のガラス基板であり、アンダーコート層 4 0 2 は例えば Si O₂ からなる薄膜である。また上記 p - Si 膜 4 0 3 は、アンダーコート層 4 0 2 上に本発明の方法を適用して形成した多結晶質半導体層本体部である。この p - Si 膜 4 0 3 は、チャネル領域 4 0 3 a と、ソース領域 4 0 3 b 及びドレイン領域 4 0 3 c とで構成されており、
10 ソース領域 4 0 3 b 及びドレイン領域 4 0 3 c は、チャネル領域 4 0 3 a の両側に位置している。該ソース領域 4 0 3 b 及びドレイン領域 4 0 3 c は、リン又はボロン等の不純物イオンをドーピングすることにより構成されている。

上記 p - Si 膜 4 0 3 の材料としては、例えばシリコン (Si)、
15 若しくはシリコンとゲルマニウム (Ge) との化合物を用いる。また p - Si 膜 4 0 3 の膜厚としては、好ましくは 2 0 0 Å ~ 1 5 0 0 Å、より好ましくは 3 0 0 Å ~ 1 0 0 0 Å の範囲内とする。2 0 0 Å 未満の厚さであると、膜厚の均一性に問題が生じ、1 5 0 0 Å を超えると、光照射によりソース・ドレイン間に電流が流れるといういわゆるフォトコンダクションの問題が生じる。これに対し 3 0
20 0 Å ~ 1 0 0 0 Å の範囲内であると、膜厚の均一性およびフォトコンダクションの双方を両立できるからである。

更に、図 2 0 (a) のチャネル領域 4 0 3 a の矢印 X 方向の幅は、例えば約 1 2 μ m とし、p - Si 膜 4 0 3 の矢印 Y 方向における幅
25 は、例えば約 1 4 μ m とする。

ここで、上記チャネル領域 4 0 3 a には、図 2 0 (a) 及び図 2

1 に示すように、複数の溝状の結晶成長方向制御空隙 4 1 1 ... がソース領域 4 0 3 b とドレイン領域 4 0 3 c とを結ぶ方向に平行して形成されている。この結晶成長方向制御空隙 4 1 1 は、長手方向の両端部が半円形状で中央部が直方体形状であり、中央部における溝幅（長手方向に直交する方向の溝幅）は約 1 μ m である。但し、結晶成長方向制御空隙 4 1 1 の形状は、特に限定されるものではない。例えば長方形等の形状でソース領域 4 0 3 b からドレイン領域 4 0 3 c の方向に形成されていてもよい。

上記チャネル領域 4 0 3 a における結晶粒は、ソース領域 4 0 3 b 又はドレイン領域 4 0 3 c の方向に細長く広がった形状となっており、このような結晶粒が多数集合してチャネル領域 4 0 3 a にかかる多結晶半導体層が構成されている。このような多結晶構造のチャネル領域 4 0 3 a では、ソース領域 4 0 3 b とドレイン領域 4 0 3 c とを結ぶ方向における結晶粒界密度が小さいので、電荷キャリアが高速で移動できる。

第 1 の絶縁膜 4 0 4 は、例えば SiO_2 からなる絶縁膜であり、p-Si 膜 4 0 3 及びアンダーコート層 4 0 2 の上方に形成されている。ゲート電極 4 0 5 は、例えばアルミニウム (Al) 等からなり、第 1 の絶縁膜 4 0 4 の上方で、かつ p-Si 膜 4 0 3 のチャネル領域 4 0 3 a に対応する位置に設けられている。また第 2 の絶縁膜 4 0 6 は、例えば SiO_2 からなり、上記第 1 の絶縁膜 4 0 4 及びゲート電極 4 0 5 の上方に積層されている。

上記第 1 の絶縁膜 4 0 4 及び第 2 の絶縁膜 4 0 6 には、それぞれ p-Si 膜 4 0 3 のソース領域 4 0 3 b 又はドレイン領域 4 0 3 c に連するコンタクトホール 4 0 8, 4 0 8 が形成されている。ソース電極 4 0 7 s 及びドレイン電極 4 0 7 d は、例えば Al からなり

上記コンタクトホール 408, 408 を介して、上記ソース領域 403b 又はドレイン領域 403c と接触するように形成されている。ゲート電極 405、ソース電極 407s 及びドレイン電極 407d は、図示の断面以外の部分で所定の形状にパターニングされることにより、配線パターンが構成されている。

次に、本実施の形態に係る TFT 410 の製造方法を説明する。

図 22 は、TFT 410 の製造工程を示す断面模式図である。先ず、図 22 (a) に示すように、絶縁性基板 401 上に、アンダーコート層 402 を常圧 CVD 法にて成膜する。アンダーコート層 402 の膜厚は、例えば 3000 Å とする。

上記アンダーコート層 402 上に、例えばプラズマ CVD 法にて、Si 層を形成し、この Si 層上に、フォトレジスト（図示しない）を所定の形状に選択的に形成する。次に、上記フォトレジストをマスクとして露光した後、エッチングにて所定の形状にパターニングし、しかる後、上記フォトレジストを除去する。

これにより、前記結晶成長方向制御空隙 411... を有する非単結晶質半導体層としての a-Si 膜 413 が形成できる。ここで、a-Si 膜 413 の膜厚は、例えば 650 Å とする。なお、結晶成長方向制御空隙 411 を微細に形成する場合には、高精度フォトレジストと可干渉光の干渉縞による露光を用いるなどしてもよい。

a-Si 膜 413 の形成に続いて、図 22 (b) に示すように、上記 a-Si 膜 413 の全面にエキシマレーザーを 1 ショット照射して、該 a-Si 膜 413 を加熱溶融した後、放冷する。これにより、結晶質半導体層としての p-Si 膜 403 が形成される。

ここで、エキシマレーザーを用いる結晶化法によると、a-Si 膜 413 は紫外光領域における吸収係数が高いので、a-Si 膜

4 1 3 の本体部の温度を十分に上昇させることができる一方、 $a-Si$ が除去された結晶成長方向制御空隙 4 1 1 …の部分はレーザー光が吸収されないので温度を低く保つことができる。したがって、放冷過程において、真先に結晶成長方向制御空隙 4 1 1 の近傍（および $a-Si$ 膜 4 1 3 の周縁部）の温度が結晶化開始温度に到達し、ここで最初の結晶核が生成する。そして、その後はこの結晶核を中心にして結晶成長が行われることになるが、既に説明したように、結晶成長方向は、平行して設けられた結晶成長方向制御空隙 4 1 1 …に規制されて、ソース領域 4 0 3 b とドレイン領域 4 0 3 c とを結ぶ方向に誘導される。この結果、ソース領域 4 0 3 b とドレイン領域 4 0 3 c とを結ぶ方向における結晶粒界密度の小さい $p-Si$ 膜が形成される。

前記エネルギービームの照射条件としては、例えば $XeCl$ （波長 308 nm）等のエキシマレーザーの場合、ビームの断面形状が、例えば一辺が数ミリの方形である 50 ns のレーザー光パルスを使用する。レーザー光のエネルギー密度（単位面積当たりの照射エネルギー： mJ/cm^2 ）としては、 $a-Si$ 膜 4 1 3 を結晶化させるのに適した温度に加熱できるように、適宜設定すればよい。

なお、上記エキシマレーザーとしては、 $XeCl$ の他に、 ArF 、 KrF 、 XeF 等のエキシマレーザーであってもよい。複数の結晶成長方向制御空隙 4 1 1 の相互の間隔については、 $a-Si$ 膜の膜厚や照射条件、更には所望する電荷キャリアの移動速度を勘案して適宜に設定することができ、この実施の形態においては、約 $2\mu m$ としてある。また、結晶成長方向制御空隙 4 1 1 の幅についても、 $a-Si$ 膜の膜厚や、照射するエネルギービームの種類や強度などに応じて適宜に設定することができ、この実施の形態においては、

約 1 μm としている。

上記した結晶化の後、図 22 (c) に示すように、上記 p-Si 膜 403 上に、第 1 の絶縁膜 404 を常圧 CVD 法にて、膜厚が 1000 Å となるように成膜する。更に、第 1 の絶縁膜 404 上に、
5 例えば Al 膜を膜厚 2000 Å になるようにスパッタリングし、Al エッチャント液を用いて約 1 分間ウェットエッチングすることにより、所定の形状にパターニングして、ゲート電極 405 及び配線パターンを形成する。

次に、図 22 (d) に示すように、上記ゲート電極 405 をマスクとして、p-Si 膜 403 に、イオン注入法又は質量分離を行わないイオンドーピング法にて、ドナー若しくはアクセプタとなる不純物イオン、具体的にはリン又はボロン等の不純物イオンを注入す
10 る。これにより、上記 p-Si 膜 403 に、チャネル領域 403a と、ソース領域 403b 及びドレイン領域 403c とが形成される。
15

更に図 22 (e) に示すように、上記ゲート電極 405 上に、例えば SiO₂ からなる第 2 の絶縁膜 406 を、常圧 CVD 法にて膜厚 5000 Å となるように成膜する。続いて、この第 1 の絶縁膜 404 及び第 2 の絶縁膜 406 に、それぞれ p-Si 膜 403 のソース領域 403b 又はドレイン領域 403c に連するコンタクトホール 408, 408 を開口する。続いて、Al 膜をそれぞれ膜厚 3000 Å 及び 3000 Å になるようにスパッタリングした後、例えば BC13/C12 系ガスを用いたドライエッチングにより、所定の形状にパターニングする。これにより、ソース電極 407s 及びド
20 レイン電極 407d と、これらの配線パターンとが形成される。
25

以上で説明した本実施の形態 3-1 によると、ソース領域 403

bとドレイン領域403cとを結ぶ方向に長い形状の大粒の結晶粒が形成でき、これにより電界効果移動度に優れたスタガ型のTF Tが得られる。そしてこの実施の形態では、絶縁性基板401やp-Si膜403に高価な材料を用いていないので、電界効果移動度に
5 優れたTF Tを安価に提供できる。

(実施の形態3-2)

本発明にかかる実施の形態3-2について、図23～図25に基づいて説明する。なお、実施の形態3-2にかかる薄膜トランジスタの構成要素のうち、機能が前記実施の形態3-1と同様な構成部
10 材については、同一の名称と符号を付して詳細な説明を省略する。

図23は、本実施の形態3-2に係る逆スタガ型のTF T420の概略を示す模式図であって、図23(a)は上記TF T420の平面図であり、図23(b)は図23(a)におけるA-A'矢視断面図である。図24は、図23(a)におけるB-B'矢視断面
15 図を示している。図23に示すように、上記TF T420は、絶縁性基板401上に、アンダーコート層402と、p-Si膜403と、第1の絶縁膜404と、ゲート電極405、ソース電極407s及びドレイン電極407dの3つの電極とが設けられて構成されている。

20 上記ゲート電極405は、絶縁性基板401上のアンダーコート層402上に形成されている。上記第1の絶縁膜404は、上記アンダーコート層402及びゲート電極405上に形成されている。更に、該第1の絶縁膜404上には、p-Si膜403が形成されている。

25 ここで、上記p-Si膜403におけるチャネル領域403aには、前記実施の形態3-1と同様に、複数の溝状の結晶成長方向制

御空隙 4 1 1 ... がソース領域 4 0 3 b からドレイン領域 4 0 3 c の方向に形成されている (図 2 3 (a) 及び図 2 4 参照。)。ソース電極 4 0 7 s 及びドレイン電極 4 0 7 d は、p-Si 膜 4 0 3 上のソース領域 4 0 3 b 又はドレイン領域 4 0 3 c と接触するように形成されている。尚、上記ゲート電極 4 0 5、ソース電極 4 0 7 s 及びドレイン電極 4 0 7 d は、図示の断面以外の部分で所定の形状にパターニングされることにより、配線パターンを構成している。

この実施の形態に係る TFT 4 2 0 の製造方法を図 2 5 を参照しながら説明する。図 2 5 は、上記 TFT 4 2 0 の製造工程を示す断面模式図である。先ず、前記実施の形態 3-1 と同様にして、絶縁性基板 4 0 1 上にアンダーコート層 4 0 2 を形成する。さらに、該アンダーコート層 4 0 2 上に所定の形状となるようにパターニングして、ゲート電極 4 0 5 及び配線パターンを形成する (図 2 5 (a) 参照)。

次に、図 2 5 (b) に示すように、上記ゲート電極 4 0 5 及びアンダーコート層 4 0 2 上に、第 1 の絶縁膜 4 0 4 を形成する。更に、前記実施の形態 3-1 と同様にして、該第 1 の絶縁膜 4 0 4 上に、例えばプラズマ CVD 法にて Si 層を形成する。この Si 層上に、フォトリソを所定の形状に選択的に形成した後、このフォトリソをマスクとして露光した後、エッチングにて所定の形状にパターニングする。その後、上記フォトリソを除去する。これにより、結晶成長方向制御空隙 4 1 1 ... を備えた a-Si 膜 4 1 3 を形成し、図 2 5 (c) に示すように、上記 a-Si 膜 4 1 3 の全面にエキシマレーザーを照射し、該 a-Si 膜 4 1 3 を結晶化させて p-Si 膜 4 0 3 を形成する。

ここで、p-Si 膜 4 0 3 におけるチャネル領域 4 0 3 a には結

晶成長方向制御空隙 4 1 1 ... が設けられているので、前記実施の形態 3 - 1 と同様に、形成される結晶粒はソース領域 4 0 3 b 又はドレイン領域 4 0 3 c の方向に細長く広がった形状となる。従って、ソース領域 4 0 3 b とドレイン領域 4 0 3 c とを結ぶ直線方向における結晶粒界を実質的に低減させるので、電界効果移動度の向上を図ることができる。

その後、図 2 5 (d) に示すように、上記 p - S i 膜 4 0 3 上にレジスト剤を塗布し、露光及び現像により所定の形状にパターニングし、イオン遮蔽膜としてのレジストマスク 4 1 4 を形成する。上記レジストマスク 4 1 4 としては、不純物イオンを遮蔽するものであれば特に限定されるものではなく、公知の種々のものを採用することができる。具体的には、例えばポジレジスト（商品名：O F P R - 5 0 0 0、東京応化株式会社製）等が挙げられる。また、レジスト剤のように感光性を有するものに限らず、フォトリソグラフィによってパターニングし得るもの等でもよい。

上記レジストマスク 4 1 4 をマスクとして、p - S i 膜 4 0 3 に、例えばイオンドーピング法にて、リン又はボロン等の不純物イオンを注入する。これにより、上記 p - S i 膜 4 0 3 に、チャネル領域 4 0 3 a と、該チャネル領域 4 0 3 a の両側にソース領域 4 0 3 b 及びドレイン領域 4 0 3 c とが形成される。その後、上記レジストマスク 4 1 4 を剥離し、更に、図 2 5 (e) に示すように、ソース電極 4 0 7 s 及びドレイン電極 4 0 7 d を選択的に形成して、本実施の形態 3 - 2 に係る逆スタガ型の T F T 4 2 0 を得る。

このようにして作製した逆スタガ型の T F T においても、上記実施の形態 3 - 1 と同様に電界効果移動度の向上などの効果が得られる。

(実施の形態 3 - 3)

この実施の形態 3 - 3 は、実施の形態 3 - 1、3 - 2 における結晶成長方向制御空隙に代えて、他の領域よりも高い温度において結晶化が開始される早期結晶化領域を設けたことを特徴とする。以下、図 26 に基づいて実施の形態 3 - 3 にかかる結晶質薄膜半導体トランジスタについて説明する。なお、結晶成長方向制御空隙に代えて早期結晶化領域を設けたこと以外は、前記実施の形態 3 - 1 と同様であるので、以下の説明においては、早期結晶化領域に関する事項以外の説明を省略する。また、前記実施の形態 3 - 1 又は実施の形態 3 - 2 の薄膜トランジスタと同様の機能を有する構成要素について、同一の符号を付した。

図 26 に示すように、p-Si 膜 403 には、チャネル領域に、ソース領域からドレイン領域の方向にリン又はボロン等以外の不純物イオンが注入された帯状の早期結晶化領域 421 が形成されており、このような構造を有する TFT 430 は次のようにして製造できる。

先ず、前記実施の形態 3 - 1 と同様にして、上記絶縁性基板 401 上にアンダーコート層 402 を、常圧 CVD 法にて成膜する。次に、上記アンダーコート層 402 上に、例えばプラズマ CVD 法にて、Si 層を形成し、この Si 層上に、フォトリジストを所定の形状に選択的に形成する。該フォトリジストをマスクとして露光した後、エッチングにて所定の形状にパターニングして、a-Si 膜 413 を形成する。

次いで、a-Si 膜 413 のチャネル領域 403a において、ソース領域 403b からドレイン領域 403c の方向に帯状にリン又はボロン等以外の物質でかつ結晶化開始温度を高めることのできる

不純物イオンを注入して、早期結晶化領域 4 2 1 を形成する。そして、早期結晶化領域 4 2 1 が形成された a-Si 膜 4 1 3 の全面にエネルギービームとしてのエキシマレーザービームを 50 ns 程度照射し、しかる後放冷して a-Si 膜 4 1 3 の結晶化を行う。

- 5 ここで、a-Si 膜 4 1 3 の全面にエネルギービームを照射したとき、a-Si 膜 4 1 3 面の温度が高まり、その後の放冷により a-Si 膜 4 1 3 の温度が次第に低下するが、温度降下の過程において、他の領域に先んじて早期結晶化領域 4 2 1 に最初の結晶核が発生する。なぜなら、早期結晶化領域 4 2 1 は不純物イオンを注入す
10 ることにより、他の領域よりも高い温度で結晶化が開始されるようになっているからである。

その後、早期結晶化領域 4 2 1 で発生した結晶核を中心にして結晶成長が行われる。よって、大きな結晶粒が集合した poly-Si 膜が形成できる。

- 15 なお、結晶化の後の工程は、前記実施の形態 3-1 と同様である。

- 上記結晶化開始温度を高めることのできる不純物イオンを a-Si 膜に注入する方法は、特に限定されるものではなく、従来公知の種々の方法を採用することができる。また、この実施の形態ではスタガ型の例を示したが、逆スタガ型であっても同様な効果が得られる。また、早期結晶化領域としては、上記のように不純物イオンを
20 注入したものに限らず、あらかじめ部分的に結晶化させた領域（ブレ結晶）を形成し、結晶化度に応じた融点（結晶化温度）の相違を利用するなどしてもよい。また、このようなブレ結晶を微細に形成するためには、例えば可干渉光の干渉縞の照射などを用いてもよ
25 い。

（実施の形態 3-1 ～ 3-3 についてのその他の事項）

前記実施の形態 3-1 及び実施の形態 3-2 においては、a-Si 膜 413 にソース領域とドレイン領域とを結ぶ方向に長い溝状の結晶成長方向制御空隙 411... を設けたが、本発明はこの態様に限定されるものではない。例えば、図 27 に示すように、ソース領域とドレイン領域とを結ぶ方向に不連続な結晶成長方向制御空隙 431... を設けてもよい。この態様においては、ソース領域とドレイン領域とを結ぶ方向における結晶成長方向制御空隙 431 の間隔、またはこの間隔と共に、該方向に直行する方向における隣合う結晶成長方向制御空隙 431 の間隔を適正に調整することにより、結晶粒の該方向における粒径を制御することができる。

また、本発明では、図 28 に示すように、a-Si 膜のチャネル領域に、a-Si 膜を貫通しない深さの空隙を設けてもよい。更に、このような形状の空隙を不連続的に島状に形成したものであってもよい。

なお、上記貫通しない空隙である場合には、p-Si 膜の形成工程が終了後に空隙を形成する凸部分をエッチング等により除去し、p-Si 膜の表面を平坦にするのもよい。

更に、a-Si 膜 413 のチャネル領域に、本体部と比熱の異なる、例えば棒状の部材を載置してもよい。また、チャネル領域に比熱の異なる結晶成長方向制御領域を形成するのもよい。例えば a-Si 膜よりも比熱の大きい部材を載置して、エネルギービームを短時間照射した場合、上記部材が接触している a-Si 膜部分の温度上昇が小さいので、他の領域に比べて早期に結晶核が発生する。他方、例えば a-Si 膜よりも比熱の小さい部材を、ソース領域とドレイン領域とを結ぶ方向に複数列載置し、エネルギービームを短時間照射すると、a-Si 膜よりもこの部材の温度の方が高くなる

ので、複数列載置した部材の中間部分の温度が相対的に低くなる。
したがって、この部分に最初の結晶核が発生することになり、無秩序な結晶核の発生を防止する効果が得られる。

上記実施の形態では、 $p-Si$ 膜403の材料として、 Si 若しくは
5 Si と Ge とを用いた態様を示したが、また、本発明においては、これらの他に炭化シリコン(SiC)のようなI V族同士の組み合わせによる化合物や、ヒ化ガリウム($GaAs$)のようなI I族とV族との組み合わせによる化合物、セレン化カドミウム($CdSe$)のようなI I族とV族との組み合わせによる化合物なども
10 使用可能である。

更に、本発明においては、ゲート電極405、ソース電極407
s及びドレイン電極407dの材料として Al を使用した態様を示したが、その他に、クロム(Cr)や、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)等の金属又はこれらの合金等を使用
15 してもよい。

更に、本発明においては、 $a-Si$ 膜413を結晶化する際に、エネルギービームとしてエキシマレーザーを使用した態様を示したが、その他に、 Ar レーザーや、 YAG レーザー等のレーザー光、イオンビーム、電子ビーム等を使用してもよい。これらのエネルギー
20 ービームを使用しても、高密度のエネルギーを、短時間で局所的に照射することが容易に行えるので、基板温度を比較的低温に保った状態で結晶化できる。

(実施の形態4-1)

この形態4-1では、ビーム幅内における光エネルギー強度(単位面積当たりの光エネルギー、以下、単に光強度とする)が一方から他方へ単調に増加しまたは一方から他方へ単調に減少する分布パ
25

ターンの光ビームを用いて結晶化を行う。

一方から他方へ単調に増加または一方から他方へ単調に減少する分布パターンの光ビームの典型は、図 29 a に示すような直線的な光強度勾配を有するものであるが、一定方向に指数関数的に光強度が増加または減少するものなどであってもよい。

上記光ビームの発生光源（整形前のもの）としては、例えば He-Ne レーザ、アルゴンレーザ、炭酸ガスレーザ、ルビーレーザ、エキシマレーザなどの各種のレーザが使用可能である。但し、高出力が得られ、シリコンによく吸収されることなどから、エキシマレーザを使用するのが好ましい。以下、エキシマレーザを用いた本発明にかかるレーザアニール法について説明する。

図 4 2 は、レーザアニール法を用いた結晶化操作を模式的に示した見取り図であり、図 4 2 中、1400 は光ビーム照射装置、1410 は光ビームが照射される被照射体を示し、更に 1401 は例えば XeCl エキシマレーザを用いたレーザ光発生器であり、1402 はミラー、1403 はビームホモジナイザーである。この光ビーム照射装置 1400 では、レーザ光発生器 1401 で発生させた光をミラー 1402 を介してビームホモジナイザー 1403 に導き、ここで所定の光強度パターンに整形した後、出力するようになっている。ビームホモジナイザー 1403 には、光ビームを整形するための光学系が組み込まれており、この実施の形態においては、光路の最下流側に図 3 1 に示すような光透過度勾配を有する透過フィルターが配置（不図示）されている。よって、レーザ光発生器 1401 で発生した光がこの透過フィルターを透過することにより、図 29 a のようなパターンの光ビームに整形されることになる。

上記光ビーム照射装置 1400 では、例えば平均的なエネルギー

密度（単位面積当たりの照射エネルギー）が 300 mJ/cm^2 、
エネルギー密度の低い領域 L が 250 mJ/cm^2 、エネルギー密
度の高い領域 H が 350 mJ/cm^2 、ビーム断面形状が $7 \text{ mm} \times$
7 mm に整形された光ビームが出力でき、この光ビームをアモルフ
5 アスシリコン薄膜などの被結晶化面に照射して被結晶化物質を結晶
化する。

より具体的に結晶化工程を説明する。先ず図 42 の被照射体 14
10 に示すように、ガラス基板 1411 の上に、例えば減圧 CVD
法によって膜厚が 85 nm の非単結晶質シリコン膜 1412 を成膜
10 する。より具体的には、例えば反応ガスとしてのモノシランガス (SiH_4) またはジシランガス (Si_2H_6) を用い、圧力を数 Torr にして、ガラス基板 1411 を $350^\circ\text{C} \sim 530^\circ\text{C}$ に加熱した
状態で、非単結晶質シリコン膜 1412 を成膜する。

ここで、ガラス基板 1411 の上に例えば SiO_2 からなる下地
15 層 1413 を形成し、この下地層の上に非単結晶質シリコン膜 14
12 を成膜してもよい。また、非単結晶質シリコン膜 1412 の成
膜方法としては、減圧 CVD 法に限定されるものではなく、例えば
プラズマ CVD 法を用いてもよい。また、上記非単結晶質シリコン
膜 1412 の膜厚は、 85 nm に限らず、適当に設定すればよい。

20 このようにして形成した非単結晶質シリコン膜 1412 の特定の
領域 1404 に対し、光ビーム照射装置 1400 から整形されたエ
キシマレーザ光を例えば 10 ショット照射して当該部分を溶融し、
しかる後、放熱して結晶化する。この実施の形態では、光ビームの
照射に際して、被照射体 1410 を石英板からなる窓を有する気密
25 容器に入れ、内部を真空（約 10^{-6} torr ）とし、室温（約 23°C ）条件下で、上記窓を介して特定の領域 1404 に光ビームを

照射する方法（図４３参照）により行ったが、図４２では気密容器を省略して描いてある。

なお、上記した各条件はあくまでも例示であり、ビーム幅内における光強度が一方から他方へ単調に増加しまたは一方から他方へ単調に減少する分布パターン（５）の光ビームを用いる点を除き、その他の条件は特に限定されるものではない。例えば、光エネルギー密度としては、非単結晶質シリコン膜１４１２を結晶化させるために十分な強度でかつ光強度勾配をもたせたものであればよい。

また、光強度勾配の程度についても特に制限されることはなく、（１０）非単結晶質薄膜の材質や厚み等を考慮して結晶化を好適に誘導・制御できる勾配を設定すればよい。更に、照射する光ビームのビーム幅、および照射回数（ショット回数）も、上記に限られず、例えばより強い強度のレーザ光を１ショットだけ照射するようにしてもよい。

（１５）また、光ビームの断面形状についても、特に限定されるものではなく、例えば三角形、円形等であってもよい。

次に、図２９ａ～ｇを参照しながら、光強度勾配を有する光ビームを用いた場合における結晶の成長挙動について説明する。

非単結晶質シリコン薄膜に図２９ａに示す光強度パターンの光ビーム（２０）を照射すると、照射面の温度は、図２９ｂの７０１（温度分布曲線）に示すように、中央部において右上がりの温度勾配を有し、周辺部に急激な温度勾配をもったパターンとなる。周辺部に急激な温度勾配が形成されるのは、周囲への放熱が大きいからである。次いで光照射を止めると、先ず最初に温度分布曲線７０１と結晶化温度ライン（２５）７０２の交点付近（境界付近）が熔融温度以下になる。よって、この付近に微小な結晶７０４が生成される（７０３は薄膜断

面を示している)。

そして、この結晶 704 を核として、未だ結晶化温度以上である
図面右方向に向かって結晶成長が進行する。ここにおいて、前記図
7 における場合と異なり、図 29 b では中央部に温度勾配が形成さ
5 れているので、高温領域側 (H 側) から低温領域側 (L 側) に向か
って熱が流れ込み、この熱が急激な温度低下を緩和すると共に、結
晶成長を高温側 (図面右側) に誘導するように作用する。よって、
結晶核の発生とその成長が円滑に進行し、その結果として結晶粒の
粒径や結晶化度の均一性が高まると共に、L 側から H 側方向 (結晶
10 成長方向) に長い結晶粒が生成する。つまり、光強度勾配を持った
光ビームを用いると、結晶成長方向に向かって高い移動度をもった
結晶質薄膜が作製できることになる。

ところで、光ビームの照射方法としては、照射側、基板側ともに
固定した状態 (不動状態) で行ってもよいが、光ビームまたは基板
15 側の何れかを移動させてもよく、更にこの移動を往復運動としても
よい。移動または往復運動しながら照射する方法においては、好ま
しくは図 30 に示すように、光強度の勾配方向 (L → H 方向または
H → L 方向) に移動させるのがよい。この方向であると、きめ細か
に結晶成長方向を誘導でき、結晶粒の粒径や結晶化度の均一性を高
20 めることができ、更に光強度勾配の程度や光照射強度の程度に適合
させて移動速度を調節すると一層きめ細かに結晶成長方向を誘導で
きる。

なお、図 30 の矢印は移動方向、711、712 は移動前後の照
射面、713 (斜線部) は重複照射領域を示している。また図 30
25 では、光ビームを移動する様を示しているが、基板側を動かしても
よく、更に光ビームを複数回ショットする場合には、例えば照射面

積の数%から数十%ずつ照射位置をずらしながら照射することもできる。

上記のようにして作製したpoly-Si薄膜は、一般にはその中央部をチャネル領域とし、この両端部分にリンやボロンなどの不純物をイオン注入してソース領域およびドレイン領域を形成するなどしてTFTとなす。そして、この実施の形態で説明したエネルギー強度パターンの光ビーム(図29a)は、AM-LCD(Active Matrix Liquid Crystal Display)の周辺回路などを形成するための、比較的幅の狭い領域の結晶化に有効である。

10 (実施の形態4-2)

この実施の形態(後述する形態4-3についても同様)は、比較的幅の広い領域を結晶化するのに有効な例である。

本実施の形態において使用する光ビームの光強度分布パターンを図32aに示す。本図に示すように、形態4-2にかかる光ビームは、光強度の大きいH領域721と小さいL領域722とが平面上に交互に並んだパターンをしている。ここで、H領域とL領域の光強度比率については、特に限定されるものではないので、適当に設定すればよい。但し、一般には照射回数内で照射面の全面(L領域とH領域)が溶融するように光エネルギー総量を規定する。なお、
20 ここでは、H領域を 300 mJ/cm^2 、L領域を 200 mJ/cm^2 とし、アモルファスシリコン薄膜の厚みを 50 nm とし、他の条件については実施の形態4-1と同様にした。

以下で、この実施の形態における結晶化の挙動を、図32a~gを参照しながら説明する。まず、図32aに示す光分布特性を有する光ビームを照射すると、薄膜表面の温度は、図32bに示すような分布パターンとなる。そして、光照射が終了し、照射面の温度が

下がっていく過程においては、L領域722の温度が結晶化温度ライン723にさしかかった時点で、図32cに示すように、L領域722に対応する位置に結晶核724が発生する(725は薄膜断面を示している)。さらに温度が下がると(図32d)、高温領域Hから低温領域Lに向かって伝達される熱によって結晶成長が高温領域H側に誘導されると共に、この過程で新たな結晶核も発生し同様に成長する(図32e)。

このような結晶の発生と成長が、高温領域Hの温度が溶融温度以下になるまで続く(図32f、g)が、この実施の形態では結晶成長の方向がL→H方向に誘導される。よって、高温領域Hを挟む双方の低温領域Lからそれぞれ結晶粒が成長し、その結果、結晶粒同志が高温領域Hの中央部付近726(図32g)で衝突し合う。これにより、高温領域Hの中央部付近に結晶粒界線が形成されると共に、この衝突により更なる結晶成長がL→H方向と平行する方向に誘導される。よって、衝突の後に若干L←→H方向と直交する方向に結晶成長するため、L←→Hと直交する方向に長い径を有する結晶粒が形成される。

以上のようなメカニズムから、この実施の形態によると、例えば数cm角と比較的広い照射領域内の結晶化を円滑に進行させることができる。また、既に説明したごとく、キャリアの移動方向(ソースドレイン方向)と直交する方向が、L←→H方向になるように光ビームを設定して光照射すると、キャリアが結晶粒界線を横断することなく移動できるので、高速なTF Tが実現できる。

この実施の形態においても、実施の形態4-1と同様にして、図33に示すように照射時間内($t = t_1$ から $t = t_2$)において、光ビームまたは基板の何れかを移動(往復運動等も含む)移動させ

ながら照射してもよい。このようにすることにより、結晶化度の均一性をさらに高めることが可能になる。なお、図 3 3 中の 7 3 1、7 3 2 は移動前後の照射面位置、7 3 3 (斜線部) は重複照射領域を示し、矢印は移動方向を示している。但し、このような移動に限定されるものではないことは勿論である。

ところで、上記図 3 2 a に示したような光強度の強い部分 H と弱い部分 L とが縞状に配列されてなる光ビームは、特別な技術を要することなく周知の技術でもって容易に実現でき、その実現手段は何ら限定されない。例えば使用する光をある程度吸収するフィルターを所定間隔を開けて配置し、図 3 4 に示すような透過分布を持つ櫛形の透過フィルタを作製する。そして、このフィルターを光ビーム照射装置の光路中 (例えばビームホモジナイザー内) に設置することにより実現できる。また、例えば金属繊維が縦若しくは横一列に多数平行に並んだフィルタを光路に配置する手段によっても実現できる。更には光路にスリットを配置し回折干渉を生じさせる手法で縞状の光強度パターンを作製する手段によっても実現できる。

(実施の形態 4 - 3)

本実施の形態 4 - 3 は、光干渉を利用して光強度分布に不均一性を与える方法である。この方法は、比較的自在に光強度分布パターンを制御できるので、実施の形態 4 - 2 と同様、比較的広い領域の結晶化に適する。

本実施の形態において使用する光ビームの光強度分布のパターンを図 3 5 に示す。このような光強度分布パターンは、図 3 6 に示すがごとく、それぞれコヒーレントな 2 つの光ビーム 8 0 1, 8 0 2 を同時に照射して光干渉を起こさせる手段により容易に形成できる。具体的には、例えば同一光線から発生したレーザー光を半透過

型鏡により 2 の光路に分け、反射鏡を使用して互いの光路に相対角度を生じさせることにより、干渉を生じさせることができる。

ところで、それぞれコヒーレントな 2 つの光を干渉させると、光強度の強い部分（明線部 H）と光強度の弱い部分（暗線部 L）とが形成されるが、干渉パターンの周期は 2 つの光ビームの交差する角度によって自在に変化させることができ、またその変調度（明線部と暗線部の光のエネルギー強度の比に影響する）は 2 つの光ビームのエネルギー強度を変えることにより容易に変化させることができるので、明線部 H と暗線部 L との間隔や強度比は比較的自在に設定できる。よって、被照射面である非結晶質薄膜の厚さ等を勘案して上記間隔や強度比を適正に設定する。

以下、このような干渉パターンを生じさせてなる光ビームを照射した場合における結晶成長挙動を図 3 7 a ~ g に基づいて説明する。なお、この実施の形態における操作条件は、前記実施の形態 4 - 1 等と同様である。

図 3 7 a で特徴付けられる光ビームを非単結晶シリコン薄膜に照射すると、薄膜上では明線部 H においては高く、暗線部 L においては低い温度分布パターン（曲線 9 0 1）が形成される（図 3 7 b）。光照射が終了し、温度が下がっていく過程では、図 3 7 c に示すように、曲線 9 0 1 が結晶化温度線 9 0 2 と最初に交わる部分（低温領域 L の最も温度の低い部分）に結晶核 9 0 3 が発生する。そして、更に温度が低下すると（図 3 7 d）、高温領域 H から低温領域 L に向かって伝達される熱によって結晶成長が L → H 方向に誘導されると共に、新たに核が発生し同様に誘導され成長する（図 3 7 e）。このような結晶の発生と成長は、明線部 H に対応する高温領域 H の温度が熔融温度以下に下がるまで続く（図 3 7 f、g）。

以上の結晶化のメカニズムから、この実施の形態 4-3 によると、比較的広い範囲において、結晶化度が均一で電界効果移動度の大きい結晶質半導体薄膜を作製できる。また、この実施の形態においても、前記実施の形態 4-2 と同様、結晶粒界の境界線（結晶粒の衝突線）が高温領域の中央部に形成されるので、前記実施の形態 4-2 で述べたように、 $H \rightarrow L \rightarrow H \rightarrow L$ の配列方向に直交する方向をキャリア移動方向として利用すると、高い電界効果移動度が得られる。

（実施の形態 4-4）

10 実施の形態 4-4 は、基本的には実施の形態 4-3 の場合と同様である。但し、この実施の形態では、干渉パターンの周期と変調度の調節を動的に行うことにより、明線部 H と暗線部 L とが波動的に変化するようになっている。以下、実施の形態 4-4 の内容を説明する。

15 図 38 に示すように、それぞれコヒーレントな 2 つの光ビームのうち、少なくとも一方の光に動的な位相変調を与えて、干渉縞の明線部、暗線部の位置が波動的に変化する光ビームを形成する。位相変調としては、例えば一方の光ビームの位相を他方の光ビームに対して相対的に 0 、 $\pi/2$ 、 π と順次変化させる。このようにすると
20 干渉縞の明線部と暗線部の位置が時系列的にずれ、明線部と暗線部とからなる縞状のパターンが波動的に変化する光ビームが形成できる（図 38）。

位相を変調する手段としては、例えばミラーを用いて 2 つの光ビームのうちの一方の光路長を動的に変動させ位相を変化させる方法
25 や、光路内に配置した透明体の屈折率を動的に変化させる方法などが例示でき、このような光学系を例えば前記ビームホモジナイザー

(図 4 2 の 1 4 0 3) 内に組み込む。

この実施の形態によると、照射面である薄膜表面には高温領域 H と低温領域 L とが波動的に入れ代わる温度分布パターンが形成されるので、結晶成長を一定方向に誘導する効果大きい。また、この
5 方法は、不純物を有効領域外に追いやるという効果もあるので、薄膜の高純度化を図りつつ高品質の結晶質薄膜が形成できる。なお、不純物を有効領域外に追いやる効果は次の原理に基づく。すなわち、薄膜成分と不純物とでは融点、比重等の物性が異なるので、波動的な温度変化が加わると、両者の間に進行速度の差が生じる。よ
10 って、多数回の照射を行うこと、微量な不純物と薄膜成分とが分離される。

ここで、干渉パターンの周期と変調度の調節は、1 回の照射中、あるいは多数回照射の各照射ごとに行ってもよい。更に、結晶成長の各段階に応じて変調度の制御を行うのもよく、このような方法によ
15 ると、結晶成長をより好適に誘導できる。

また、上記実施の形態 4-3、4-4 のいずれにおいても、前記実施の形態 4-1 または 4-2 と同様、光レーザまたは基板側の何れかを移動（往復運動等を含む）させながら照射することもでき、この方法により結晶成長を適正に制御できる。そして、この移動を
20 明線部 H と暗線部 L からなる縞模様の方角と平行する方角に向かって行った場合には、上記実施の形態 4-3 の場合であっても、不純物を追い出す効果が得られる。

ところで、以上では主に照射領域の面方向の温度分布を想定して説明したが、図 3 9 に示すように、照射する薄膜の厚み方向に光干
25 渉による光強度分布を形成させることもできる。図 3 9 は、照射方向（同図の上方）より順にアモルファスシリコン層の薄膜 1 1 0 1、

下地層 (S i O₂) 1 1 0 2、ガラス基板 1 1 0 3 からなる被照射体
に光ビームが照射された様子を示す模式図である。被照射体に上
下方向 (厚み方向) に光強度分布を有する光ビームが入射すると、
この波形に対応する温度分布が厚み方向に形成されるが、T F T に
5 使用されるシリコン薄膜の厚みは、通常数十ナノメートルと薄く、
干渉縞の周期より距離が短いので、厚み方向に周期的な温度分布を
形成することは困難である。

しかし、薄膜 1 1 0 1 の上面は、周囲環境に熱輻射することによ
り冷却され、下面 (基板側) は下地層 1 1 0 2 やガラス基板 1 1 0
10 3 に熱伝導することにより放熱されるので、厚み方向にも温度分布
が存在しており、この温度分布を大きくすることは可能である。そ
して、光照射により厚み方向の温度分布を拡大する手段として、上
記した干渉パターンを利用できる。具体的には、例えばガラス基板
1 1 0 3 の下面に反射鏡を設置して干渉を起こさせる、または薄膜
15 1 1 0 1 と下地層 1 1 0 2 またはガラス基板 1 1 0 3 との屈折率の
差を大きくして、薄膜 1 1 0 1 側から入射した光と、各層の界面で
反射した光により干渉を生じさせる。また、干渉縞の周期を調節す
るなどして、厚み方向 (上下方向) に温度分布を形成することがで
き、これにより厚み方向における結晶成長を制御できる。

20 厚み方向の温度分布を制御する場合においては、非単結晶質薄膜
の厚さ、下地層および基板の熱伝導率を考慮して個々具体的に好適
な設定条件を決定するのがよい。また、1つの光源から発した光を
2つに分割し、一方を薄膜面側 (上方) から照射し、他方を基板側
(下方) から照射して、薄膜内部で干渉させることもできる。但し、
25 この場合には基板および下地層を光ビームが透過する材質とする。
(実施の形態 4 - 5)

本実施の形態は、結晶化プロセスにおける雰囲気ガスの圧力を好適に設定することにより、被結晶化面に温度勾配を形成する点に特徴を有する。これに対し、上記実施の形態 4-1~4-4 では、光ビームの光強度パターンを調節・制御することにより、結晶化度の
5 向上と均一化を図るものである。よって、本実施の形態と実施の形態 4-1~4-4 とは全く考え方を異にする。以下に本実施の形態の内容を説明する。

図 40 は、図 39 と同様な被照射体（積層体）の断面図であり、1200 は光ビームの照射面、1201 は薄膜、1202 は下地層、
10 1203 は基板を表し、矢印は薄膜の熱の伝達方向（放熱方向）を示している。図 40 に示す如く、熱の一部は周囲雰囲気中（上方向）および薄膜の照射領域外方向（図の左右方向）に拡散するが、大部分の熱は接触面積が大きくかつ熱伝導率の大きい基板側（下方向）に伝達される。ここにおいて、従来のレーザアニール法では、高度
15 な真空雰囲気中で、しかも均一な光強度分布の光ビームを照射する方法で行われている。したがって、前記実施の形態 4-1 で説明したように、照射面の中央部には殆ど温度勾配が形成されないのので、放熱の初期段階においては、中央部に核が発生しにくい。その一方、放熱過程のある段階で同時多発的に多数の核が発生すると言った現象
20 象が起きる。

本実施の形態では、上記従来法と異なり周囲雰囲気を高度な真空にしないことを特徴としており、周囲雰囲気を構成する気体分子の運動を利用して、光照射面において温度の不均一部位を発生させようとするものである。

25 初めに、この実施の形態 4-5 における原理を説明する。一般にエキシマレーザのようなパルス光の 1 ショット（1 パルス）の時間

は、 $20 \sim 50 \text{ nsec}$ と極めて短い。したがって、この短い照射時間内でシリコン等を融点以上に昇温させる必要があり、それゆえシリコン等を数十 nm と極めて薄い薄膜とするのが一般的である。このように極めて薄い薄膜であると、放熱過程において周囲の気体分子の影響が極めて大きくなる。

すなわち、周囲雰囲気構成する気体分子や薄膜中に存在する気体分子は、一定の確率で薄膜表面に衝突し離脱する運動を行っているが、この気体分子の熱エネルギーレベルは光照射され加熱された薄膜よりも小さいので、薄膜表面に衝突し離脱する際に薄膜の熱を奪う。このような気体分子の作用を考慮すると、薄膜面では振動的な温度分布が生じているはずである。よって、周囲雰囲気圧力や周囲雰囲気を構成する気体分子の種類を適正に設定すれば、均一な光強度分布の光ビームを照射した場合であっても、光照射領域内に温度の不均一な部位（温度の低い部位）を形成できる。このような部位を形成することができれば、核の発生と結晶成長の円滑化が実現できると考えられる。この考えのもと、以下の実験を行った。

なお、結晶化プロセスにおける結晶核は、大気中の水分が結露する際における水蒸気核に似た役割を演じていると考えられる。

(実験 1)

20 実験条件

まず、コーニング社製 #7059 ガラスからなる基板（厚み 1.1 mm ）の上に、膜厚 200 nm の SiO_2 層（下地層）を形成し、更にこの上に膜厚 50 nm のアモルファスシリコン層を形成したものを被照射体として用意した。次に、図 4.3 に示すような石英ガラスからなる窓 1501 が設けられた気密容器 1500 内に上記アモルファスシリコン層 1503 が形成された被照射体を入れ、気密容

器 1 5 0 0 内の空気を除去し、その後、水素ガスポンベ 1 5 0 2 から水素ガスを導入して気密容器内を所定水素ガス圧とした。次いで、レーザ照射装置 1 5 1 0 で発生させたエキシマレーザを窓 1 5 0 1 を介して被照射体のアモルファスシリコン層 1 5 0 3 に照射し、しかる後、放熱して結晶化を行った。

上記における所定水素ガス圧（雰囲気圧力）としては、 5×10^{-6} torr、 1×10^{-5} torr、 1×10^{-4} torr、 1×10^{-3} torr、1 torr、10 torr の 6 通りとした。また、レーザ照射条件としては、1 パルス（1 ショット）が 30 nsec、ビームが幅 7 mm × 7 mm、光強度が 350 mJ/cm² の光強度分布の均一な従来型光ビームを用いた。そして、この光ビームを 100 パルス照射した後、室温環境下で放熱させて、アモルファスシリコン層 1 5 0 3 を多結晶化した。

なお、図 4 3 中、1 5 1 1 はエキシマレーザ光発生器、1 5 1 2 はミラー、1 5 1 3 はビームホモジナイザーを示している。

雰囲気圧力と結晶化度の関係

上記条件で作製した 6 通りの結晶質シリコン薄膜（poly-Si）について、斜光による目視観察を行った。また、顕微ラマン分光法でラマン強度を測定し、水素ガス圧が 5×10^{-6} torr のときにおけるラマン強度を 1 として、各々の結晶化度を評価した。この結果を表 1 に一覧表示した。

(表 1)

雰囲気圧力*	10^{-6}	10^{-5}	10^{-4}	10^{-3}	1	10
斜視目視観察 結果	散乱わずか 青み	散乱明瞭 緑っぽい	散乱顕著 真っ白	散乱強い 白っぽい	散乱強い 白っぽい	散乱強い 白っぽい
ラマン強度 (相対値)	1	4	7	6	6	6

*: torr

5 表 1 に示すように、目視観察において、レーザアニール処理後のシリコン薄膜の状態が製造時の雰囲気圧力に対応して変化することが認められた。すなわち、水素ガス圧（雰囲気圧力）が 10^{-6} torr 台では、青みのある散乱光がわずかに認められるのみであったが、 10^{-5} torr 台では前記散乱光が緑色側にシフトして、

10 全体が明るくなった。さらに水素ガス圧が 10^{-4} に高まると、散乱が顕著となり、白濁したような状態が観察され、その後 10 torr 程度までは、ほぼ同様の状態が確認された。

他方、顕微ラマン分光法による結晶化度評価によると、水素ガス圧が 5×10^{-6} torr で結晶化された試料のラマン強度を基準

15 とするとき、雰囲気圧力が 1×10^{-6} torr では 4 倍の強度を示し、さらに 1×10^{-5} torr から 10 torr の間では 6 倍から 7 倍のラマン強度を示した。これらの結果から次のことが明らかとなる。

従来では雰囲気中の分子と薄膜物質とを反応させる等の特別な場合を除き、雰囲気圧力をできるだけ下げた状態（高度な真空状態）

20

で光照射を行うのが一般的であったが、表 1 で明らかなごとく、高度な真空状態とすると、良好な結晶化度が得られない。他方、水素ガス圧が高まるに従い結晶化度が向上する。この実験結果からして、レーザアニール処理による結晶化においては、周囲雰囲気圧力を一定値以上に設定するのがよく、好ましくは 1×10^{-2} torr 以上の雰囲気圧力とするのがよい。

なお、高度な真空状態とすると、良好な結晶化度が得られないのは、気体分子の運動による振動的な温度の不均一性が形成できないためであると考えられる。他方、水素ガス圧が存在する場合において結晶化度が向上したのは、水素分子が薄膜表面に衝突し離脱する際に薄膜の熱を奪い、局所的・振動的な温度不均一を生じさせるからと考えられる。つまり、表 1 の結果は上記考察を裏付けるものである。

(実験 2)

雰囲気圧力としての水素ガス圧を 5×10^{-6} torr、1 torr の 2 通りとし、それぞれの水素ガス圧条件において光ビームの照射回数を 1、10、100、500 に変化させたこと以外は、上記実験 1 と同様にして結晶質シリコン薄膜 (poly-Si) を作製した。そして、上記と同様にしてラマン強度を測定し、照射回数と結晶化度との関係において、水素ガス圧の影響を調べた。この結果を図 4 1 に示した。

図 4 1 より明らかなごとく、水素ガス圧が 1 torr の場合においては、照射回数が増えるに従ってラマン強度が上昇し、結晶化度が向上することが認められた。他方、水素ガス圧が 5×10^{-6} torr の場合においては、10 回を超えて照射回数を増やしてもラマン強度が増加せず、結晶化度の向上がなかった。

この結果から、光ビームを多数回照射して結晶化を図る方法においても、雰囲気圧力を高度な真空にしない方がよいことが判る。そして、この結果において、少なくとも水素ガス圧を 1 t o r r とすれば、照射回数の増加とともに結晶化度が向上することが確認された。

ところで、実験 1 では、1 0 t o r r を超える条件における結果を示していないが、1 0 t o r r を超える条件においても、良質な結晶質薄膜が形成されと考えられる。この理由は次の通りである。水素ガス圧が高まると、薄膜表面に衝突・離脱する水素分子の数が多くなるので、温度分布の不均一を生じさせる効果が弱まると考えられる。しかし、次のような効果が付加される。すなわち、光照射により薄膜温度が融点温度以上に加熱されると、薄膜内部の蒸気圧が高まり、この蒸気圧が結晶の成長を阻害し、また薄膜を構成する物質の飛散が生じるが、周囲の圧力が高いと、この圧力によって薄膜物質の飛散等が抑制され、その結果として結晶化の進行が円滑になる。

ところで、上記実験 1、2 では、周囲雰囲気を構成するガスとして、比熱が大きく熱冷却効果が大きい水素ガス (H_2) を用いたが、周囲雰囲気を構成するガスは水素ガスに限定されるものではない。例えば N_2 や He 、 Ar などの不活性ガスが使用でき、これらの気体分子を 2 つ以上混ぜ合わせた混合ガスであってもよい。但し、気体分子の種類によって、比熱や薄膜物質に与える影響（悪影響を含む）が異なるので、気体分子の種類によって好適なガス圧を設定するのが好ましい。

また、以上では、光ビームとしてエキシマレーザを用いたが、本発明で使用する光ビームはエキシマレーザに限定されるものではない。

い。例えば前記したようなH e - N e レーザ、アルゴンレーザー等の連続発振をするレーザーのみならず、紫外線ランプなどの光も使用可能である。

また、本発明は、多結晶化法として特に有用であるが、単結晶化
5 を作製する方法として利用できることは勿論である。

更に、以上では結晶質半導体薄膜の形成方法を中心として本発明の内容を説明したが、本発明にかかる技術は、光エネルギーを用いて行う物質の改質、例えばポリマーの溶融成形、合金に対する熱アニール操作等、に広く適用できる。

10 (実施の形態 5 - 1)

本発明の実施の形態 5 - 1 について、図 4 4 および図 4 5 に基づいて説明する。

まず、図 4 4 に示すように、ガラス基板 5 2 1 に、プラズマ C V D 法によって、前駆体半導体薄膜としてのアモルファスシリコン薄膜 5 2 2 を形成する。このアモルファスシリコン薄膜 5 2 2 の膜厚
15 は特に限定されないが、通常、用途に応じて異なり、例えば T F T に用いる場合は 3 0 0 ~ 1 0 0 0 Å 程度、光センサや光起電力素子（太陽電池など）に用いる場合は 1 μ m 以上程度の厚さに形成される。

20 次に、上記アモルファスシリコン薄膜 5 2 2 が形成されたガラス基板 5 2 1 を基板ステージ 5 3 5 に載置し、アモルファスシリコン薄膜 5 2 2 に、結晶化用の第 1 のエネルギービームである X e C l エキシマレーザー 5 3 1 のレーザービーム 5 3 1 a、および予備加熱用の第 2 のエネルギービームである A r レーザ 5 3 2 のレーザービーム 5 3
25 2 a を静止状態で 5 秒間照射する。より詳しくは、上記 X e C l エキシマレーザー 5 3 1 は、発振周波数が 5 0 H z、波長が 3 0 8 n m、

照射エネルギーが $300 \text{ mJ} / \text{cm}^2$ であり、Ar レーザ 532 は、連続発振、波長が 488 nm 、出力が $20 \text{ W} / \text{cm}^2$ である。また、レーザビーム 531 a は、ハーフミラー 533 を透過して照射される一方、レーザビーム 532 a は、ハーフミラー 533 によって反射されて照射される。アモルファスシリコン薄膜 522 における各レーザビーム 531 a, 532 a の照射領域 531 b, 532 b は、帯状で、かつ、レーザビーム 532 a は、レーザビーム 531 a の照射領域 531 b を含む、より広い照射領域 532 b に照射される。

10 なお、上記のようにハーフミラー 533 を用いるなどして、レーザビーム 531 a, 532 a がアモルファスシリコン薄膜 522 に垂直に照射されるようにすることは、結晶粒径や電界効果移動度のばらつきの低減が容易であるなどの点で好ましいが、必ずしも正確に垂直に照射されなくても、例えば 2 枚のミラーをわずかにずらして配置するなどして、実質的にほぼ垂直に照射されるようにしてもよい。また、XeCl エキシマレーザ 531 に代えて、例えば ArF、KrF、XeF エキシマレーザなどの波長が 400 nm 以下の種々のレーザを用いてもよい一方、Ar レーザ 532 に代えて、波長が $450 \sim 550 \text{ nm}$ の種々のレーザを用いてもよい。

20 ここで、アモルファスシリコン薄膜 522 は、例えば膜厚が 1000 \AA の場合、図 1 に示すような透過率特性を有している。すなわち、例えば波長が約 500 nm の光に対しては、吸収係数は膜厚の逆数程度の 10^5 cm^{-1} であり、 400 nm より短波長の光に対しては、吸収係数は 10^5 cm^{-1} 以上で、ほとんど透過させない。

25 そこで、波長が 308 nm の XeCl エキシマレーザ 531 のレーザビーム 531 a は、ほとんどアモルファスシリコン薄膜 522 の

表面付近で吸収され、これによる温度上昇、およびその熱の伝導によって、主としてアモルファスシリコン薄膜 5 2 2 が 1 2 0 0 °C 程度に加熱される。一方、波長が 4 8 8 n m の A r レーザ 5 3 2 のレーザービーム 5 3 2 a は、アモルファスシリコン薄膜 5 2 2 の厚さ方向のほぼ全域で吸収され、伝導熱によって、ガラス基板 5 2 1 が 4 0 0 °C 程度に加熱される。それゆえ、レーザービーム 5 3 1 a, 5 3 2 a の照射終了後、アモルファスシリコン薄膜 5 2 2 は徐冷され、結晶成長が促進されて、結晶粒の大きいポリシリコン薄膜 5 2 3 が形成される。

10 上記のようにして形成されたポリシリコン薄膜 5 2 3、および従来と同様に X e C l エキシマレーザー 5 3 1 だけによって結晶化させたポリシリコン薄膜の結晶化の状態を評価するために、ラマン散乱測定を行った。それぞれの測定結果を図 4 5 に記号 P または R で示す。同図から明らかなように、X e C l エキシマレーザー 5 3 1 のレーザービーム 5 3 1 a だけを照射した場合 (R) よりも、A r レーザ 15 5 3 2 のレーザービーム 5 3 2 a を併せて照射した場合 (P) の方が、ラマン散乱強度が大きく、結晶性の優れていることが確認された。

また、アモルファスシリコン薄膜 5 2 2 が形成されたガラス基板 5 2 1 を例えば 3 m m / s e c の速度で移動させながら、アモルファスシリコン薄膜 5 2 2 の全域に同様にレーザービーム 5 3 1 a, 5 3 2 a を照射し、形成されたポリシリコン薄膜 5 2 3 の複数の領域についてラマン散乱測定を行って結晶化の分布を調べたところ、非常に均一性の高いことが確認された。

20 なお、結晶化の均一性を高くするためには、前記のようにレーザービーム 5 3 2 a の照射領域 5 3 2 b が、レーザービーム 5 3 1 a の照射領域 5 3 1 b を含む、より広い領域であることが好ましい。

(実施の形態 5 - 2)

上記実施の形態 5 - 1 の Ar レーザ 5 3 2 に代えて、図 4 6 に示すように、例えば波長が 4 μ m の赤外線ランプ 5 3 4 を用いてもよい。すなわち、ガラス基板 5 2 1 は、例えば図 4 7 に示すような透過率特性を有し、赤外線ランプ 5 3 4 から発せられる赤外線 5 3 4 a は、アモルファスシリコン薄膜 5 2 2 を透過して、大部分がガラス基板 5 2 1 に吸収される。そこで、XeCl エキシマレーザ 5 3 1 のレーザビーム 5 3 1 a を照射すると、実施の形態 5 - 1 と同様に、レーザビーム 5 3 1 a によって、主としてアモルファスシリコン薄膜 5 2 2 が加熱される一方、赤外線ランプ 5 3 4 の赤外線 5 3 4 a によって、主としてガラス基板 5 2 1 が加熱される。それゆえ、レーザビーム 5 3 1 a および赤外線 5 3 4 a の照射終了後、アモルファスシリコン薄膜 5 2 2 は徐冷され、結晶成長が促進されて、結晶粒の大きいポリシリコン薄膜 5 2 3 が形成される。

15 上記のように赤外線ランプ 5 3 4 を用いることを除いて実施の形態 5 - 1 と同様の条件により形成されたポリシリコン薄膜 5 2 3 について、ラマン散乱測定を行った測定結果を図 4 5 に記号 Q で示す。同図から明らかなように、やはり、XeCl エキシマレーザ 5 3 1 のレーザビーム 5 3 1 a だけを照射した場合 (R) よりも、ラ
20 マン散乱強度が大きく、結晶性の優れていることが確認された。

また、結晶粒の均一性も、実施の形態 5 - 1 と同様に高いことが確認された。

なお、上記赤外線 5 3 4 a に加えて、さらに、実施の形態 5 - 1 と同様に、Ar レーザ 5 3 2 のレーザビーム 5 3 2 a も照射するよ
25 うにしてもよい。また、赤外線 5 3 4 a も、実施の形態 5 - 1 と同様にハーフミラーを用いるなどして、アモルファスシリコン薄膜 5

22に垂直に照射されるようにしてもよい。

(実施の形態5-3)

本発明の実施の形態5-3について、図48ないし図50に基づいて説明する。

5 まず、図48に示すように、ガラス基板521に、誘導結合プラズマCVD装置によって、前駆体半導体薄膜としての微結晶シリコン薄膜524を形成する。詳しくは、例えば、反応ガスとしてモノシランガス(SiH_4)と水素ガスとを2:3の割合で混合した混合ガスを用い、基板温度(反応温度)が350℃~530℃、圧力
10 が数mTorrの反応条件で、膜厚が85nmの微結晶シリコン薄膜524を形成する。なお、微結晶シリコン薄膜524に代えて、実施の形態5-1と同様にアモルファスシリコン薄膜522を形成してもよい。また、プラズマCVD装置に代えて、LP(Low Power)CVD装置やスパッタ装置等を用いるなどしてもよい。

15 次に、上記微結晶シリコン薄膜524が形成されたガラス基板521を400℃~500℃で30分以上熱処理し、微結晶シリコン薄膜524中の水素を放出させる脱水素処理を行う。すなわち、後述するレーザアニール時において、微結晶シリコン薄膜524中に取り込まれた水素が急激に放出されて微結晶シリコン薄膜524に
20 損傷が生じるのを防止するようにする。

次に、レーザアニールを行う。すなわち、図49に示すように、石英板による照射窓541aが形成されたチャンバ541内に上記ガラス基板521を設置し、XeClエキシマレーザ531のレーザビーム531a、および白熱ランプ542の白熱光542aを照
25 射して、微結晶シリコン薄膜524を結晶化させてポリシリコン薄膜523を形成する。より詳しくは、上記レーザビーム531aは、

パルス幅が数10 nsのパルス発振、波長が308 nm、照射エネルギーが350 mJ/cm²、照射回数は10回である。また、レーザービーム531aは、レーザー光減衰器543、ホモジナイザ（レーザー光均一化装置）544、および反射鏡545を介して照射される。

5 一方、白熱光542aは、微結晶シリコン薄膜524が400℃程度に加熱されるように照射する。

さらに、上記ポリシリコン薄膜523を水素プラズマ雰囲気中で350℃以上に加熱することにより、ポリシリコン薄膜523中の切断された結合手を水素で終端する水素化処理を行う。

- 10 上記のようにして形成されたポリシリコン薄膜523の結晶粒径をSEMおよびTEMを用いて測定したところ、0.7 μmであり、従来のポリシリコン膜での0.3 μmに対して結晶粒径が増大していることが確認された。また、電界効果移動度は、従来の50 cm²/V·secから、80 cm²/V·secに増大し、さらに、
- 15 ポリシリコン薄膜523の界面および膜中の合計の欠陥密度は、 $1.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ から、 $1.0 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ に減少した。すなわち、レーザービーム531aの照射時に白熱ランプ542による加熱を併用することによって、ポリシリコン薄膜523の結晶粒径の増大、および膜質の向上がなされる。
- 20 なお、レーザービーム531aの照射条件を種々に変更して実験したところ、照射エネルギーが200 mJ/cm²以上で結晶化が生じ、500 mJ/cm²以上では微結晶シリコンが消失する。また、300 mJ/cm²以上、450 mJ/cm²以下の範囲では、結晶成長が十分に行われ、結晶粒径が大きくなる。また、照射回数が
- 25 5回以上で、結晶欠陥の発生が抑制され、結晶性が向上する。

次に、所定の絶縁膜や導電膜の成膜処理、エッチングによるパタ

ーニング、イオン注入などを行うことにより、薄膜トランジスタ(TFT)を形成する。なお、ポリシリコン薄膜523のバターニングはレーザアニールの前に行ってもよい。

上記のようにして形成されたTFTのゲート電圧(V_g)ードレイン電流(I_d)特性を計測したところ、図50に示すように、従来のTFTに比べて、ゲート電圧に対するドレイン電流の立ち上がりが急になり、サブスレッショルド特性の向上したことが確認され、閾値電圧も低下した。

なお、上記のようにレーザビーム531aの照射と同時に白熱光542aを照射せずに、例えば図51に示すように、水平方向に移動可能な基板ステージ535にガラス基板521を載置し、同図に矢印Aで示す方向に移動させながら、微結晶シリコン薄膜524におけるレーザビーム531aの照射領域よりも移動方向前方側に白熱光542aを照射することにより、レーザビーム531aによる加熱に先立って白熱光542aによる加熱を行うようにしても、同様の効果は得られる。

(実施の形態5-4)

本発明の実施の形態5-4のTFTについて、図52および図50に基づいて説明する。

まず、図52に示すように、ガラス基板521に、プラズマCVD法を用いて、アモルファスシリコン薄膜522を形成する。詳しくは、例えば反応ガスとしてモノシランガス(SiH_4)と水素ガスとの混合ガスを用い、基板温度が $180^\circ\text{C} \sim 300^\circ\text{C}$ 、圧力が0.8 Torrの反応条件で、膜厚が85 nmのアモルファスシリコン薄膜522を形成する。

次に、実施の形態5-3と同様に、上記アモルファスシリコン薄

膜 5 2 2 が形成されたガラス基板 5 2 1 に脱水素処理を行う。

次に、ガラス基板 5 2 1 を図 5 2 に矢印 A で示す方向に移動させながら、XeCl エキシマレーザ 5 3 1 のレーザビーム 5 3 1 a、およびエキシマランプ 5 5 1 のエキシマランプ光 5 5 1 a を照射し、アモルファスシリコン薄膜 5 2 2 を結晶化させてポリシリコン薄膜 5 2 3 を形成する。より詳しくは、上記レーザビーム 5 3 1 a は、照射エネルギーが 350 mJ/cm^2 で、アモルファスシリコン薄膜 5 2 2 における照射領域 5 3 1 b が $500 \mu\text{m} \times 70 \text{ mm}$ の帯状になるように照射する。また、ガラス基板 5 2 1 の移動に伴って、レーザビーム 5 3 1 a の各パルスの照射領域 5 3 1 b が 90% ずつ重なるようにして、アモルファスシリコン薄膜 5 2 2 の全ての領域に、それぞれ 10 回ずつレーザビーム 5 3 1 a が照射されるようにする。一方、エキシマランプ光 5 5 1 a は、可視光から紫外光領域の光で、直接、および凹面反射鏡 5 5 2 を介して、上記レーザビーム 5 3 1 a の照射領域 5 3 1 b を含む $5 \text{ mm} \times 70 \text{ mm}$ の照射領域 5 5 1 b に、アモルファスシリコン薄膜 5 2 2 が 500°C 程度に加熱されるように照射する。

さらに、実施の形態 5-3 と同様に、水素化処理を行う。

上記のようにして形成されたポリシリコン薄膜 5 2 3 の結晶粒径を SEM および TEM を用いて測定したところ、 $1 \mu\text{m}$ であり、従来のポリシリコン膜での $0.3 \mu\text{m}$ に対して結晶粒径が増大していることが確認された。また、電界効果移動度は、従来の $50 \text{ cm}^2/\text{V} \cdot \text{sec}$ から、 $120 \text{ cm}^2/\text{V} \cdot \text{sec}$ に増大し、さらに、ポリシリコン薄膜 5 2 3 の界面および膜中の合計の欠陥密度は、 $1.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ から、 $1.1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ に減少した。すなわち、レーザビーム 5 3 1 a の照射時

にエキシマランプ 5 5 1 による加熱を併用することによって、ポリシリコン薄膜 5 2 3 の結晶粒径の増大、および膜質の向上がなされる。

次に、実施の形態 5 - 3 と同様に、所定の絶縁膜や導電膜の成膜
5 処理、エッチングによるパターンニング、イオン注入などを行うことにより、T F T を形成する。

上記のようにして形成された T F T のゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を計測したところ、図 5 0 に示すように、やはり、従来の T F T に比べて、ゲート電圧に対するドレイン電流の
10 立ち上がりが急になり、サブスレッショルド特性が向上し、また、閾値電圧が 5 . 0 V から 4 . 2 V に減少したことが確認された。

(実施の形態 5 - 5)

本発明の実施の形態 5 - 5 について、図 5 3 および図 5 0 に基づいて説明する。

15 まず、実施の形態 5 - 4 と同様に、ガラス基板 5 2 1 にアモルファスシリコン薄膜 5 2 2 を形成し、脱水素処理を行う。

次に、図 5 3 に示すように、ガラス基板 5 2 1 を矢印 A で示す方向に移動させながら、XeCl エキシマレーザ 5 3 1 のレーザビーム 5 3 1 a、およびエキシマランプ 5 5 1 のエキシマランプ光 5 5
20 1 a を照射するとともに、ヒータ 5 6 1 によって、ガラス基板 5 2 1 を底面側から加熱して、ポリシリコン薄膜 5 2 3 を形成する。すなわち、上記レーザビーム 5 3 1 a、およびエキシマランプ光 5 5 1 a の照射条件等は、実施の形態 5 - 4 と同じであるが、さらに、ヒータ 5 6 1 によってガラス基板 5 2 1 全体を 4 5 0 °C に加熱する
25 点が実施の形態 5 - 4 と異なる。

さらに、実施の形態 5 - 3 と同様に、水素化処理を行う。

上記のようにして形成されたポリシリコン薄膜 523 の結晶粒径を SEM および TEM を用いて測定したところ、 $1.5 \mu\text{m}$ であり、従来のポリシリコン膜での $0.3 \mu\text{m}$ に対して結晶粒径が増大していることが確認された。また、電界効果移動度は、従来の $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ から、 $150 \text{ cm}^2 / \text{V} \cdot \text{sec}$ に増大し、さらに、ポリシリコン薄膜 523 の界面および膜中の合計の欠陥密度は、 $1.3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ から、 $8.7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ に減少した。すなわち、レーザビーム 531a の照射時に、エキシマランプ 551、およびヒータ 561 による加熱を併用することによって、一層、ポリシリコン薄膜 523 の結晶粒径の増大、および膜質の向上がなされる。

また、実施の形態 5-3 と同様に、TFT を形成し、ゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を計測したところ、図 50 に示すように、実施の形態 5-4 よりも、さらにゲート電圧に対するドレイン電流の立ち上がりが急になり、サブスレッショルド特性等の向上したことが確認された。

なお、ガラス基板 521 の温度を種々に設定して実験したところ、ガラス基板 521 の温度を 300°C 以上に加熱すれば結晶品質の向上効果が得られるが、 600°C 以上になると、ガラス基板 521 に歪みが生じ、TFT 等の素子の作製が困難になる。

(実施の形態 5-6)

本発明の実施の形態 5-6 について、図 54 および図 50 に基づいて説明する。

まず、実施の形態 5-4 と同様に、ガラス基板 521 にアモルファスシリコン薄膜 522 を形成し、脱水素処理を行う。

次に、図 54 に示すように、ガラス基板 521 を矢印 A で示す方

- 向に移動させながら、KrFエキシマレーザ571のレーザビーム571a、およびエキシマランプ551のエキシマランプ光551aを照射するとともに、ヒータ561によって、ガラス基板521を底面側から加熱して、ポリシリコン薄膜523を形成する。ここで、実施の形態5-5と比べると、主として、上記エキシマランプ光551aがガラス基板521の真上から波長選択性反射板572を透過して照射される点、およびXeClエキシマレーザ531に代えてKrFエキシマレーザ571が用いられ、レーザビーム571aは、波長選択性反射板572を介して照射される点異なる。
- 10 また、エキシマランプ光551aは、レーザビーム571aの照射領域571bを含む5mm×100mmの照射領域551bに照射される。その他の加熱条件等は実施の形態5-5と同様である。

- 上記波長選択性反射板572は、280nmよりも短い波長の光を反射する一方、280nmよりも長い波長の光を透過させるものが用いられる。そこで、KrFが放電に用いられるKrFエキシマレーザ571のレーザビーム571a（波長が248nm）は、波長選択性反射板572に反射されてアモルファスシリコン薄膜522にほぼ垂直に照射されるとともに、可視光から紫外光領域のエキシマランプ光551aは、波長選択性反射板572を透過してアモ
- 20 ルファスシリコン薄膜522にほぼ垂直に照射される。

さらに、実施の形態5-3と同様に、水素化処理を行う。

- 上記のように、レーザビーム571aおよびエキシマランプ光551aがアモルファスシリコン薄膜522に垂直に照射されて形成されたポリシリコン薄膜523の結晶粒径、電界効果移動度、および欠陥密度は、それぞれ実施の形態5-5と同じく、 $1.5\mu\text{m}$ 、 $150\text{cm}^2/\text{V}\cdot\text{sec}$ 、および $8.7\times 10^{11}\text{cm}^{-2}\text{eV}$
- 25

であったが、ポリシリコン薄膜 5 2 3 の各領域における結晶粒径や電界効果移動度のばらつきは一層少なく、ポリシリコン薄膜 5 2 3 の全面にわたって、ほぼ均一な特性が得られた。

また、実施の形態 5 - 3 と同様に、T F T を形成し、ゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を計測したところ、図 5 0 に示すように、実施の形態 5 - 5 と同じ特性が得られた。

なお、波長選択性反射板 5 7 2 によるレーザビーム等の波長に応じた選択的反射・透過は、上記のように K r F エキシマレーザ 5 7 1 を用いることによって容易に行わせることができるが、これに限らず、X e B r、K r C l、A r F、A r C l などを使用した短波長レーザを用いてもよい。

(実施の形態 5 - 7)

本発明の実施の形態 5 - 7 について、図 5 4 ないし図 5 6、および図 5 0 に基づいて説明する。

この実施の形態 5 - 7 においては、実施の形態 5 - 6 と比べて、エキシマランプ光 5 5 1 a の照射領域 5 5 1 b が 5 m m × 7 0 m m の領域である点と、エキシマランプ 5 5 1 によるアモルファスシリコン薄膜 5 2 2 の加熱温度を種々に設定している点が異なり、その他の加熱条件等は実施の形態 5 - 6 と同様である。すなわち、図 5 4 におけるエキシマランプ光 5 5 1 a の照射強度を調整し、アモルファスシリコン薄膜 5 2 2 の加熱温度を室温から 1 2 0 0 °C までの範囲で種々に設定して、ポリシリコン薄膜 5 2 3 を形成し、ポリシリコン薄膜 5 2 3 の結晶粒径、および電界効果移動度を測定した。

ポリシリコン薄膜 5 2 3 の結晶粒径は、図 5 5 に示すように、アモルファスシリコン薄膜 5 2 2 を約 3 0 0 °C 以上に加熱すると、その加熱温度に応じて大きくなり、1 0 0 0 °C の場合に、最大の 5 μ

m以上になる。1000℃を越えると、ガラス基板521の表面が一部溶融し、結晶成長が妨げられるため、結晶粒径は小さくなる。

また、ポリシリコン薄膜523の電界効果移動度は、図56に示すように、やはりアモルファスシリコン薄膜522を約300℃以上に加熱すると、その加熱温度に応じて大きくなり、1000℃の場合に、最大の450 cm²/V・secになるとともに、1000℃を越えると小さくなる。

すなわち、レーザビーム571aの照射に加えて、ヒータ561によってガラス基板521を加熱するとともに、エキシマランプ光551aの照射によって、アモルファスシリコン薄膜522を600℃～1100℃の範囲で加熱することにより、特に、ポリシリコン薄膜523の結晶粒径の拡大および膜質の向上効果が得られる。

また、上記ポリシリコン薄膜523に対して、実施の形態5-3と同様に、TFTを形成し、ゲート電圧(V_g)ードレイン電流(I_d)特性を計測したところ、例えばアモルファスシリコン薄膜522の加熱温度が600℃の場合の例を図50に示すように、実施の形態5-5, 5-6よりも、さらに良好なTFT特性が得られた。
(実施の形態5-8)

本発明の実施の形態5-8について、図57、図58、および図50に基づいて説明する。

この実施の形態5-8においては、前記実施の形態5-7と比べて、主として、エキシマランプ551に代えてパルス発光するXeフラッシュランプ581が用いられる点異なる。

より詳しくは、図57に示すように、実施の形態5-7と同様のKrFエキシマレーザ571のレーザビーム571aは、アモルファスシリコン薄膜522における照射領域571bが500 μm ×

200 mmの帯状になるように照射する。一方、Xeフラッシュランプ581から発せられる可視光から紫外光領域のXeフラッシュランプ光581aは、上記レーザービーム571aの照射領域571bを含む5 mm×200 mmの照射領域581bに、アモルファスシリコン薄膜522が1000℃程度に加熱されるように照射する。また、このXeフラッシュランプ光581aは、図58に示すように、レーザービーム571aの照射パルスと同期して、その照射パルスの前後にわたる幅のパルスとして照射する。また、レーザービーム571aの照射パルスは、その照射周期の2/3以下のパルス幅になるように照射する。上記以外の加熱条件等は実施の形態5-7と同様である。

上記のようにして形成されたポリシリコン薄膜523の結晶粒径、および電界効果移動度は、それぞれ実施の形態5-7においてアモルファスシリコン薄膜522を1000℃に加熱した場合とほぼ同等であったが、実施の形態5-7においてはガラス基板521に多少の歪みが生じたのに対し、本実施の形態5-8では歪みは生じず、より確実に適正な半導体回路を形成することなどが容易になる。しかも、Xeフラッシュランプ581の加熱効率が高く、一度に大きな面積を加熱することができるため、生産性を容易に向上させることができる。

また、実施の形態5-3と同様に、TFTを形成し、ゲート電圧(V_g)ードレイン電流(I_d)特性を計測したところ、図50に示すように、実施の形態5-7よりも、さらに良好なTFT特性が得られた。

25 (実施の形態5-9)

本発明の実施の形態5-9について、図59、および図50に基

づいて説明する。

この実施の形態 5-9 においては、図 5-9 に示すように、実施の形態 5-8 と同様の KrF エキシマレーザ 571 から発せられるレーザビーム 571a が、波長選択性反射板 572 により反射されて、アモルファスシリコン薄膜 522 における $500\mu\text{m} \times 200\text{mm}$ 程度の帯状の照射領域 571b に照射されるとともに、YAG レーザから発せられたレーザビームを KTP 結晶を用いて 2 分の 1 波長に変換する YAG レーザ装置 591 からのレーザビーム 591a が、反射板 592 により反射されて、アモルファスシリコン薄膜 522 における $5\text{mm} \times 200\text{mm}$ の照射領域 591b に照射される。上記のように、波長選択性反射板 572 および反射板 592 によって、レーザビーム 571a およびレーザビーム 591a は、アモルファスシリコン薄膜 522 に垂直に入射する。また、レーザビーム 571a およびレーザビーム 591a の照射タイミング、およびパルス幅、レーザビーム 571a の照射エネルギー、並びにヒータ 561 によるガラス基板 521 の加熱温度等は、実施の形態 5-8 と同様である。

上記 YAG レーザ装置 591 のレーザビーム 591a によるアモルファスシリコン薄膜 522 の加熱温度を室温から 1200°C の範囲で種々に設定してポリシリコン薄膜 523 を形成し、結晶粒径、および電界効果移動度を測定したところ、アモルファスシリコン薄膜 522 の加熱温度が 1100°C の場合に、それぞれ最大の $5.5\mu\text{m}$ 、および $600\text{cm}^2/\text{V} \cdot \text{sec}$ になった。すなわち、YAG レーザ装置 591 を予備加熱に用いたことにより、アモルファスシリコン薄膜 522 を比較的高温に加熱しても、ガラス基板 521 が歪んだり、溶融してポリシリコン薄膜 523 に不純物が混入した

りすることがなく、実施の形態 5-7 でエキシマランプ 551 によってアモルファスシリコン薄膜 522 を加熱した場合よりも、さらに良好な結晶性のポリシリコン薄膜 523 が得られた。ただし、アモルファスシリコン薄膜 522 を 1200℃まで加熱した場合には、結晶粒径、および電界効果移動度が、何れも低下した。これは、YAG レーザ装置 591 による予備加熱時に既に微結晶シリコンが形成され、これが KrF エキシマレーザ 571 による結晶成長に悪影響を与えているからである。

また、実施の形態 5-3 と同様に、TFT を形成し、ゲート電圧 (V_g) - ドレイン電流 (I_d) 特性を計測したところ、図 50 に示すように、実施の形態 5-8 よりも、さらに良好な TFT 特性が得られた。

なお、予備加熱用のレーザ装置としては、上記のように YAG レーザ装置 591 に限らず、例えば XeCl エキシマレーザなどのパルスレーザを用いても、KrF エキシマレーザ 571 と異なる波長で、かつ、ガスの混合比等によって、KrF エキシマレーザ 571 よりも長いパルス幅で、さらに、例えば図 58 に示すタイミングで照射すれば、同様の効果が得られる。さらに、Ar レーザ等の連続発振のレーザ装置を用いてもよい。

なお、上記各実施の形態においては、半導体としてシリコン (Si) を用いた例を示したが、これに限らず、例えば、ゲルマニウム (Ge) や、ガリウムヒ素 (GaAs) 等の III-V 族半導体、亜鉛セレン (ZnSe) 等の II-VI 族半導体などを用いても、加熱温度等の条件は必ずしも同一でないが、同様の効果が得られることは確認されている。さらに、シリコン炭素 (SiC) やシリコンゲルマニウム (SiGe) などを用いてもよい。

また、アモルファスシリコン薄膜 5 2 2 へのレーザビーム 5 3 1 a の照射等は、ガラス基板 5 2 1 側から行ったり、アモルファスシリコン薄膜 5 2 2 側およびガラス基板 5 2 1 側の両方から行うようにするなどしてもよい。

- 5 また、ガラス基板 5 2 1 に代えて、石英、またはプラスチックなどの有機材料等の基板を用いたり、導電性の基板の表面に絶縁膜が形成されたものを用いるなどしてもよい。

- 10 また、予備加熱のためのレーザビーム 5 3 2 a 等は、アモルファスシリコン薄膜 5 2 2 の全ての領域に対して照射せず、高い T F T 特性が必要な領域についてだけ照射し、他の領域については、従来と同様に、結晶化用のためのレーザビーム 5 3 1 a 等だけを照射するようにしてもよい。

(実施の形態 6 - 1)

- 15 以下、半導体素子としての薄膜トランジスタが液晶表示装置に適用される例を説明する。

- 20 アクティブマトリクス型の液晶表示装置においては、画像表示領域に設けられる薄膜トランジスタは、表示画像のむらを低減するために、トランジスタ特性の均一性を高くする必要がある一方、画像表示領域の周辺部に配置される駆動回路（ドライバ回路）に用いられる薄膜トランジスタは、高い応答性が必要とされる。しかしながら、特性の均一性と高い応答性とを両立することは、種々の結晶成長方法等が検討されているにもかかわらず容易ではない。そこで、本実施の形態においては、基板上に形成された半導体膜（非晶質シリコン層）の領域毎にレーザの照射方法を異ならせることにより、
25 それぞれの領域に必要とされる特性が得られるようにしている。すなわち、基板の全面、または画像表示領域のみに対して第 1 のレー

ザ光照射を行った後、駆動回路部領域に対して上記第1のレーザ光照射よりも高いエネルギー密度で第2のレーザ光照射を行っている。以下、レーザアニール装置及びレーザアニール方法について図面を参照しながら具体的に説明する。

- 5 この実施の形態で用いられるレーザアニール装置は、基本的には、前記図9で示した従来の装置と同様の構成を有したものをを用いることができる。図9において、151はレーザ発振器、152は反射鏡、153は均一化装置、154は窓、155は非晶質シリコン層が形成された基板、156はステージ、157は制御装置を示している。そして、非晶質シリコン層のレーザアニールの際には、
- 10 レーザ発振器151から発振したレーザ光を反射鏡152によって均一化装置153に導き、エネルギーの均一な所定の形に整形されたレーザビームを窓154を通して処理室内のステージ156に固定された基板155に照射するようになっている。ただし、制御装置
- 15 157は、基板155における所定の領域ごとに限定してレーザ光を照射し得るとともに、各領域で照射条件を異ならせるように、制御できるようになっている。

- 上記レーザアニール装置を用い、まず、均一化装置153を通してビーム断面形状が線状（例えば幅が $300\mu\text{m}$ 、長さが 10cm ）
- 20 に整形されたレーザ光を、エネルギー密度が $280\text{mJ}/\text{cm}^2$ になるように、基板155を動かしながら、照射領域を部分的に重ね合わせつつ基板155の全面に照射する第1のレーザ光照射を行う（線状のレーザ光を用いた走査照射）。なお、このレーザ光の照射は、図60に示す画像表示領域155aだけに対して行ってもよい。
- 25 次に、上記よりも高い $400\text{mJ}/\text{cm}^2$ のエネルギー密度で、駆動回路部領域155b、155cにレーザ光を照射する第2のレ

ーザ光照射を行う（線状のレーザー光を用いた走査照射）。

ここで、上記基板 155 としては、例えばガラス基板上にプラズマ CVD により 500 Å の膜厚で非晶質シリコン層を形成した後、450℃で1時間の脱水素処理を行ったものを用いた。また、レーザー光は、例えば 25 ns のパルス幅で、300 Hz のインターバルで発振するものを用い、基板 155 を所定の速度で移動させながら、相対的にレーザー光の走査を行った。さらに、第 2 のレーザー光照射では、図 61 に示すように、照射領域が 30 μm ずつ重ね合わさるように（オーバーラップ率が 10%）走査した。この場合、レーザー光が重ねて照射された継ぎ目の領域と、そうでない領域とで移動度等の特性にムラが生じるが、同図に示すように、TFT 610 などを継ぎ目にかからないように形成し、継ぎ目部分は配線パターンなどに使用すれば、TFT 特性などのばらつきを小さくすることが容易になる。また、第 2 のレーザー光照射では、線状のビーム方向を基板 155 の各辺に平行な方向（図 60 の駆動回路部領域 155 b, 155 c 内に実線で示す方向）にして、各辺に垂直な方向に走査すれば、照射に要する合計の時間を短くすることができる。このためには、基板 155 が固定されているステージを 90 度回転させてレーザー照射を行えばよい（レーザー光の線状のビーム方向を 90 度回転させてもよいが、これは一般に困難である。）。20

上記第 1 のレーザー光照射により、画像表示領域 155 a に必要とされる半導体膜特性の均一性が保たれるように結晶化が行われる一方、第 2 のレーザー光照射により、駆動回路部領域 155 b, 155 c では、高い電界効果移動度を得ることができる。すなわち、本発明者らが種々の照射条件でレーザー光の照射を行ったところ、300 mJ/cm² 以上のエネルギー密度で走査照射を行うと、各走査で25

の照射領域の継ぎ目の部分で電界効果移動度のムラが発生しやすくなることが判明した。そこで、上記のように多結晶シリコンの特性における面内の均一性が求められる画像表示領域 155a においては、 300 mJ/cm^2 よりも低いエネルギー密度でレーザ光を照射する一方、画素部領域よりも面積が小さく、高い電界効果移動度などの特性が必要な駆動回路部領域 155b, 155c においては、 300 mJ/cm^2 よりも高いエネルギー密度でレーザ光を照射することにより、膜特性の均一性と向上とを両立させなくても、画像表示領域 155a と駆動回路部領域 155b, 155c とで、それぞれのニーズに合った、特性の互いに異なる多結晶シリコン層を形成することができる。

(実施の形態 6-2)

薄膜トランジスタが液晶表示装置に適用される他の例を説明する。

この例では、第 1 のレーザ光照射の際には、ビーム断面形状が前記実施の形態 6-1 と同じく線状であるのに対して、第 2 のレーザ光照射の際には、ビーム断面形状が角状である点が異なる。

この実施の形態で用いられるレーザアニール装置は、図 9 の装置と比べて、図 62 に示すように、均一化装置 153 に代えて、レーザ光のビーム断面形状を線状に整形する均一化装置 A 621 と、角状（例えば 1 cm 角）に整形する均一化装置 B 622 とを備えている点が異なる。（なお、図 9 と同じ構成要素については同一の符号を付して説明を省略する。）

上記レーザアニール装置を用いて、まず図 62 (a) に示すように、均一化装置 A 621 を通して、基板 155 の全面または画像表示領域 155a のみに対して、均一性の保たれるエネルギー密度 2

80 mJ / cm² で線状のレーザー光によりレーザーアニールを行う
(線状のレーザー光を用いた走査照射)。その後、図 6 2 (b) に
示すように均一化装置 B 6 2 2 を用い、図 6 3 に示すように、駆動
回路部領域 1 5 5 b, 1 5 5 c の各照射領域 6 3 1, 6 3 2 に対し
5 て、エネルギー密度が 400 mJ / cm² の角状のレーザー光を照射
する(角状のレーザー光を用いた走査照射)。

上記のように、第 2 のレーザー光照射の際のレーザー光を角状にする
場合には、実施の形態 6 - 1 のように基板 1 5 5 を 90 度回転させ
ることなく駆動回路部領域 1 5 5 b, 1 5 5 c のレーザーアニールを
10 することができる。したがって、実施の形態 6 - 1 と同様に画素部
領域と駆動回路部領域で異なる特性を持つ多結晶シリコンを得るこ
とができるとともに、装置や製造工程の簡素化を容易に図ることが
できる。

(実施の形態 6 - 3)

15 前記実施の形態 6 - 2 における第 2 のレーザー光照射を複数回行う
ようにしてもよい。すなわち 6 - 2 と同様に第 2 のレーザー光照射の
際に、基板 1 5 5 を移動させず、図 6 3 に示すように駆動回路部領
域 1 5 5 b, 1 5 5 c における、角型のレーザービーム形状に対応し
た各照射領域 6 3 1, 6 3 2 ごとに、レーザー光の照射場所を固定し
20 て静止照射を行うようにしてもよく、各照射領域 6 3 1, 6 3 2 は、
例えばレーザー光が 1 cm の角状であるのに対して、30 μm 程度ず
つ重なるようにすると、レーザー光が重ねて照射されていない領域に
おける電界効果移動度を大幅に高くすることが容易にできるととも
に、領域内での均一性も向上させることができる。ここで、上記の
25 ようにレーザー光のエネルギー密度が高い場合には、レーザー光が重ね
て照射された領域と、そうでない領域とで移動度等の特性にムラが

- 生じるが、駆動回路部領域 1 5 5 b, 1 5 5 c では、画像表示領域 1 5 5 a のような全領域にわたる一様な均一性は必ずしも必要ではない。すなわち、レーザショットの継ぎ目（レーザビーム端）に半導体膜のパターン（T F T パターン）が重ならないように駆動回路
- 5 を形成して、継ぎ目部分は配線パターンなどに使用するようにすればよい。つまり、多結晶シリコンの均一な特性を有する部分のみを T F T の形成等を使用すればよい。また、そのような重ねて照射される領域を使用しない場合でも、その面積は比較的小さいので、駆動回路部領域 1 5 5 b, 1 5 5 c の使用効率はあまり低下しない。
- 10 また、レーザ光の照射は、各照射領域 6 3 1, 6 3 2 ごとに複数回（例えば 3 0 回など）行うことにより、一層膜特性を向上させることができる。ここで、静止照射回数と得られた多結晶シリコンの移動度との関係を図 6 4 に示す。同図から明らかなように、レーザの照射回数には適切な範囲が存在し、この範囲より照射回数が少
- 15 なくなっても多くなっても移動度は減少する。静止照射のエネルギー密度を $400 \text{ mJ} / \text{cm}^2$ とした場合には、照射回数が 5 0 回以上、好ましくは 8 0 回から 4 0 0 回で高い電界効果移動度を有する多結晶シリコンを得ることができる。なお、上記のような駆動回路部領域に対してレーザ光の静止照射を行うことによる電界効果移動
- 20 度の向上効果は、線状のレーザ光を用いる場合でも、角状の場合より少ないが、やはり得られる。

（実施の形態 6 - 4）

- レーザ光の照射条件は、上記実施の形態 6 - 1 ~ 6 - 3 のように画像表示領域 1 5 5 a と駆動回路部領域 1 5 5 b, 1 5 5 c とで異
- 25 ならせるだけでなく、さらに多くの領域に分けて異ならせるようにし、駆動回路部領域内で特性の異なる多結晶シリコンを形成するな

としてもよい。すなわち、例えば実施の形態 6-3 での第 2 のレーザー光照射の際に、駆動回路部領域 155b, 155c における、ラッチやシフトレジスタのドランスファークロークが形成される領域は、高い移動度が必要なので、高いエネルギー密度（例えば 400 mJ/cm²）で照射し、他の部分は、ノイズや調整ばらつきの軽減による均一性やビームを広げて照射領域を大きくすることによる生産性の向上を優先させるために 330 mJ/cm² 程度で照射するようにしてもよい。なお、照射条件の相違としては、照射回数を異ならせることなどでも、同様の効果が得られる。

10 (実施の形態 6-5)

レーザーアニール装置のさらに多くの例を説明する。

このレーザーアニール装置は、図 9 の装置に比べて、図 65 に示すように、窓 154 とステージ 156 との間に、レーザー光の透過率が部分的に異なるマスク部材 641 を備えている点異なる。上記マスク部材 641 は、図 66 に示すように、基板 155 の画像表示領域 155a に対応する減衰領域 641a と、駆動回路部領域 155b, 155c に対応する透過領域 641b とが形成されて構成されている。具体的には、例えば石英板に部分的に ND フィルタや誘電体多層膜などの光学薄膜等で覆うことにより、レーザー光の透過率を部分的に所定の大きさに設定し、画素部でのレーザー光照射エネルギー密度を低下させることができる。

上記のようなレーザーアニール装置を用いることにより、例えば線状に整形されたレーザー光を基板全面に照射するために、レーザービームまたは、マスク部材 641 およびステージ 156 を動かすとともに、基板全面をエネルギー密度 400 mJ/cm² で照射すれば、画像表示領域 155a に対しては前記実施の形態 6-1 等と同様に

280 mJ/cm² のエネルギー密度でレーザアニールすることができる。すなわち、画素部と駆動回路部で特性の異なる半導体膜を同時に形成することが可能になる。

5 なお、マスク部材 641 は、図 65 に示すように窓 154 や基板 155 と間を空けて配置するのに限らず、基板 155 に密着させることにより、レーザ光照射表面の平坦性を向上させたり、マスク部材 641 と窓 154 を同一体とするなどしてもよく、また、均一化装置 153 内に設けたり、さらに、レーザ光強度を減衰させるのではなく、屈折光学系などによりレーザ光強度を変化させるものを用
10 いるなどしてもよい。

(実施の形態 6-6)

画像表示領域における均一性をさらに向上させることができるレーザアニール装置の例を説明する。

このレーザアニール装置は、図 67 に示すように、基板 155 の
15 上方に、入射したレーザビームを散乱させる均一化光学素子 651 が設けられている。これにより、レーザビーム形状に回折等に起因して生じる光量むらを低減し、また、基板 155 からの反射光がレーザ発振器に戻ることによってレーザパルスが不安定になるのを防止することができる。

20 また、図 68 に示すように、散乱性領域 652a と鏡面仕上げなどされた透過領域 652b とを有する複合均一化光学素子 652 を用い、半導体層における高い均一性を有する領域と、高い結晶性を有する領域とを同時に形成し得るようにしてもよい。

25 なお、上記各実施の形態は、それぞれ上記のような効果を得ることができるが、作用が矛盾しない限り、各実施の形態の構成を組み合わせて、それぞれの作用による効果や相乗的な効果が得られるよ

うにしてもよい。

産業上の利用可能性

本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

すなわち、本発明によれば、トランジスタを作製すべき領域をより大きな粒径を有する多結晶シリコン薄膜とすることができ、電界効果移動度などのトランジスタ特性を大きく向上させることができ、例えば液晶表示装置等において大規模な駆動回路を内蔵化できるなどの効果がある。また、絶縁膜として、窒化珪素に酸素を添加した窒化酸化珪素薄膜を用いることで、膜中の水素含量の低下と応力の低減ができ、より安定なトランジスタを得ることが可能となる。また、結晶粒径や結晶方位が制御可能となると共に、結晶成長の過程にある結晶同士の干渉が防止され、十分な結晶粒径を得ることができる。また、本発明によれば、結晶核が周辺部に発生するタイミングは、従来に較べて早くなる結果、結晶成長が従来に較べて早く行われるようにすることもできる。

また、非単結晶質半導体層の少なくともチャネル領域に、結晶の成長方向をソース領域とドレイン領域の方向に制御する結晶成長方向制御空隙等の結晶成長方向制御領域を設ける本発明によると、ソース領域とドレイン領域とを結ぶ方向に長い大粒径の結晶粒が形成されるので、この方向における結晶粒界密度の小さい結晶質薄膜トランジスタが得られ、このような結晶質薄膜トランジスタは、電界効果移動度等のTFT特性に優れる。

また、光ビームの強度パターンを適当に調節する手段により、結晶粒の均一性と結晶化度の向上を図るので、このような本発明によ

ると、他の回路に悪影響を与えることなく、基板上の限定された特定部分にのみにより高い電界効果移動度を有する結晶化領域を形成することができる。したがって、例えば画素トランジスタとこれよりも数十倍から数百倍高い移動度が要求される駆動回路とを同一基板上に一体的に形成することが可能である。また、CPU等を同一基板上に集積的に形成することも可能になるので、本発明によると、高性能、高集積度のAM-LCDなどを安価に提供できるという優れた効果が得られる。

また、前駆体半導体膜の吸収率が異なる少なくとも2種類のエネルギービームを照射することにより、前駆体半導体膜が、その厚さ方向にわたって加熱されるとともに、基板も加熱されるので、前駆体半導体膜は、徐冷されながら、結晶化する。それゆえ、結晶成長が促進され、比較的大きな結晶粒が形成されるとともに、結晶欠陥が減少し、半導体膜の電気的特性が向上するという効果を奏する。しかも、ヒータなどを用いる場合に比べて、短時間で基板を加熱することができるので、生産性を向上させることもできる。

また、基板面内に半導体膜の特性の高い領域と特性の均一性の高い領域の異なる特徴をもった複数の領域を形成することが可能であり、これにより、例えば周辺駆動回路を内蔵した液晶パネル用薄膜トランジスタアレイにおいて、回路部に必要な高い特性と画素部に必要な高い均一性を実現できる。

請 求 の 範 囲

(1)

5 基板上に、第 1 の熱伝導率を有する第 1 の絶縁膜と、上記第 1 の熱伝導率と異なる第 2 の熱伝導率を有し、部分的な領域に選択的に形成された第 2 の絶縁膜とを積層する工程と、

上記第 1 の絶縁膜および第 2 の絶縁膜上に非単結晶半導体薄膜を積層する工程と、

10 上記非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程と

を有することを特徴とする半導体薄膜の製造方法。

(2)

請求項 1 の半導体薄膜の製造方法であって、

15 上記基板上に上記第 1 の絶縁膜を積層した後に、上記第 2 の絶縁膜を積層するとともに、

上記第 2 の熱伝導率を上記第 1 の熱伝導率よりも低く設定することを特徴とする半導体薄膜の製造方法。

(3)

請求項 2 の半導体薄膜の製造方法であって、

20 上記第 1 の絶縁膜が、窒化珪素化合物と窒化酸化珪素化合物とのうちの何れか一方から成り、

上記第 2 の絶縁膜が、酸化珪素化合物から成ることを特徴とする半導体薄膜の製造方法。

(4)

25 基板上に、第 1 の熱伝導率を有する第 1 の絶縁膜と、上記第 1 の熱伝導率と異なる第 2 の熱伝導率を有し、部分的な領域に選択的に

形成された第2の絶縁膜とを積層する工程と、

上記第1の絶縁膜および第2の絶縁膜上に非単結晶半導体薄膜を積層する工程と、

上記非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程と、

上記結晶成長した半導体薄膜における、上記第1の絶縁膜と上記第2の絶縁膜とのうちの熱伝導率が高い方に対応する領域を用いて半導体素子を形成する工程と

を有することを特徴とする半導体素子の製造方法。

10 (5)

請求項4の半導体素子の製造方法であって、

上記結晶成長した半導体薄膜における、上記第1の絶縁膜と上記第2の絶縁膜とのうちの熱伝導率が低い方に対応する領域を除去し、残った領域を用いて半導体素子を形成することを特徴とする半導体素子の製造方法。

(6)

請求項4の半導体素子の製造方法であって、

上記基板上に上記第1の絶縁膜を積層した後に、上記第2の絶縁膜を積層するとともに、

20 上記第2の熱伝導率を上記第1の熱伝導率よりも低く設定することを特徴とする半導体素子の製造方法。

(7)

請求項6の半導体素子の製造方法であって、

上記第1の絶縁膜が、窒化珪素化合物と窒化酸化珪素化合物との

25 うちの何れか一方から成り、

上記第2の絶縁膜が、酸化珪素化合物から成ることを特徴とする

半導体素子の製造方法。

(8)

請求項 4 の半導体素子の製造方法であって、

- 上記第 2 の絶縁膜を、ストライプ状にパターニングされた領域に
5 選択的に形成することを特徴とする半導体素子の製造方法。

(9)

請求項 8 の半導体素子の製造方法であって、

- 上記エネルギービームの照射を、上記第 2 の絶縁膜のストライプ状
パターンにおける長手方向に走査しながら行うとともに、
10 上記走査方向がほぼ電流経路の方向と一致するように、上記半導
体素子の形成を行うことを特徴とする半導体素子の製造方法。

(1 0)

基板上と、

- 上記基板上に積層され、第 1 の熱伝導率を有する第 1 の絶縁膜、
15 および上記第 1 の熱伝導率と異なる第 2 の熱伝導率を有し、部分的
な領域に選択的に形成された第 2 の絶縁膜と、

上記第 1 の絶縁膜および第 2 の絶縁膜上に積層された非単結晶半
導体薄膜がエネルギービームの照射により結晶成長した半導体薄膜と
を有する半導体素子であって、

- 20 上記結晶成長した半導体薄膜における、上記第 1 の絶縁膜と上記
第 2 の絶縁膜とのうちの熱伝導率が高い方に対応する領域が、電流
経路中に設けられていることを特徴とする半導体素子。

(1 1)

請求項 1 0 の半導体素子であって、

- 25 上記結晶成長した半導体薄膜における上記領域を複数有し、
上記各領域が、それぞれ、並列に電流が流れる複数の電流経路中

に設けられていることを特徴とする半導体素子。

(12)

非単結晶半導体薄膜がエネルギービームの照射により結晶成長した半導体薄膜であって、

- 5 上記半導体薄膜の周縁部に、上記半導体薄膜と同一平面内で外方に延びた突起部が形成されていることを特徴とする半導体薄膜。

(13)

請求項12の半導体薄膜であって、

上記突起部は、上記エネルギービームの照射による結晶成長時に、

- 10 1つの結晶核が発生する大きさに形成されていることを特徴とする半導体薄膜。

(14)

請求項13の半導体薄膜であって、

- 15 上記突起部は、突出方向の突出長さが、上記半導体薄膜の膜厚以上、かつ、 $3\mu\text{m}$ 以下に形成されていることを特徴とする半導体薄膜。

(15)

請求項13の半導体薄膜であって、

- 20 上記突起部は、突出方向と直交する幅方向の長さが、半導体薄膜の膜厚以上、かつ、 $3\mu\text{m}$ 以下に形成されていることを特徴とする半導体薄膜。

(16)

請求項12の半導体薄膜であって、

上記半導体薄膜は、対向する1対の辺を有する形状に形成され、

- 25 上記対向する辺にそれぞれ複数の上記突起部が形成されるとともに、

上記各辺に形成された互いに隣り合う上記突起部の間隔が、上記対向する辺の間隔にほぼ等しくなるように設定されていることを特徴とする半導体薄膜。

(17)

- 5 非単結晶半導体薄膜がエネルギービームの照射により結晶成長した半導体薄膜を有する半導体素子であって、

上記半導体薄膜の周縁部に、上記半導体薄膜と同一平面内で外方に延びた突起部が形成されていることを特徴とする半導体素子。

(18)

- 10 請求項17の半導体素子であって、

上記半導体薄膜により形成されたソース領域とゲート領域とドレイン領域とを有する薄膜トランジスタが形成されるとともに、

上記突起部は、少なくとも上記ゲート領域の周縁部に形成されていることを特徴とする半導体素子。

- 15 (19)

基板上に、非単結晶半導体薄膜であって、その非単結晶半導体薄膜と同一平面内で外方に延びた突起部を有する非単結晶半導体薄膜を形成する工程と、

- 20 上記非単結晶半導体薄膜をエネルギービームの照射により結晶成長させる工程と

を有することを特徴とする半導体薄膜の製造方法。

(20)

請求項19の半導体薄膜の製造方法であって、

- 25 上記エネルギービームが、レーザー光、電子ビーム、イオンビームのうちの少なくとも何れか一つを含むことを特徴とする半導体薄膜の製造方法。

(2 1)

請求項 2 0 の半導体薄膜の製造方法であって、

上記エネルギービームが、エキシマレーザー光を含むことを特徴とする半導体薄膜の製造方法。

5 (2 2)

非単結晶半導体薄膜をアニール処理により結晶化させる半導体薄膜の製造方法であって、

上記非単結晶半導体薄膜の周辺部における結晶核を中央部における結晶核よりも早い時期に発生させ、その後、前記周辺部に発生した前記結晶核を、前記中央部において結晶核が発生もしくは結晶成長する以前に、中央部に向けて結晶成長させることを特徴とする半導体薄膜の製造方法。

(2 3)

請求項 2 2 の半導体薄膜の製造方法であって、

15 アニール処理された半導体薄膜において、周辺部を中央部よりも早く冷却させることにより、半導体薄膜の周辺部における結晶核を中央部における結晶核よりも早い時期に発生させることを特徴とする半導体薄膜の製造方法。

(2 4)

20 請求項 2 3 の半導体薄膜の製造方法であって、

周辺部は略突起形状を有する周縁を含み、周縁部におけるアニール処理により発生して蓄積された熱の上記半導体薄膜と平行な面方向における逃げ方向を複数の方向となし、以て、周辺部を中央部に較べて早く冷却させることを特徴とする半導体薄膜の製造方法。

25 (2 5)

非単結晶半導体薄膜をアニール処理により結晶化させた半導体薄

膜を有する半導体素子であって、

上記非単結晶半導体薄膜の周辺部における結晶核を中央部における結晶核よりも早い時期に発生させ、その後、前記周辺部に発生した前記結晶核を、前記中央部において結晶核が発生もしくは結晶成長する以前に、中央部に向けて結晶成長させた半導体薄膜を有する半導体素子。

(2 6)

チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が基板上に形成されてなる半導体素子において、

前記結晶質半導体層は、非単結晶質薄膜を結晶化してなるものであり、

前記結晶質半導体層の少なくともチャネル領域には、結晶成長方向を制御する結晶成長方向制御空隙が設けられていることを特徴とする半導体素子。

(2 7)

請求項 2 6 の半導体素子であって、

前記結晶成長方向制御空隙は、ソース領域とドレイン領域とを結ぶ方向に溝状の空隙が、2 列以上設けられて構成されていることを特徴とする半導体素子。

(2 8)

請求項 2 6 の半導体素子であって、

前記結晶成長方向制御空隙が、ソース領域とドレイン領域とを結ぶ方向に不連続的に複数設けられていることを特徴とする半導体素子。

(2 9)

チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が基板上に形成されてなる半導体素子において、

前記結晶質半導体層は、非単結晶質薄膜を結晶化してなるもので
5 あり、

少なくともチャネル領域には、チャネル領域本体部に比較して結晶化開始温度が高い早期結晶化領域が設けられていることを特徴とする半導体素子。

(3 0)

10 請求項 2 9 の半導体素子であって、

前記早期結晶化領域は、ソース領域とドレイン領域とを結ぶ方向に長い形状であることを特徴とする半導体素子。

(3 1)

請求項 2 9 の半導体素子であって、

15 前記早期結晶化領域は、チャネル領域本体部を構成する成分に不純物を含ませてなるものであることを特徴とする半導体素子。

(3 2)

請求項 2 6 の半導体素子であって、

前記結晶質半導体層は、シリコン、またはシリコンとゲルマニウムの化合物を主成分とするものであることを特徴とする半導体素子。
20

(3 3)

チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が基板上に形成されてなる半導体素子の製造方法において、少なくとも、
25

絶縁性基板の上に非単結晶質薄膜を堆積する工程と、

前記非単結晶質薄膜に、結晶成長方向制御空隙を形成する工程と、

結晶成長方向制御空隙が形成された非単結晶質半導体薄膜に、エネルギービームを照射して当該薄膜を結晶化する工程と、

5 を備えることを特徴とする半導体素子の製造方法。

(3 4)

請求項 3 3 の半導体素子の製造方法であって、

前記結晶成長方向制御空隙を、ソース領域とドレイン領域とを結ぶ方向に溝状に形成することを特徴とする半導体素子の製造方法。

10 (3 5)

請求項 3 3 の半導体素子の製造方法であって、

前記結晶成長方向制御空隙を、ソース領域とドレイン領域とを結ぶ方向に不連続的に複数形成することを特徴とする半導体素子の製造方法。

15 (3 6)

チャネル領域と、前記チャネル領域の両側に配置されたソース領域、およびドレイン領域とを有する結晶質半導体層が形成されてなる半導体素子の製造方法において、少なくとも

絶縁性基板の上に非単結晶質薄膜を堆積する工程と、

20 前記非単結晶質半導体薄膜の一部に、当該部分の結晶化開始温度を高める不純物をイオン注入して不純物を含む早期結晶化領域を形成する早期結晶化領域形成工程と、

前記早期結晶化領域形成工程の後、エネルギービームを照射して当該薄膜の結晶化を行う工程と、

25 を備えることを特徴とする半導体素子の製造方法。

(3 7)

請求項 36 の半導体素子の製造方法であって、

前記早期結晶化領域形成工程において、前記ソース領域と前記ドレイン領域とを結ぶ方向に長い帯状の早期結晶化領域を形成することを特徴とする半導体素子の製造方法。

5 (38)

請求項 36 の半導体素子の製造方法であって、

前記早期結晶化領域が、前記ソース領域と前記ドレイン領域とを結ぶ方向に不連続的に配置することを特徴とする半導体素子の製造方法。

10 (39)

請求項 33 の半導体素子の製造方法であって、

前記エネルギービームが、エキシマレーザビームであることを特徴とする半導体素子の製造方法。

(40)

15 基板上に形成された非単結晶質からなる薄膜に光ビームを照射することにより、前記非単結晶質を結晶化または再結晶化して結晶質半導体薄膜となす半導体薄膜の製造方法において、

上記光ビームとして、被照射面である前記薄膜表面に温度勾配若しくは温度分布の不均一が生じるように、光エネルギー強度の分布パターンが調節された光ビームを用い、上記光ビームを静止状態で
20 照射することを特徴とする半導体薄膜の製造方法。

(41)

請求項 40 の半導体薄膜の製造方法であって、

前記光エネルギー強度の分布パターンは、ビーム幅内における光
25 強度が一方から他方へ単調に増加しまたは一方から他方へ単調に減少する分布パターンであることを特徴とする半導体薄膜の製造方

法。

(4 2)

請求項 4 0 の半導体薄膜の製造方法であって、

5 前記光エネルギー強度の分布パターンは、ビーム幅内において相対的に光強度の強い部分と相対的に光強度の弱い部分とが平面的に交互に配列された分布パターンであることを特徴とする半導体薄膜の製造方法。

(4 3)

請求項 4 2 の半導体薄膜の製造方法であって、

10 前記光エネルギー強度の分布パターンは、少なくとも 2 つのそれぞれコヒーレントな光を同時に照射して光干渉を生じさせることにより形成されたものであることを特徴とする半導体薄膜の製造方法。

(4 4)

15 請求項 4 2 の半導体薄膜の製造方法であって、

前記エネルギー強度の分布パターンは、少なくとも 2 つのそれぞれコヒーレントな光を同時に照射し、かつ前記光の少なくとも 1 つの光の位相を動的に変調することにより形成した波動的な干渉パターンであることを特徴とする半導体薄膜の製造方法。

20 (4 5)

基板上に形成された非単結晶質からなる薄膜に光ビームを照射し、しかる後放熱して、前記非単結晶質を結晶化または再結晶化する結晶質半導体薄膜の作製方法において、

25 前記作製方法は、周囲雰囲気圧力を一定値以上に保つことにより、光ビームの照射された薄膜面に不均一な温度分布を生じさせることを特徴とする半導体薄膜の製造方法。

(4 6)

請求項 4 5 の半導体薄膜の製造方法であって、

前記一定値以上の雰囲気圧力は、雰囲気ガスが水素ガスのとき、
10⁻⁵ torr 以上である半導体薄膜の製造方法。

5 (4 7)

基板上に形成された前駆体半導体膜に、少なくとも、上記前駆体半導体膜を結晶化させ得るエネルギーを上記前駆体半導体膜に与える第 1 のエネルギービームと、上記第 1 のエネルギービームより上記前駆体半導体膜の吸収率が小さく、かつ、上記前駆体半導体膜を結晶化
10 させ得るエネルギーよりも小さいエネルギーを上記前駆体半導体膜に与える第 2 のエネルギービームとを照射して、上記前駆体半導体膜を結晶化させる工程を有することを特徴とする半導体膜の製造方法。

(4 8)

請求項 4 7 の半導体膜の製造方法であって、

15 上記前駆体半導体膜は、非晶質シリコン薄膜であることを特徴とする半導体膜の製造方法。

(4 9)

請求項 4 7 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、上記前駆体半導体膜の吸収係数
20 が、上記前駆体半導体膜の膜厚のほぼ逆数以上であるとともに、

上記第 2 のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚のほぼ逆数以下であることを特徴とする半導体膜の製造方法。

(5 0)

25 請求項 4 7 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、上記前駆体半導体膜の吸収係数

が、上記前駆体半導体膜の膜厚の逆数のほぼ10倍以上であるとともに、

上記第2のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚のほぼ逆数であることを特徴とする
5 半導体膜の製造方法。

(51)

請求項47の半導体膜の製造方法であって、

上記第1のエネルギービーム、および第2のエネルギービームは、互いに波長の異なる光であることを特徴とする半導体膜の製造方法。

10 (52)

請求項51の半導体膜の製造方法であって、

上記第1のエネルギービームは、単波長のエネルギービームであるとともに、

上記第2のエネルギービームは、少なくとも可視光領域の波長成分を含む光であることを特徴とする半導体膜の製造方法。
15

(53)

請求項52の半導体膜の製造方法であって、

上記第1のエネルギービームは、レーザ光であるとともに、

上記第2のエネルギービームは、赤外線ランプであることを特徴とする半導体膜の製造方法。
20

(54)

請求項52の半導体膜の製造方法であって、

上記第1のエネルギービームは、レーザ光であるとともに、

上記第2のエネルギービームは、白熱光であることを特徴とする半導体膜の製造方法。
25

(55)

請求項 5 2 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、レーザ光であるとともに、

上記第 2 のエネルギービームは、エキシマランプ光であることを特徴とする半導体膜の製造方法。

5 (5 6)

請求項 5 1 の半導体膜の製造方法であって、

上記第 2 のエネルギービームは、少なくとも可視光領域から紫外光領域の波長成分を含む光であることを特徴とする半導体膜の製造方法。

10 (5 7)

請求項 5 6 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、レーザ光であるとともに、

上記第 2 のエネルギービームは、キセノンフラッシュランプ光であることを特徴とする半導体膜の製造方法。

15 (5 8)

請求項 5 1 の半導体膜の製造方法であって、

上記第 1 のエネルギービーム、および第 2 のエネルギービームは、レーザ光であることを特徴とする半導体膜の製造方法。

(5 9)

20 請求項 5 8 の半導体膜の製造方法であって、

上記前駆体半導体膜は、非晶質シリコン薄膜であり、

上記第 1 のエネルギービームは、アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光であるとともに、

上記第 2 のエネルギービームは、アルゴンレーザのレーザ光である

ことを特徴とする半導体膜の製造方法。

(6 0)

請求項 5 8 の半導体膜の製造方法であって、

上記基板はガラス基板であり、

5 上記前駆体半導体膜は、非晶質シリコン薄膜であり、

上記第 1 のエネルギービームは、アルゴンフッ素エキシマレーザ、
クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、
またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光で
あるとともに、

10 上記第 2 のエネルギービームは、炭酸ガスレーザのレーザ光である
ことを特徴とする半導体膜の製造方法。

(6 1)

請求項 4 7 の半導体膜の製造方法であって、

15 上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上
記前駆体半導体膜における帯状の領域に照射することを特徴とする
半導体膜の製造方法。

(6 2)

請求項 4 7 の半導体膜の製造方法であって、

20 上記第 2 のエネルギービームにおける上記前駆体半導体膜への照射
領域は、上記第 1 のエネルギービームにおける上記前駆体半導体膜へ
の照射領域よりも大きく、かつ、上記第 1 のエネルギービームの照射
領域を含む領域であることを特徴とする半導体膜の製造方法。

(6 3)

請求項 4 7 の半導体膜の製造方法であって、

25 上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上
記前駆体半導体膜にほぼ垂直に入射するように照射することを特徴

とする半導体膜の製造方法。

(6 4)

請求項 4 7 の半導体膜の製造方法であって、

第 2 のエネルギービームは、少なくとも、上記第 1 のエネルギービームを照射するのに先立って照射することを特徴とする半導体膜の製造方法。

(6 5)

請求項 6 4 の半導体膜の製造方法であって、

上記前駆体半導体膜の形成された基板を移動させるとともに、上記第 2 のエネルギービームは、上記前駆体半導体膜における上記第 1 のエネルギービームの照射位置よりも、上記移動方向前方側の位置に照射することを特徴とする半導体膜の製造方法。

(6 6)

請求項 4 7 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、間欠的に照射する一方、

上記第 2 のエネルギービームは、連続的に照射することを特徴とする半導体膜の製造方法。

(6 7)

請求項 6 6 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、パルス発振のレーザー光である一方、

上記第 2 のエネルギービームは、連続発振のレーザー光であることを特徴とする半導体膜の製造方法。

(6 8)

請求項 6 6 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、パルス発振のレーザー光である一

方、

上記第 2 のエネルギービームは、ランプの光であることを特徴とする半導体膜の製造方法。

(6 9)

5 請求項 4 7 の半導体膜の製造方法であって、

上記第 1 のエネルギービーム、および第 2 のエネルギービームは、互いに同期させて、間欠的に照射することを特徴とする半導体膜の製造方法。

(7 0)

10 請求項 6 9 の半導体膜の製造方法であって、

上記第 1 のエネルギービームを照射する期間は、上記第 2 のエネルギービームを照射する期間内で、かつ、上記第 2 のエネルギービームの照射周期の 3 分の 2 以下の期間であることを特徴とする半導体膜の製造方法。

15 (7 1)

請求項 6 9 の半導体膜の製造方法であって、

上記第 1 のエネルギービーム、および第 2 のエネルギービームは、パルス発振のレーザ光であることを特徴とする半導体膜の製造方法。

(7 2)

20 請求項 6 9 の半導体膜の製造方法であって、

上記第 1 のエネルギービームは、パルス発振のレーザ光である一方、

上記第 2 のエネルギービームは、間欠的に点灯されるランプの光であることを特徴とする半導体膜の製造方法。

25 (7 3)

請求項 4 7 の半導体膜の製造方法であって、

上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上記前駆体半導体膜が 300℃以上 1200℃以下の温度に加熱されるように照射することを特徴とする半導体膜の製造方法。

(74)

- 5 請求項 47 の半導体膜の製造方法であって、

上記第 1 のエネルギービーム、および第 2 のエネルギービームは、上記前駆体半導体膜が 600℃以上 1100℃以下の温度に加熱されるように照射することを特徴とする半導体膜の製造方法。

(75)

- 10 請求項 47 の半導体膜の製造方法であって、さらに、

上記前駆体半導体膜の形成された基板をヒータにより加熱する工程を有することを特徴とする半導体膜の製造方法。

(76)

請求項 75 の半導体膜の製造方法であって、

- 15 上記前駆体半導体膜の形成された基板が 300℃以上 600℃以下の温度になるように加熱することを特徴とする半導体膜の製造方法。

(77)

請求項 47 の半導体膜の製造方法であって、

- 20 上記第 1 のエネルギービームは、上記前駆体半導体膜における複数の領域に照射するとともに、

上記第 2 のエネルギービームは、上記複数の領域の一部についてだけ照射することを特徴とする半導体膜の製造方法。

(78)

- 25 請求項 47 の半導体膜の製造方法であって、

上記第 2 のエネルギービームは、上記基板における吸収率が、上記

上記前駆体半導体膜における吸収率よりも大きいことを特徴とする半導体膜の製造方法。

(7 9)

請求項 7 8 の半導体膜の製造方法であって、

- 5 上記第 1 のエネルギービームは、上記前駆体半導体膜の吸収係数が、上記前駆体半導体膜の膜厚の逆数のほぼ 1 0 倍以上であることを特徴とする半導体膜の製造方法。

(8 0)

請求項 7. 8 の半導体膜の製造方法であって、

- 10 上記基板はガラス基板であり、
 上記前駆体半導体膜は、非晶質シリコン薄膜であり、
 上記第 1 のエネルギービームは、アルゴンフッ素エキシマレーザ、
 クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、
 またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光で
15 あるとともに、

 上記第 2 のエネルギービームは、炭酸ガスレーザのレーザ光であることを特徴とする半導体膜の製造方法。

(8 1)

- 基板上に形成された前駆体半導体膜を結晶化させる半導体膜の製造装置であって、
20

 第 1 のエネルギービームを照射する第 1 の照射手段と、

 上記第 1 のエネルギービームより上記前駆体半導体膜の吸収率が小さい第 2 のエネルギービームとを照射する第 2 の照射手段と

 を備えたことを特徴とする半導体膜の製造装置。

25 (8 2)

 請求項 8 1 の半導体膜の製造装置であって、

上記第 2 の照射手段は、放射状に第 2 のエネルギービームを発するランプであるとともに、

さらに、上記第 2 のエネルギービームを集光する凹面反射鏡を備えたことを特徴とする半導体膜の製造装置。

5 (8 3)

請求項 8 1 の半導体膜の製造装置であって、

さらに、上記第 1 のエネルギービームと第 2 のエネルギービームとのうち、いずれか一方を反射する一方、他方を透過させる反射板を備え、

10 上記第 1 のエネルギービーム、および第 2 のエネルギービームを、何れも上記前駆体半導体膜にほぼ垂直に入射させるように構成されていることを特徴とする半導体膜の製造装置。

(8 4)

請求項 8 1 の半導体膜の製造装置であって、

15 上記前駆体半導体膜は、非晶質シリコン薄膜であり、

上記第 1 の照射手段は、アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、またはキセノンフッ素エキシマレーザのうちの何れかであるとともに、

上記第 2 の照射手段は、アルゴンレーザであることを特徴とする
20 半導体膜の製造装置。

(8 5)

請求項 8 1 の半導体膜の製造装置であって、

上記基板はガラス基板であり、

上記前駆体半導体膜は、非晶質シリコン薄膜であり、

25 上記第 1 のエネルギービームは、アルゴンフッ素エキシマレーザ、クリプトンフッ素エキシマレーザ、キセノン塩素エキシマレーザ、

またはキセノンフッ素エキシマレーザのうちの何れかのレーザ光であるとともに、

上記第2のエネルギービームは、炭酸ガスレーザのレーザ光であることを特徴とする半導体膜の製造装置。

5 (86)

画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、

10 上記画像表示領域への第1の照射は、ビームの断面形状が線状のエネルギービームを用いて行う一方、

上記駆動回路部領域への第2の照射は、ビームの断面形状が角状のエネルギービームを用い、かつ、上記第1の照射よりも高いエネルギー密度で行うことを特徴とする半導体薄膜の製造方法。

(87)

15 画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、

20 上記画像表示領域への第1の照射は、上記基板に対して相対的にエネルギービームを走査し、エネルギービームの照射領域を所定のオーバーラップ量ですらしながら照射する走査照射である一方、

上記駆動回路部領域への第2の照射は、上記基板に対して相対的にエネルギービームを固定して行う静止照射で、かつ、上記第1の照射よりも高いエネルギー密度で行うことを特徴とする半導体薄膜の製造方法。

25 (88)

請求項87の半導体薄膜の製造方法であって、

上記第 2 の照射は、上記基板に対して相対的にエネルギービームを固定した状態で、複数回行うことを特徴とする半導体薄膜の製造方法。

(8 9)

- 5 画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、

上記画像表示領域と、上記駆動回路部領域における所定の複数の領域とに対して、それぞれ互いに異なるエネルギー密度で、かつ、上記画像表示領域よりも上記駆動回路部領域のほうが高いエネルギー密度で、エネルギービームの照射を行うことを特徴とする半導体薄膜の製造方法。

(9 0)

請求項 8 9 の半導体薄膜の製造方法であって、

- 15 上記駆動回路部領域における上記各領域のうち、ラッチ回路およびシフトレジスタのうちの少なくとも何れかを構成するトランスファゲートが形成される領域へのエネルギービームの照射は、他の領域へのエネルギービームの照射よりも高いエネルギー密度で行われることを特徴とする半導体薄膜の製造方法。

20 (9 1)

画像表示領域と駆動回路部領域とを有する基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、

- 25 上記画像表示領域に対応した領域が上記駆動回路部領域に対応した領域よりも上記エネルギービームの透過率が低いフィルタを介して、上記画像表示領域および上記駆動回路部領域へのエネルギービ-

ムの照射を同時に行うことを特徴とする半導体薄膜の製造方法。

(9 2)

基板上に形成された非単結晶半導体薄膜にエネルギービームを照射して結晶成長させる工程を有する半導体薄膜の製造方法であって、

- 5 上記エネルギービームの照射を、エネルギービームの散乱性を有する均一化素子を介して行うことを特徴とする半導体薄膜の製造方法。

(9 3)

請求項 9 2 の半導体薄膜の製造方法であって、

- 10 上記均一化素子は、部分的にエネルギービームの透過性を有する領域を有し、

上記透過性を有する領域に入射したエネルギービームをそのまま透過させて、上記非単結晶半導体薄膜に照射することを特徴とする半導体薄膜の製造方法。

(9 4)

- 15 エネルギービーム発生手段と、

上記エネルギービーム発生手段から発せられたエネルギービームをエネルギーの均一な所定のビーム断面形状に整形する均一化手段とを備え、

- 20 上記整形されたエネルギービームを、基板上に形成された非単結晶半導体薄膜に照射して結晶成長させる半導体薄膜の製造装置であって、

さらに、上記エネルギービームの透過率が互いに異なる領域を有するフィルタを備え、

- 25 上記フィルタを介して、上記非単結晶半導体薄膜における複数の領域に、互いに異なるエネルギー密度で上記エネルギービームの照射を行うように構成されたことを特徴とする半導体薄膜の製造装置。

(9 5)

請求項 9 4 の半導体薄膜の製造装置であって、

上記フィルタは、光学薄膜により、上記エネルギービームの透過率が互いに異なる領域を有するように構成されていることを特徴とする半導体薄膜の製造装置。

(9 6)

請求項 9 4 の半導体薄膜の製造装置であって、

さらに、上記基板が配置されるチャンバを備え、上記チャンバに形成された窓を介して上記エネルギービームの照射が行われるように構成されるとともに、

上記フィルタが、上記窓に設けられていることを特徴とする半導体薄膜の製造装置。

(9 7)

エネルギービーム発生手段と、

上記エネルギービーム発生手段から発せられたエネルギービームをエネルギーの均一な所定のビーム断面形状に整形する均一化手段とを備え、

上記整形されたエネルギービームを、基板上に形成された非単結晶半導体薄膜に照射して結晶成長させる半導体薄膜の製造装置であって、

上記均一化手段が、エネルギービームを複数のビーム断面形状に選択的に切り替えて整形し得るように構成されていることを特徴とする半導体薄膜の製造装置。

図 1

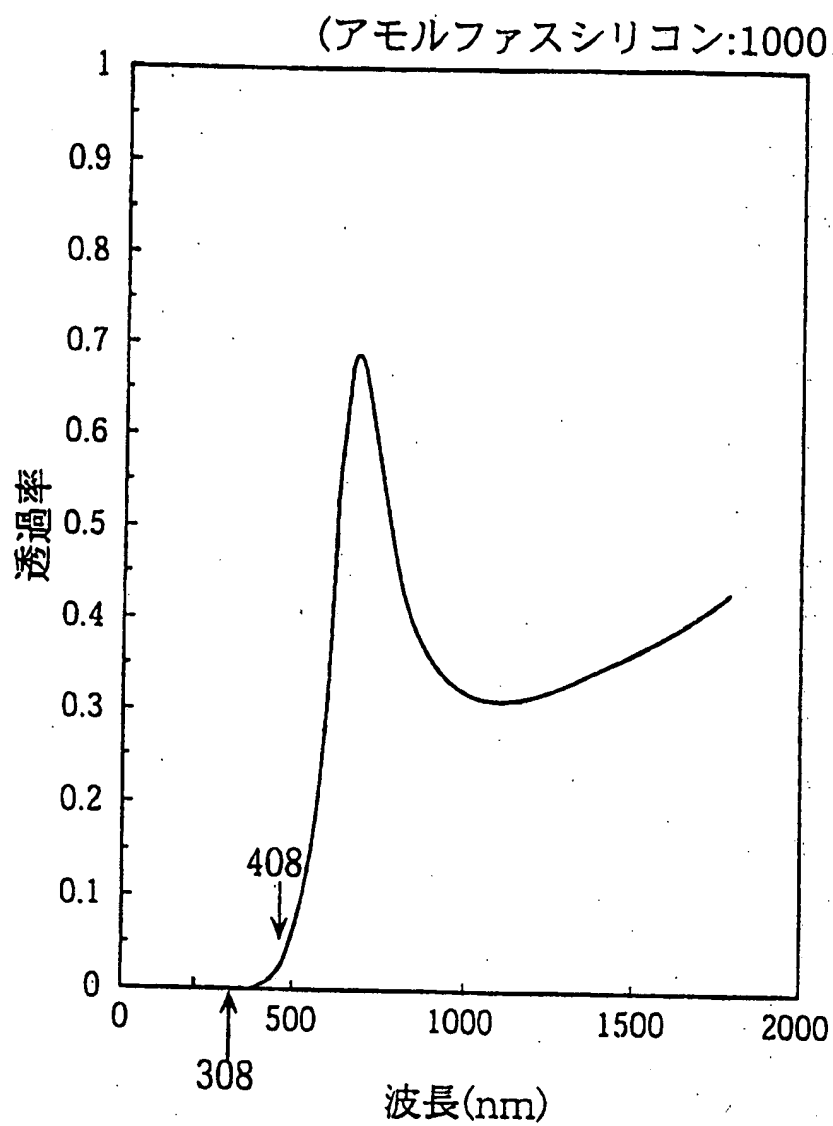


図 2

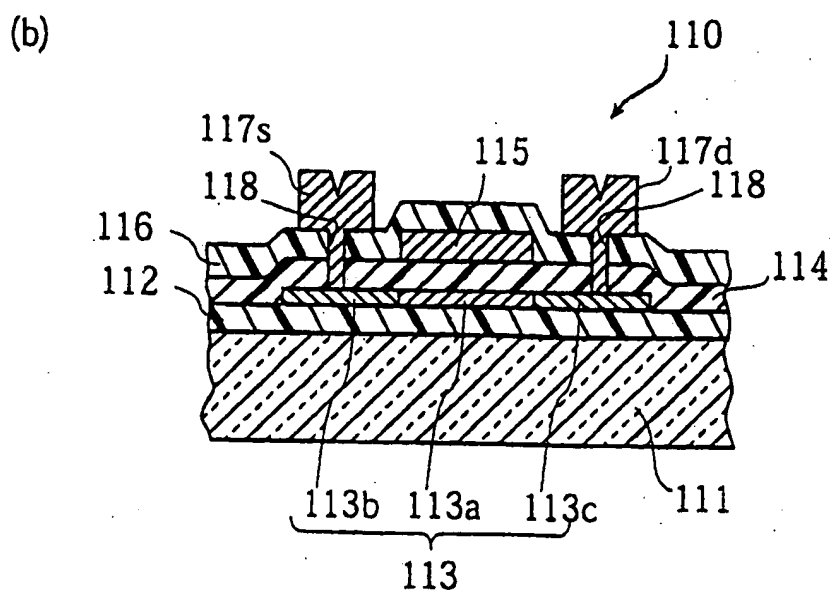
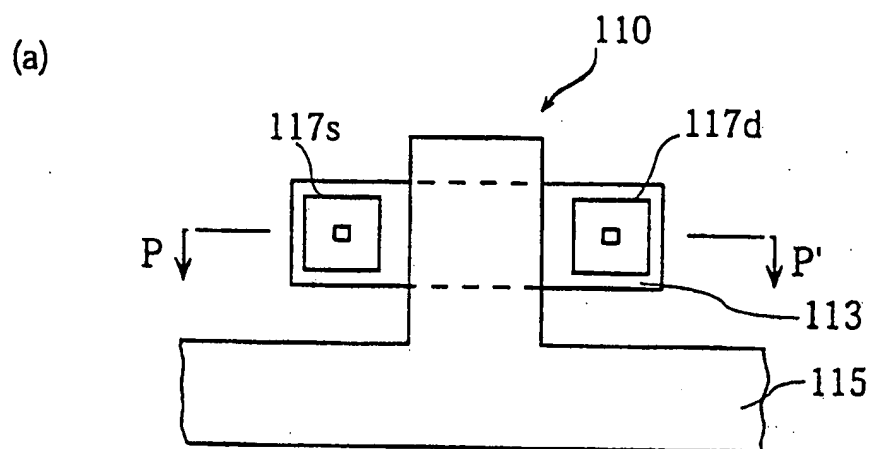


図 3

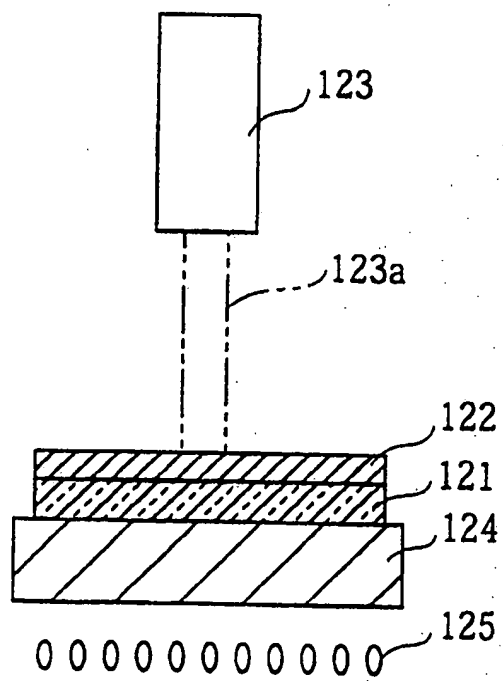


図 4

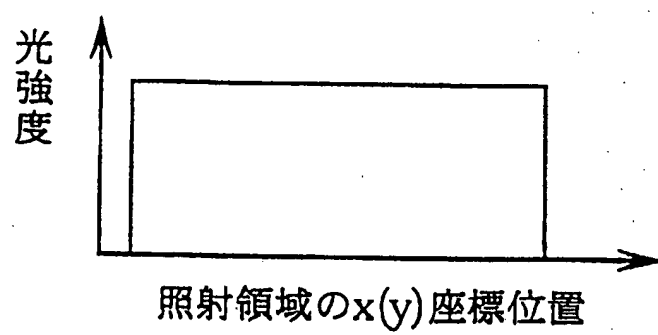


図 5

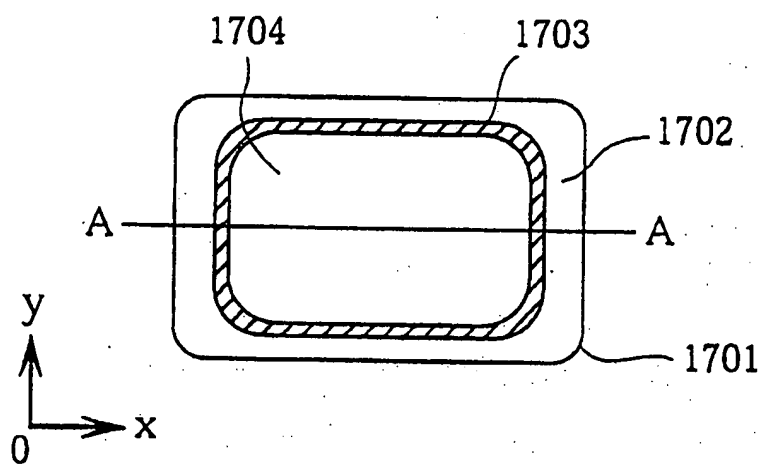


図 6

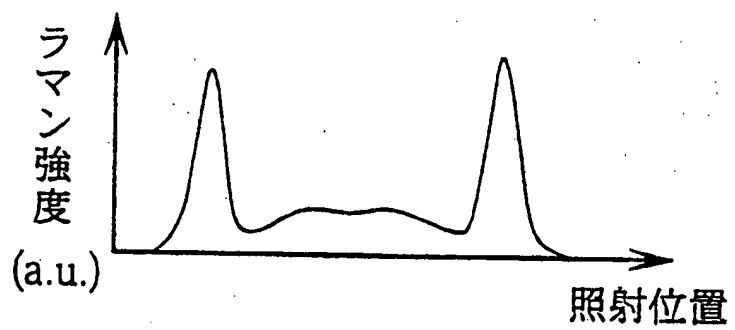


図 7

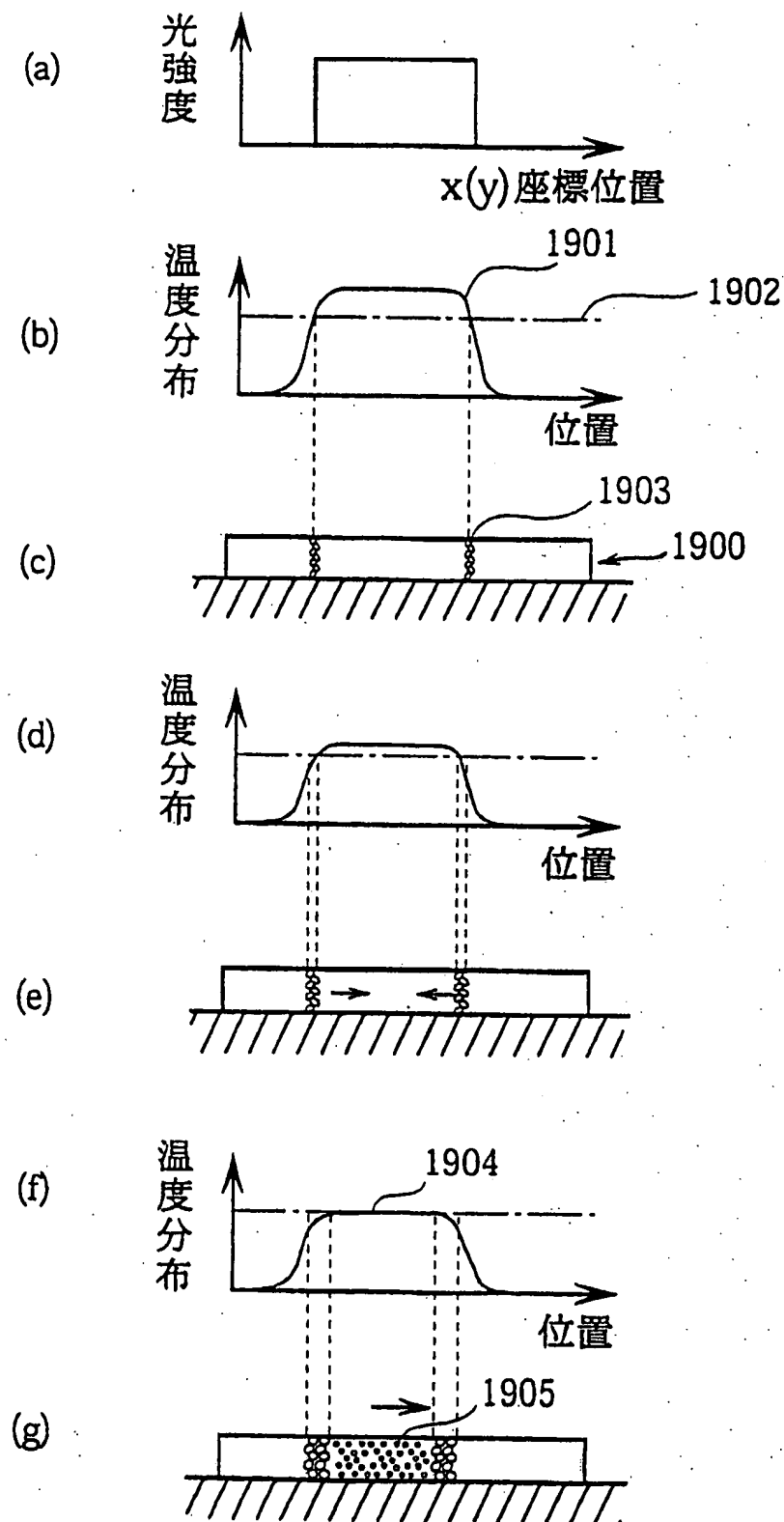
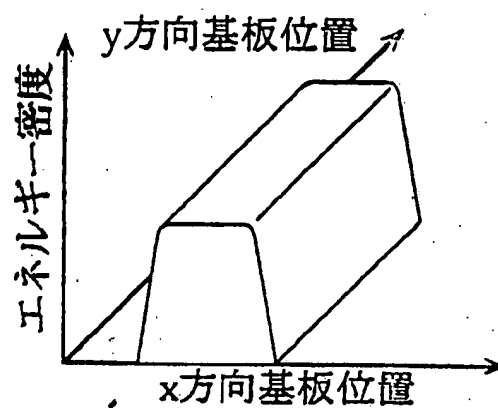
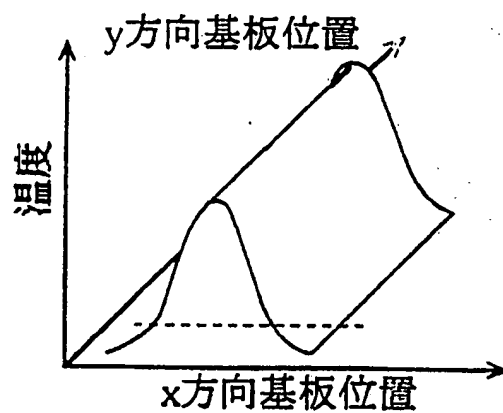


図 8

(a)
レーザ照射
エネルギー密度分布



(b)
シリコン薄膜
の温度分布



(c)
多結晶シリコン薄膜
の結晶化状態

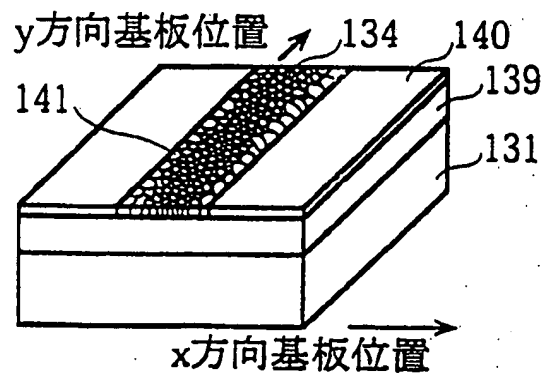


図 9

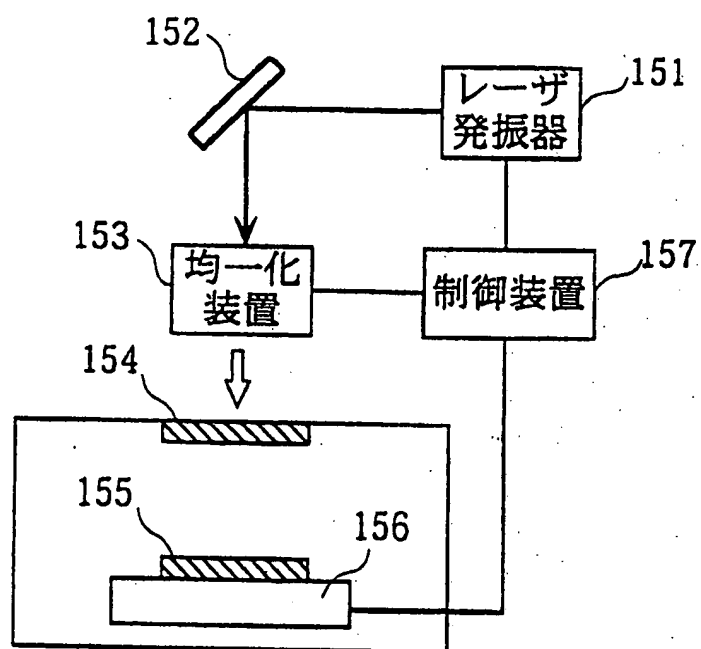


FIG 10

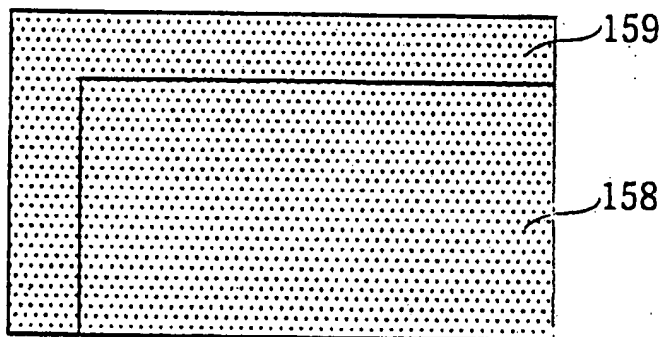


図 11

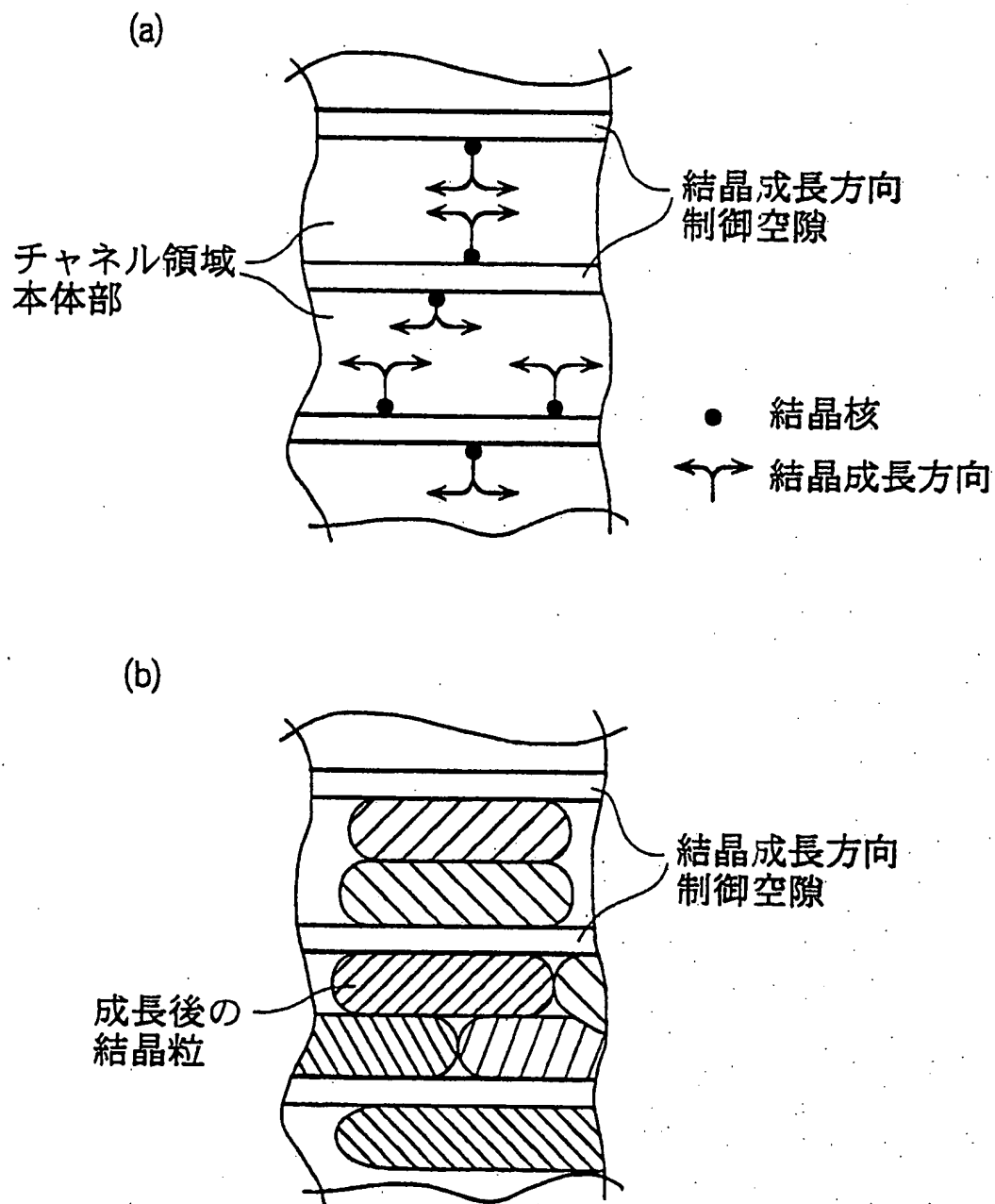


図 12

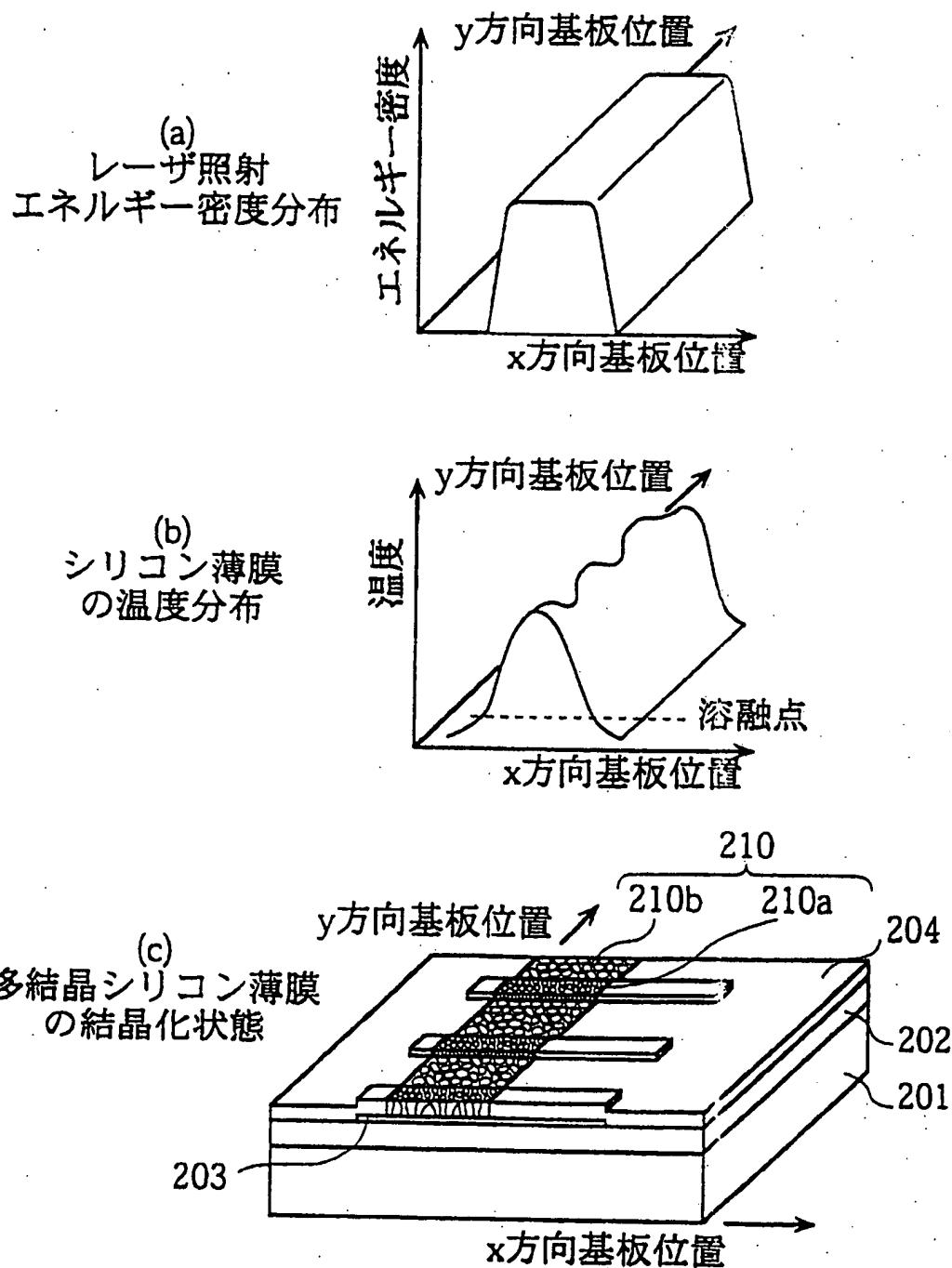


図 13

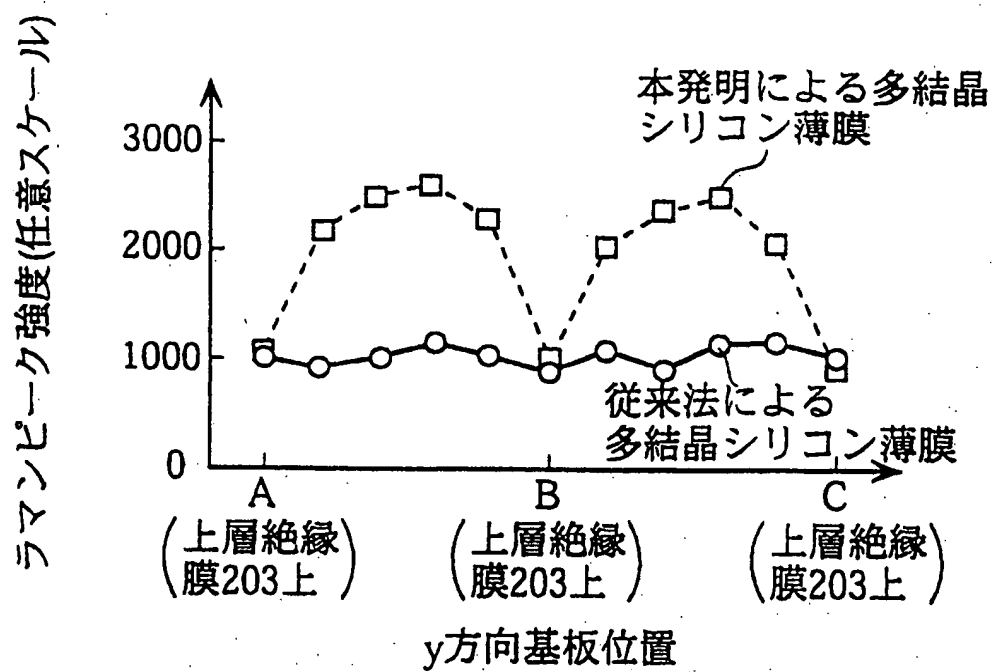


図 14

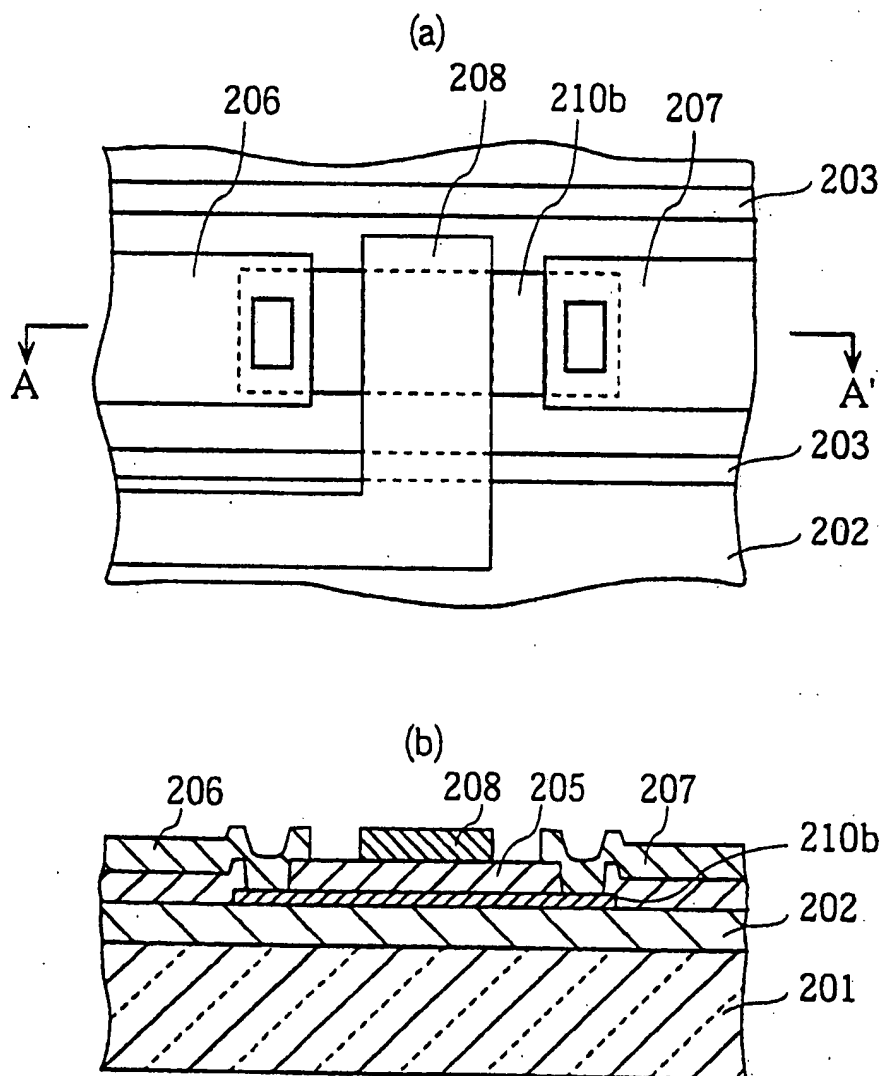


図 15

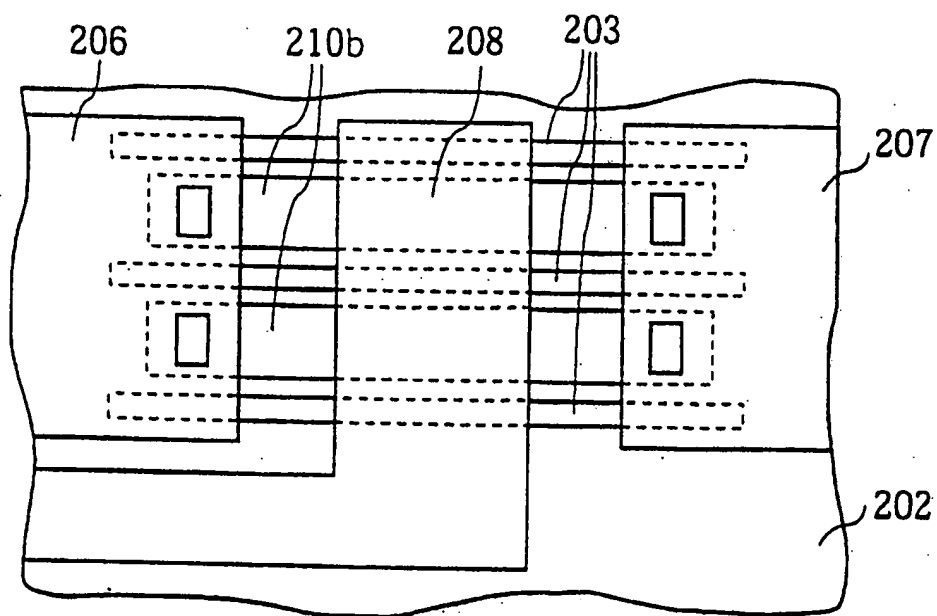


図 16

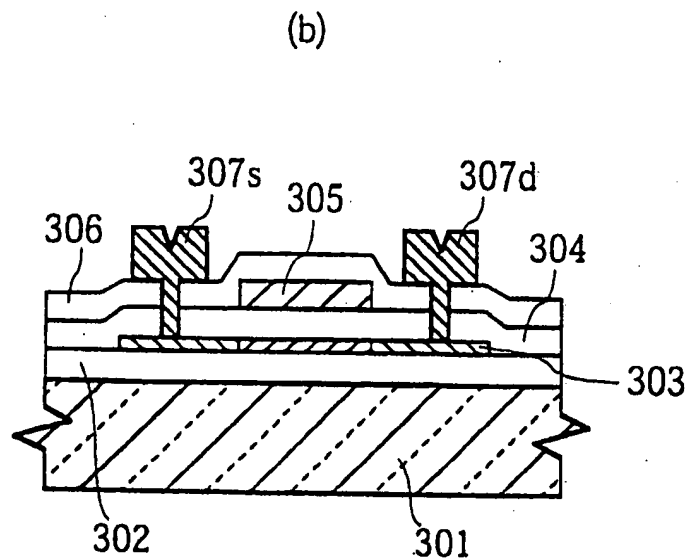
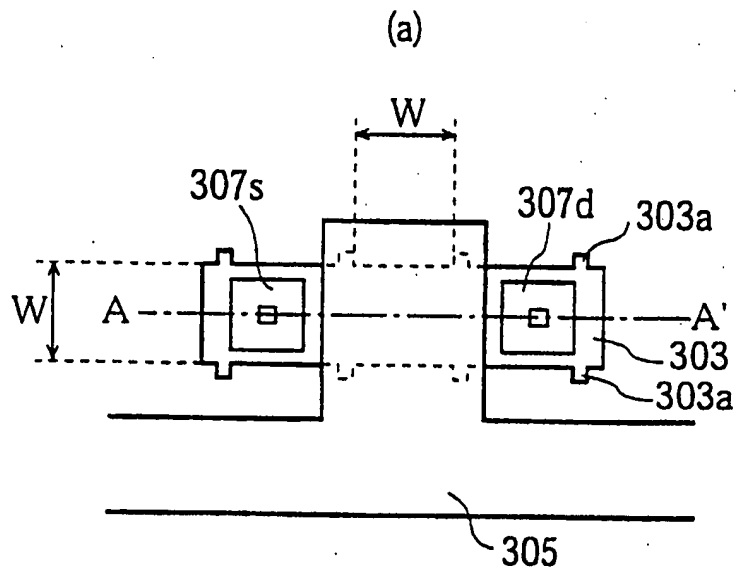
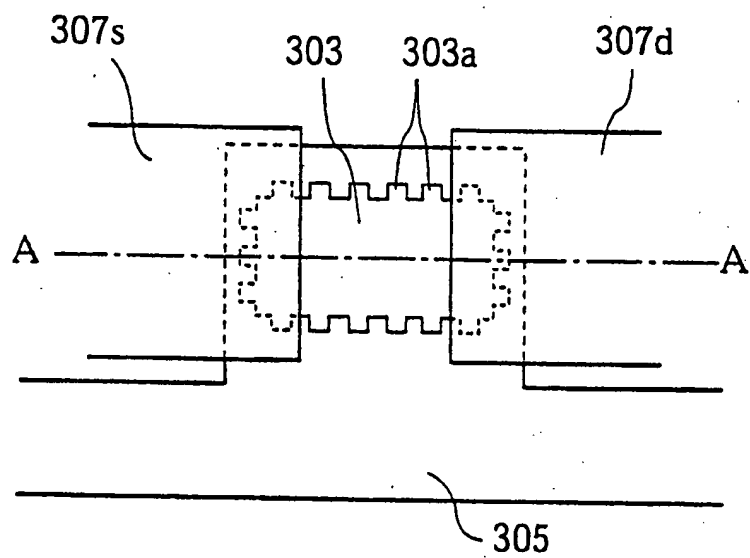


図 17

(a)



(b)

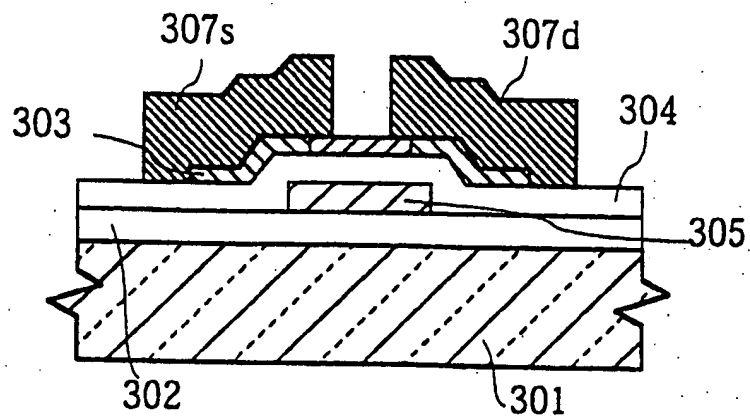


図 18

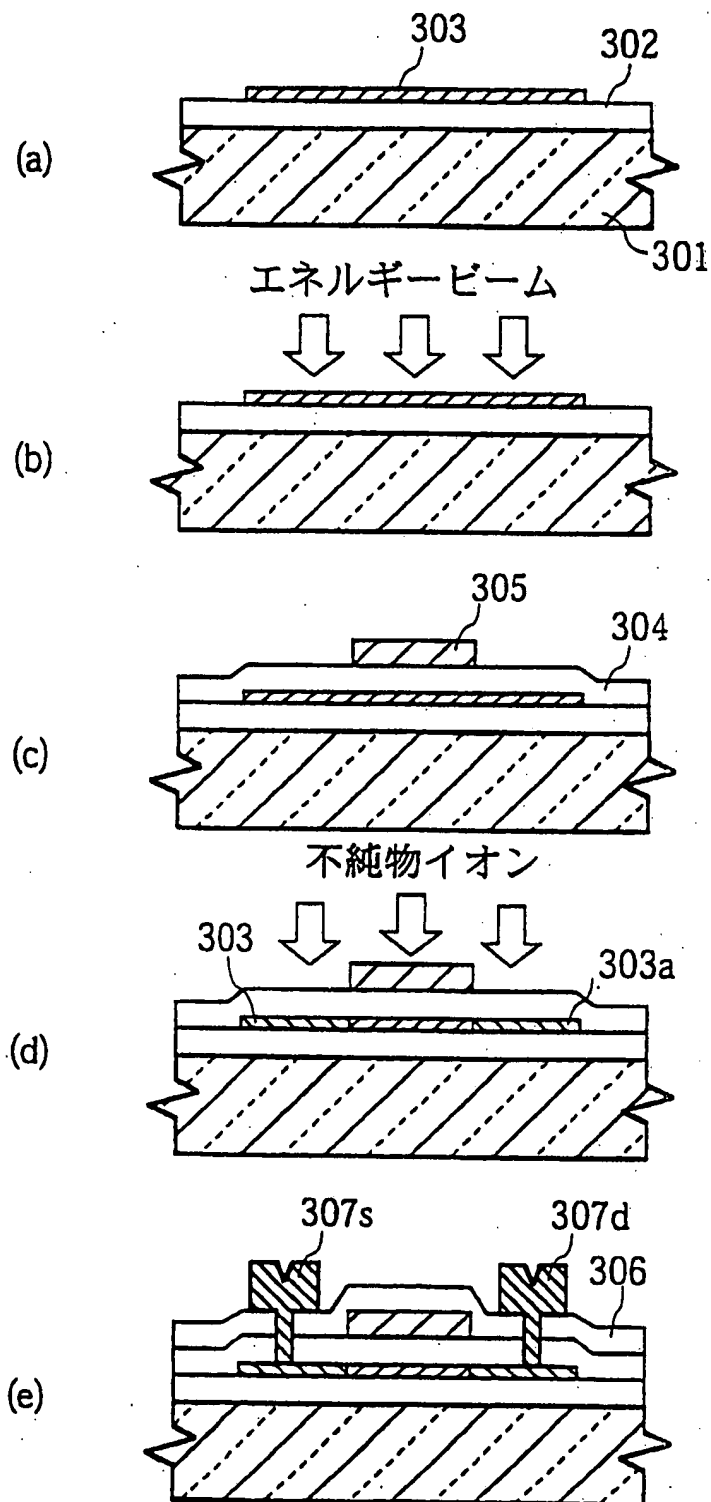


図 19

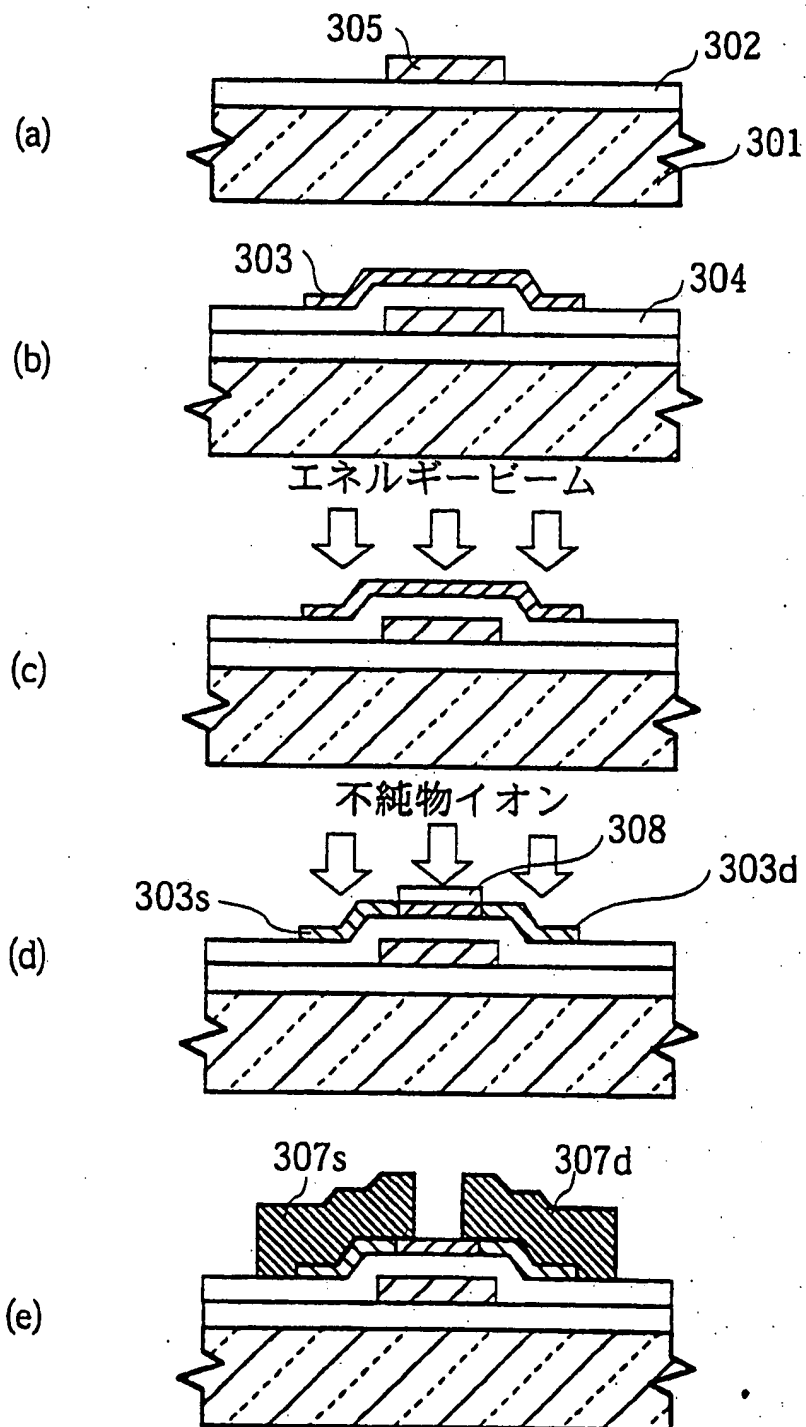


図 20

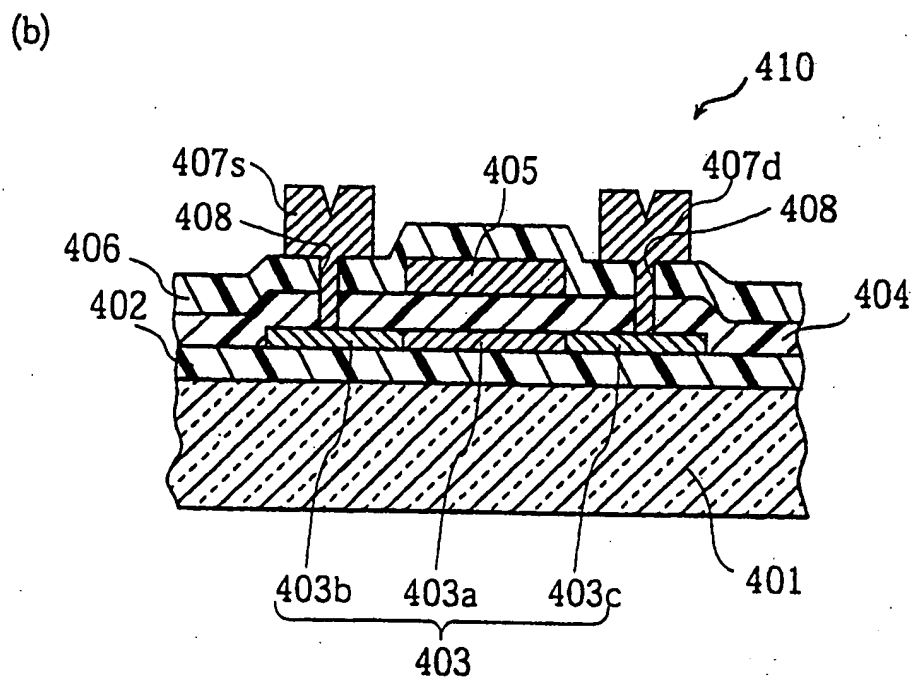
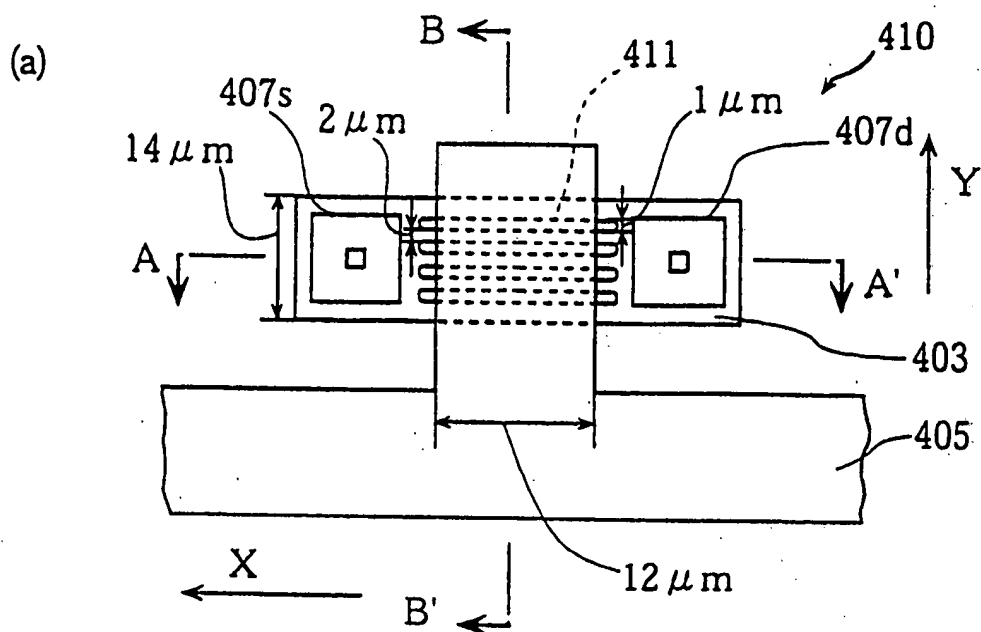
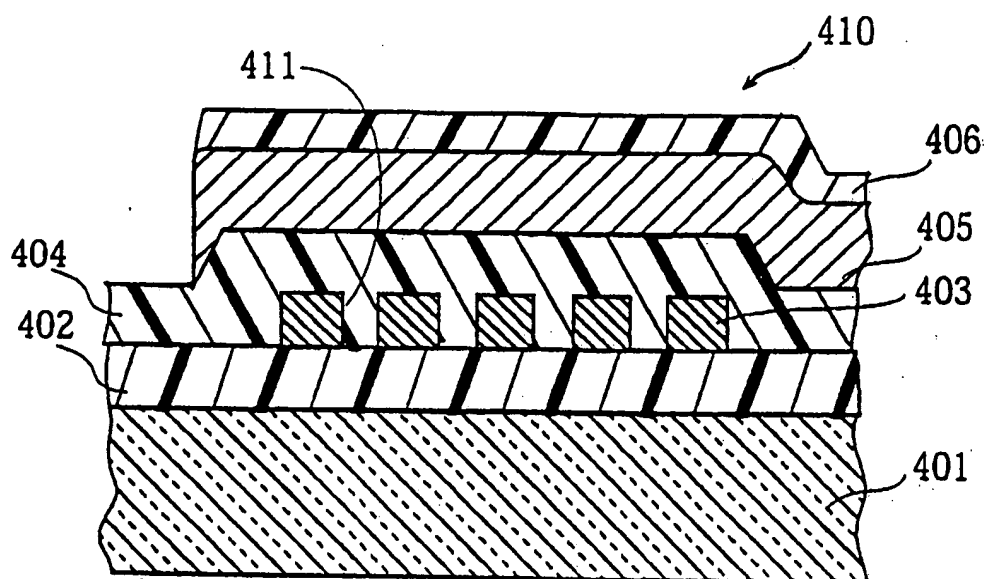


図 21



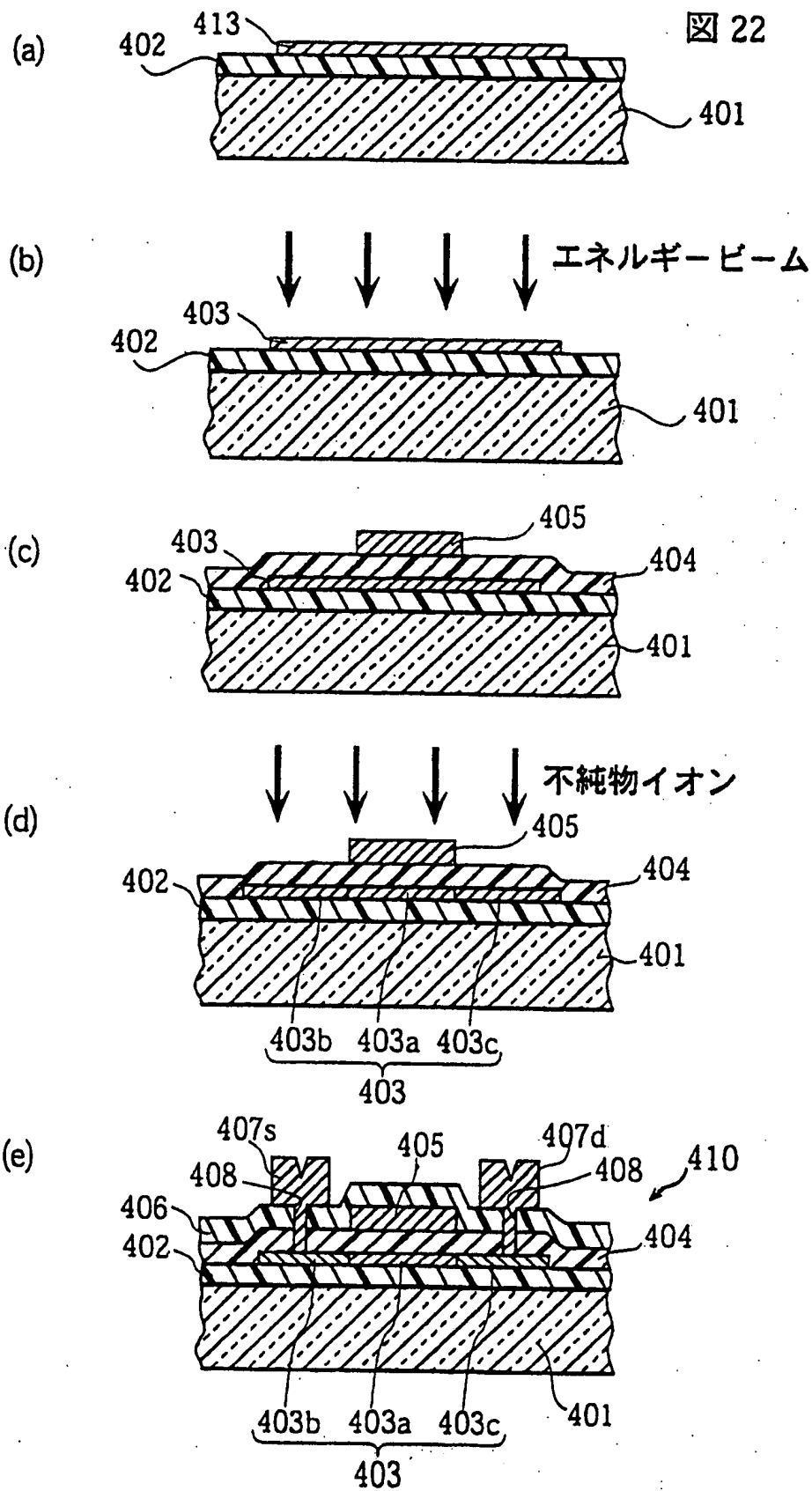


図 23

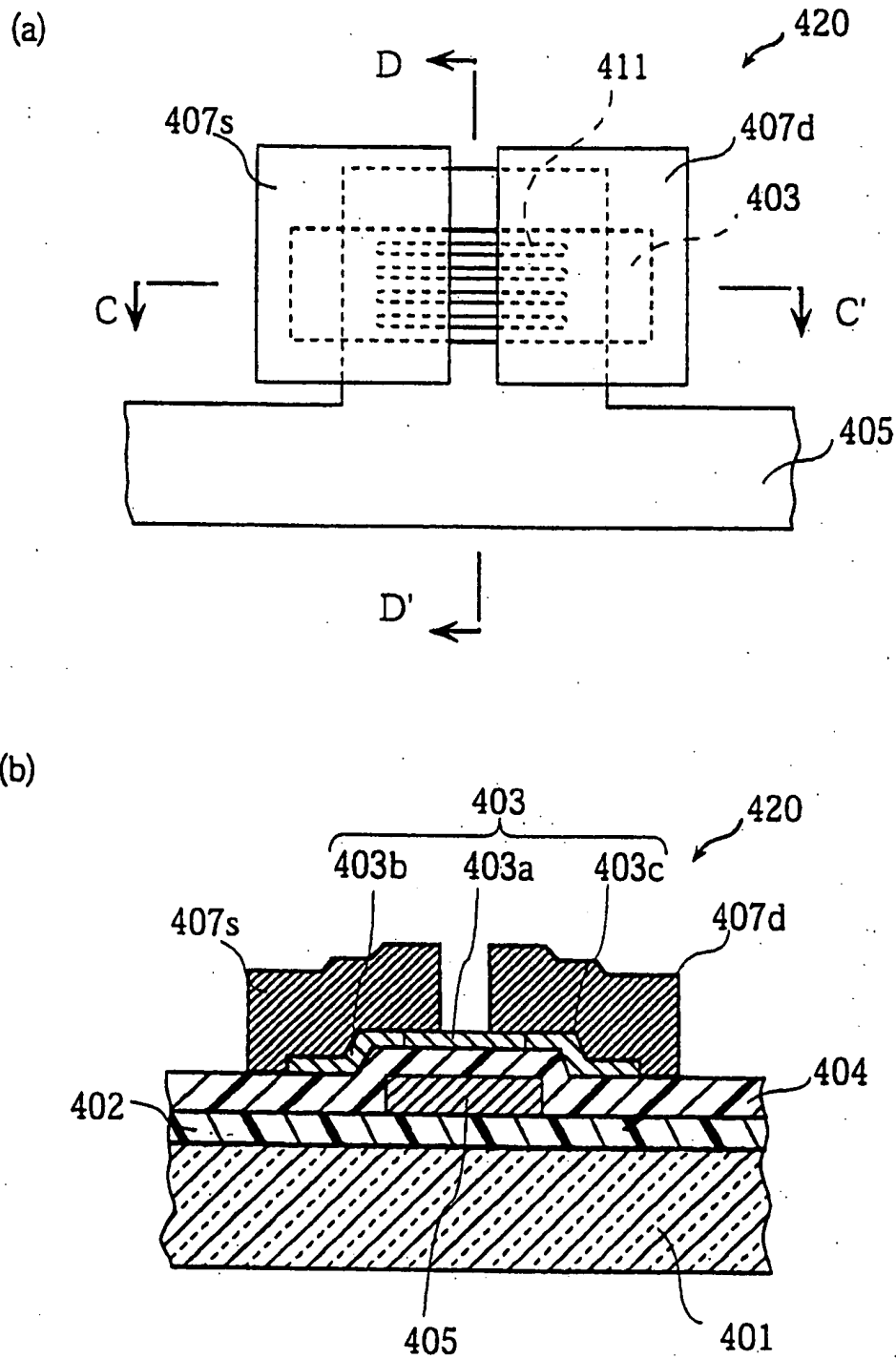


図 24

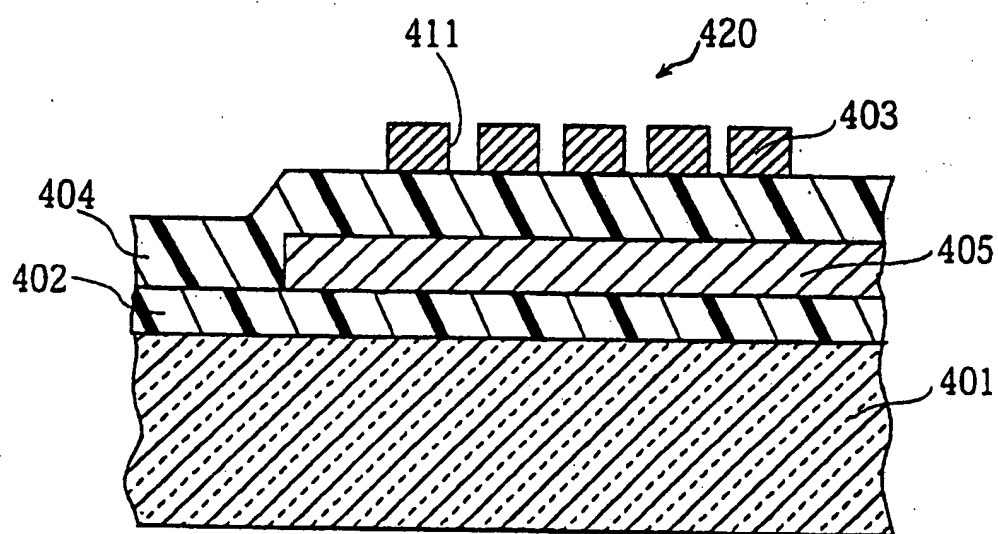
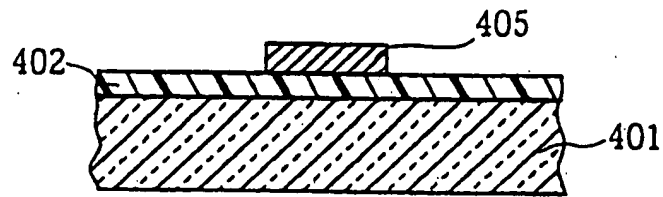
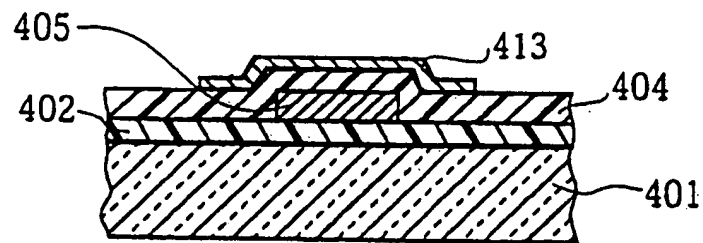


図 25

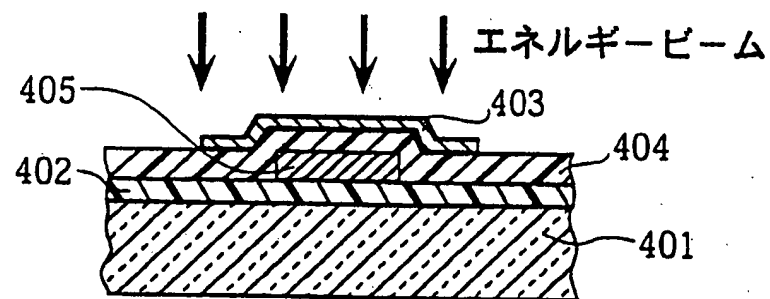
(a)



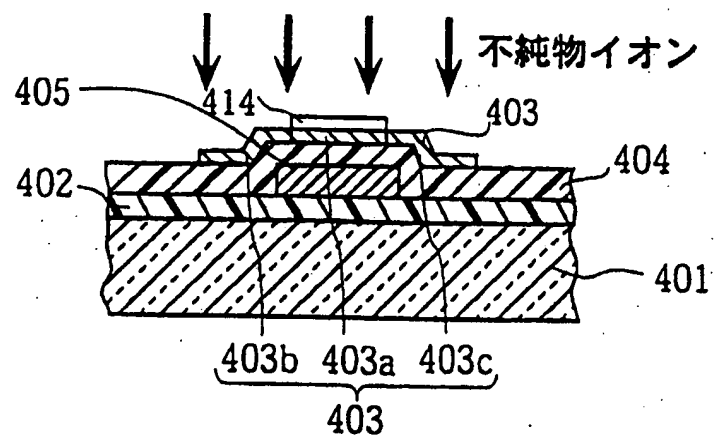
(b)



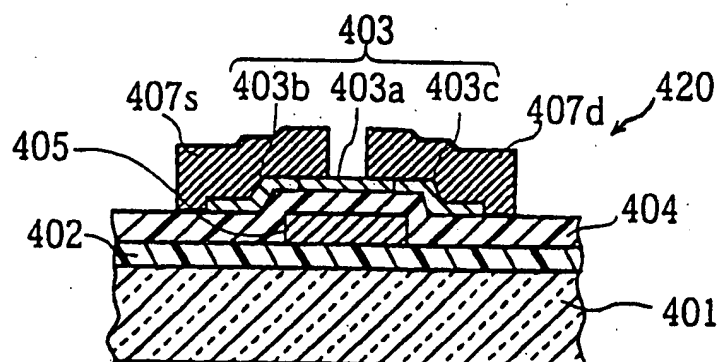
(c)



(d)



(e)



26

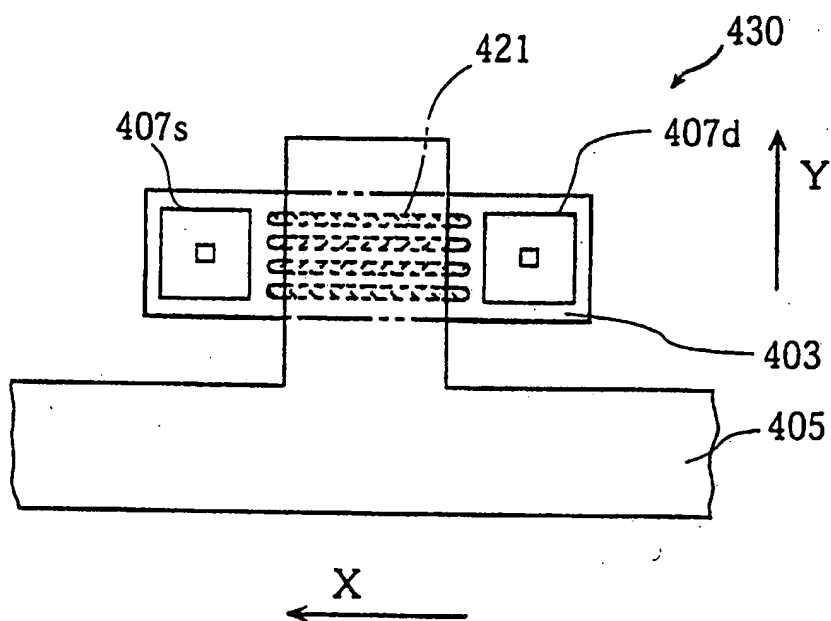


図 27

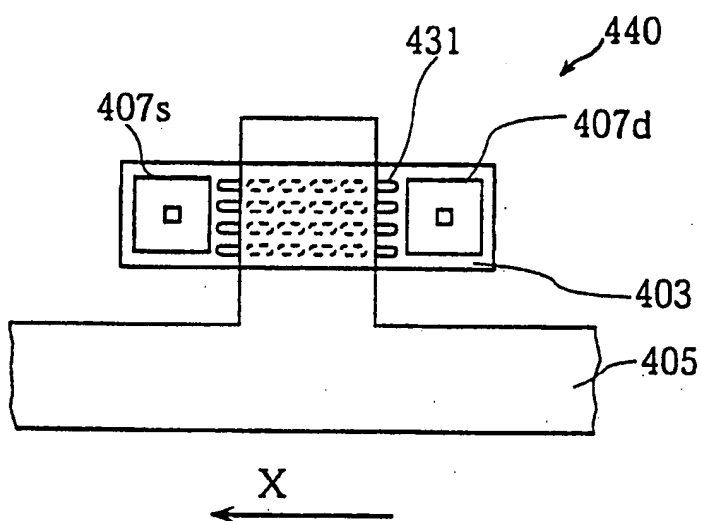


図 28

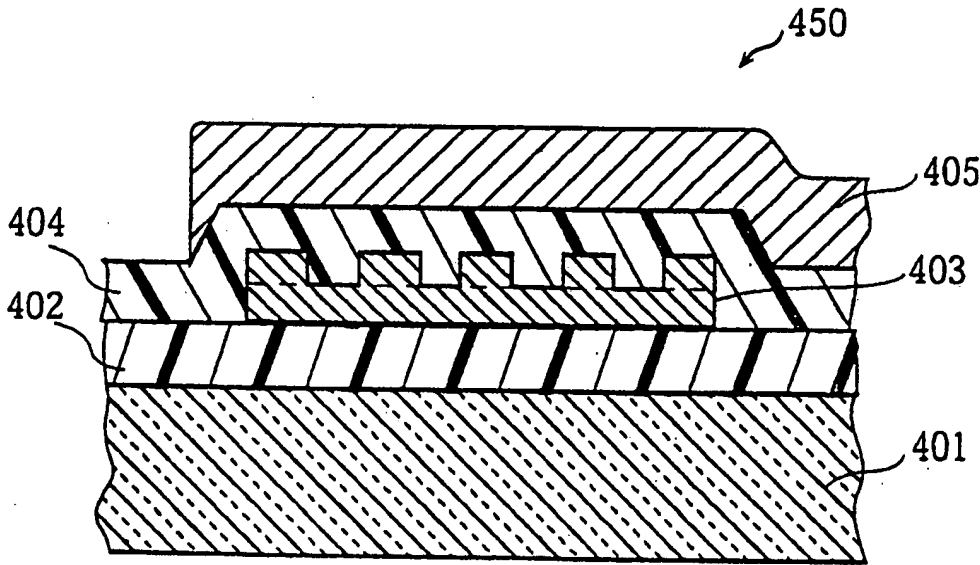


図 29

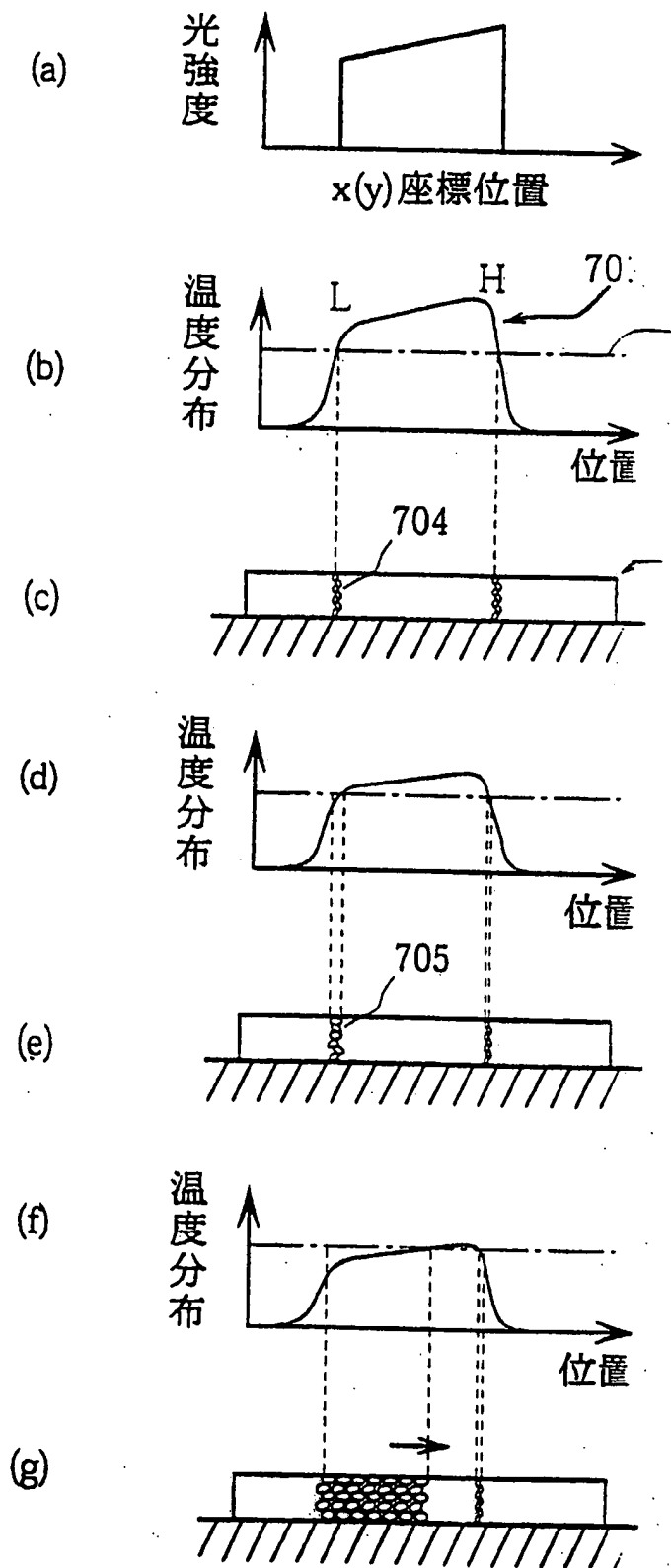


図 30

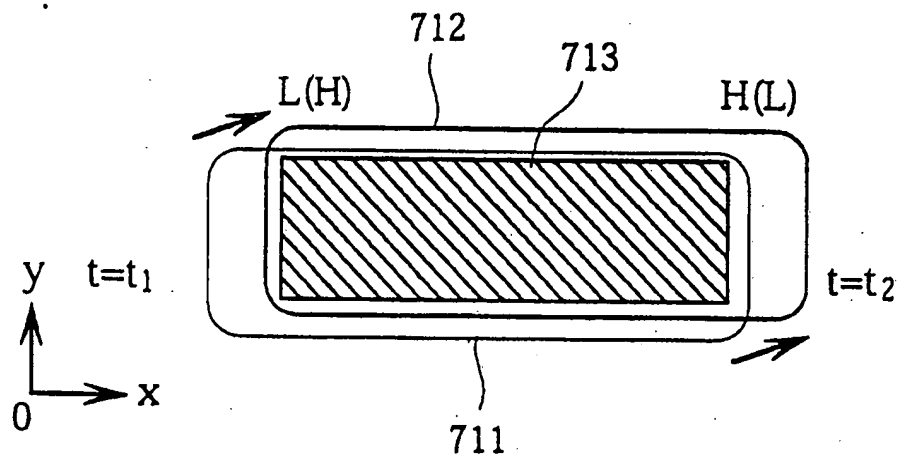


図 31

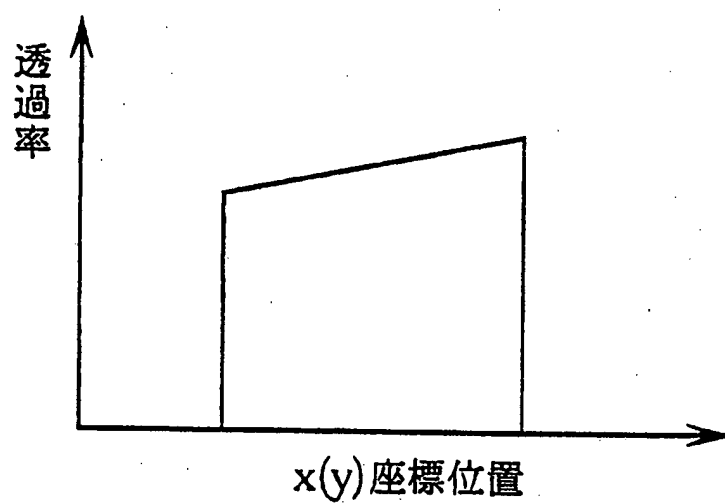


図 32

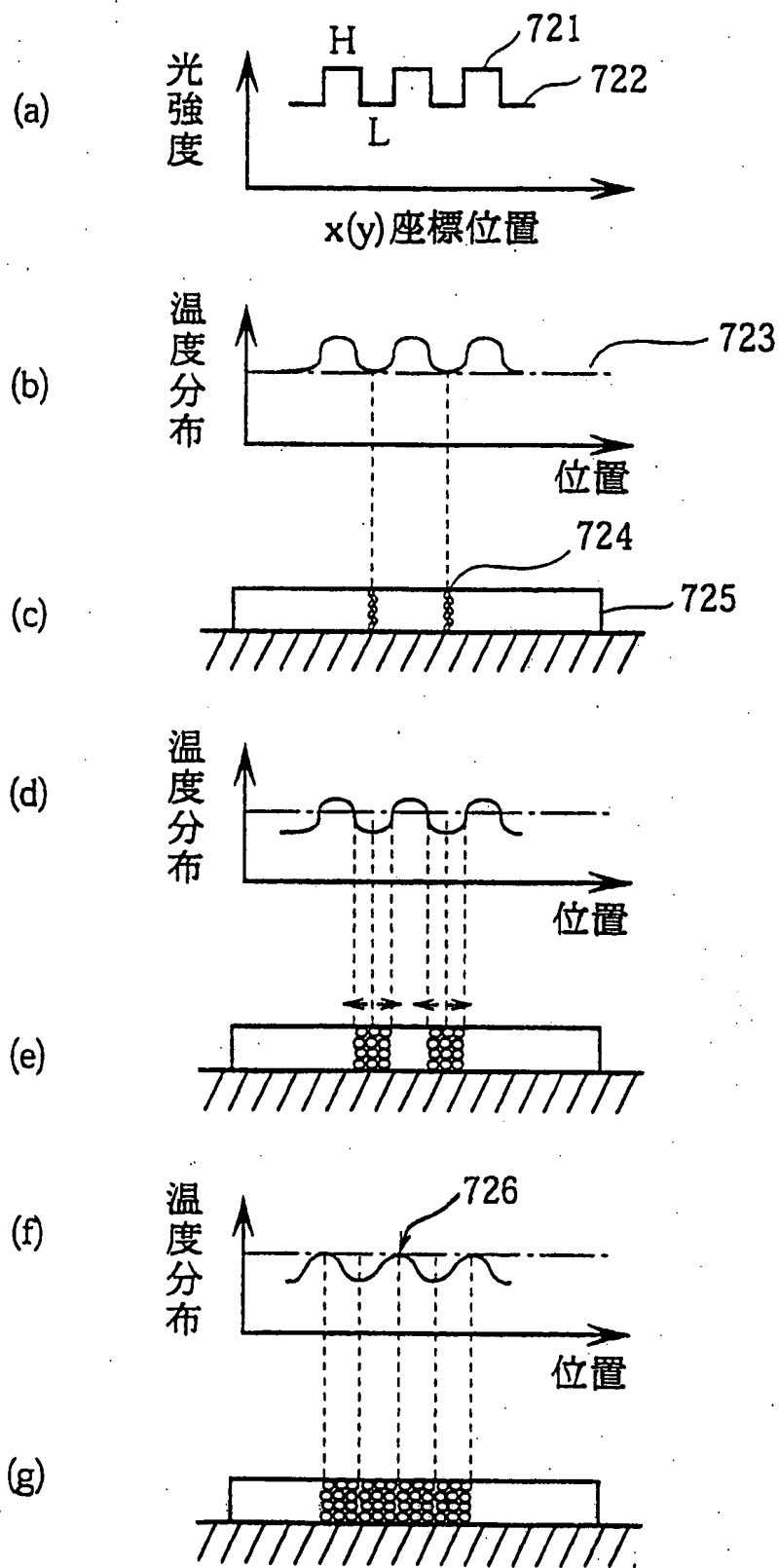


図 33

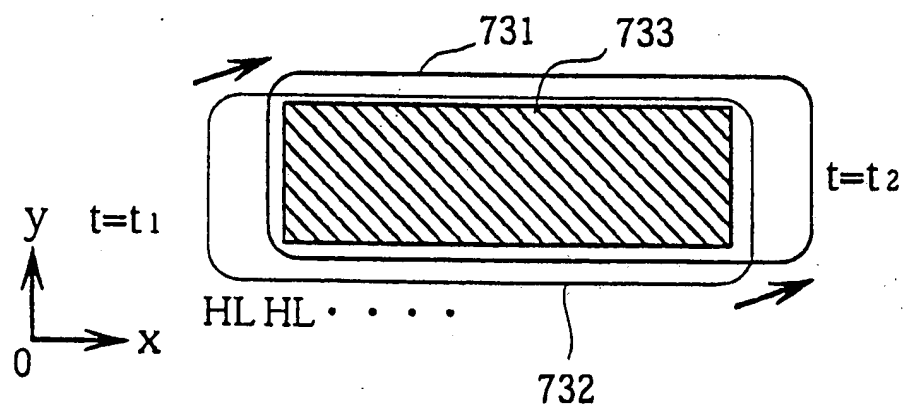


図 34

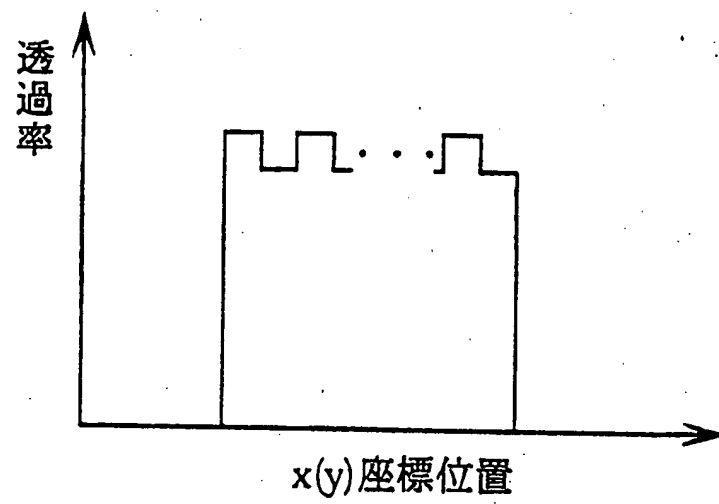


図 35

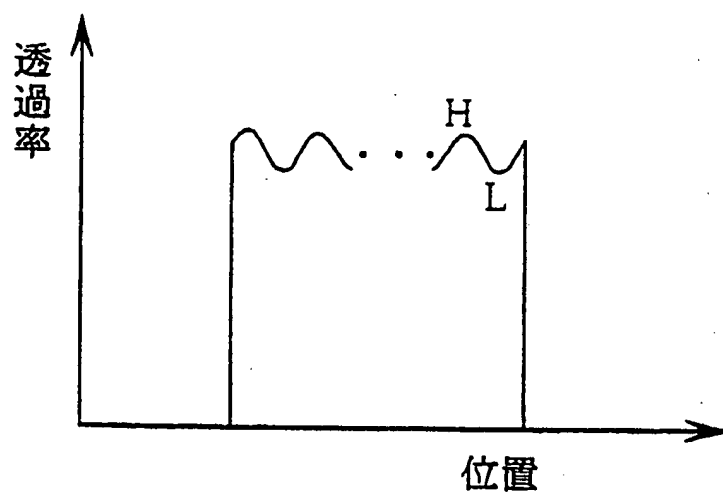


図 36

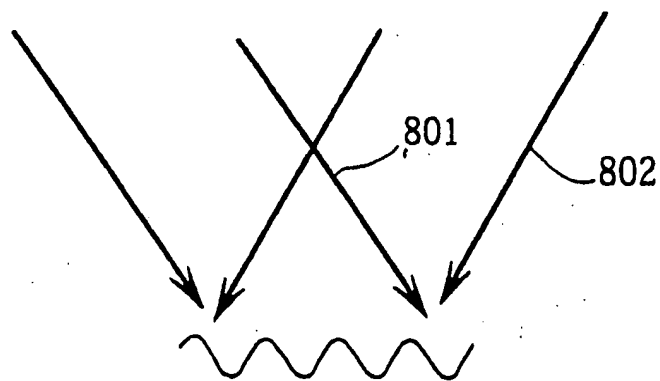


図 37

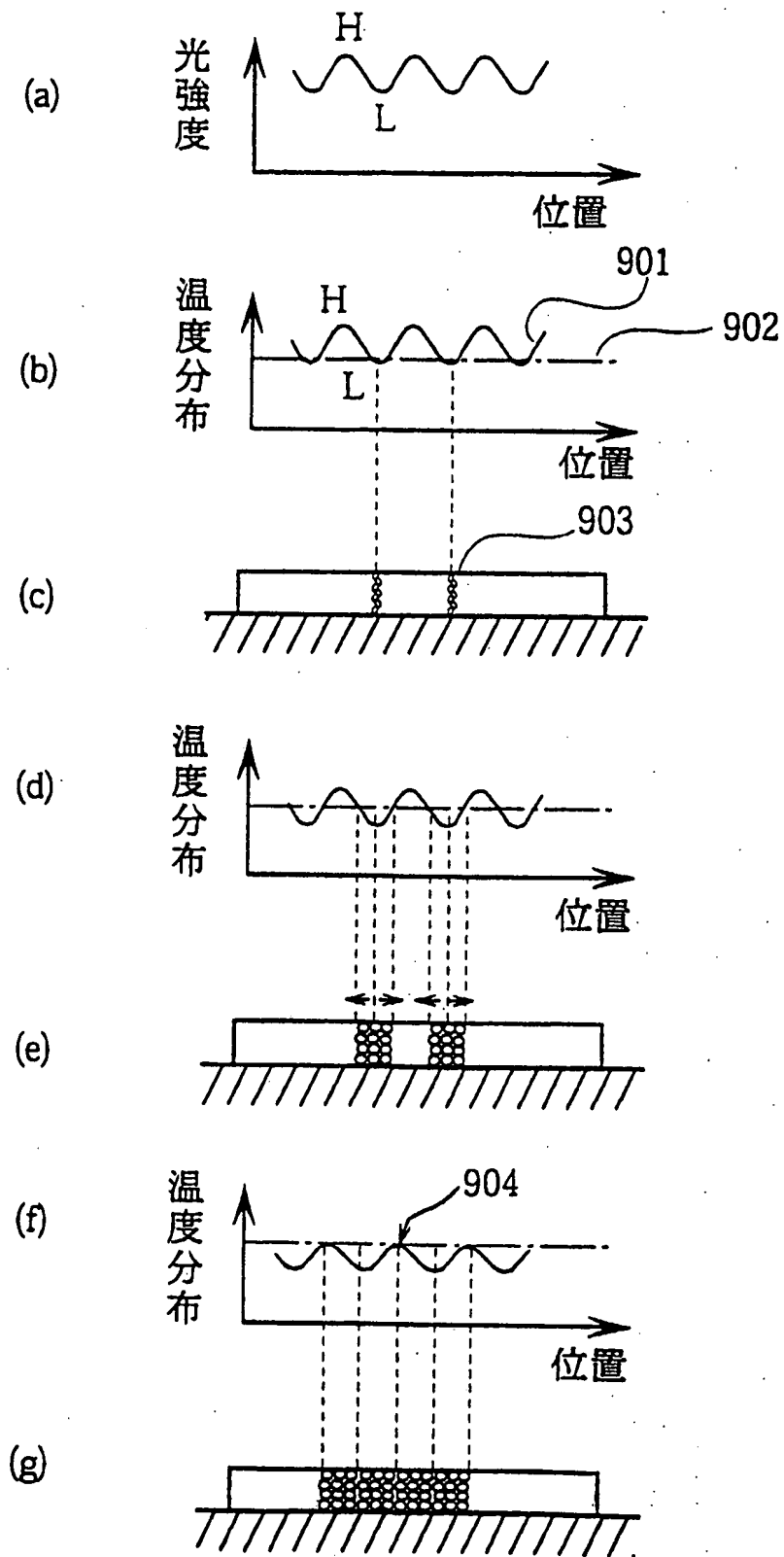


図 38

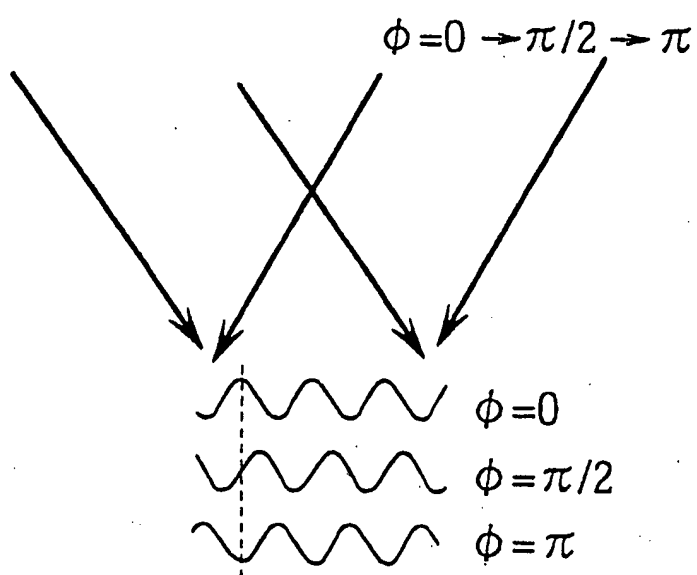


図 39

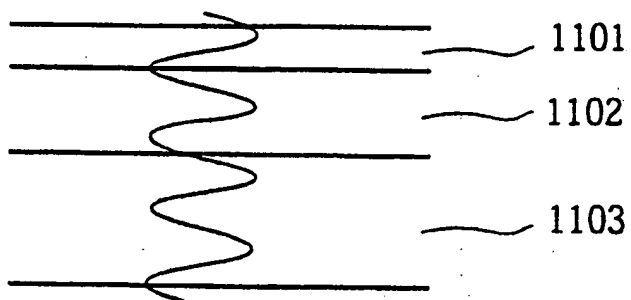


図 40

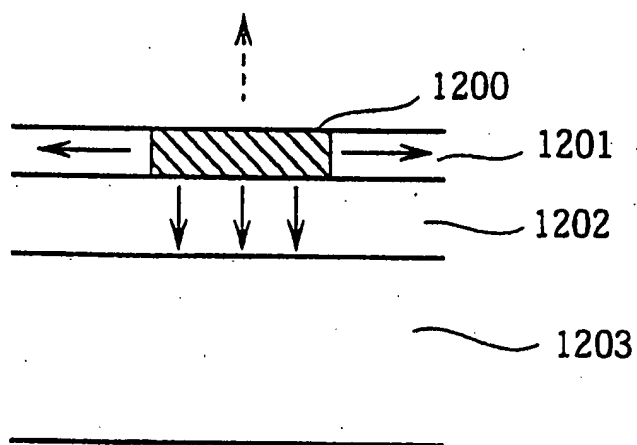


図 41

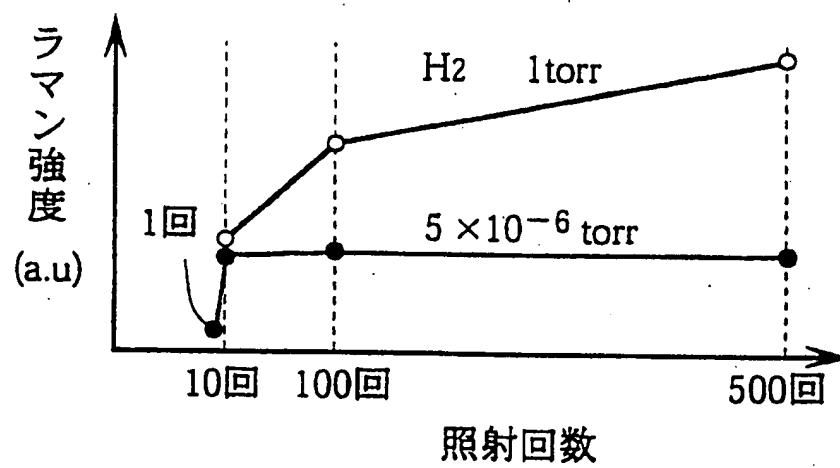


図 42

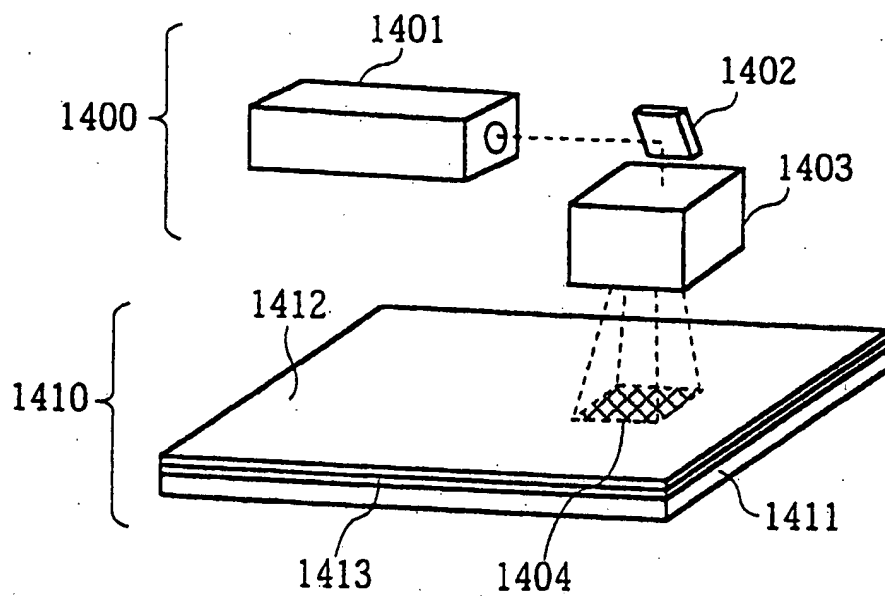


図 43

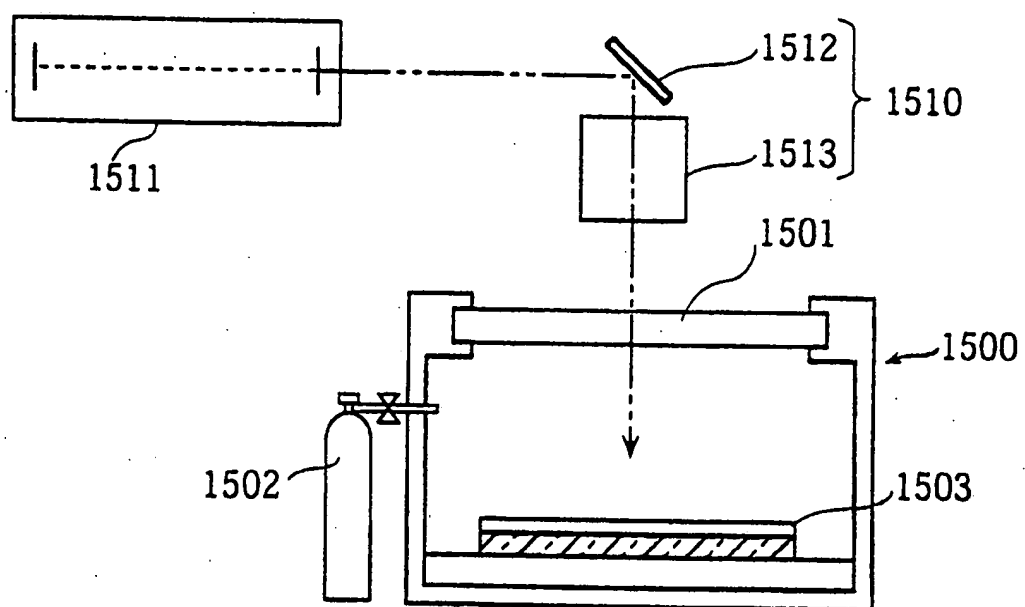


図 44

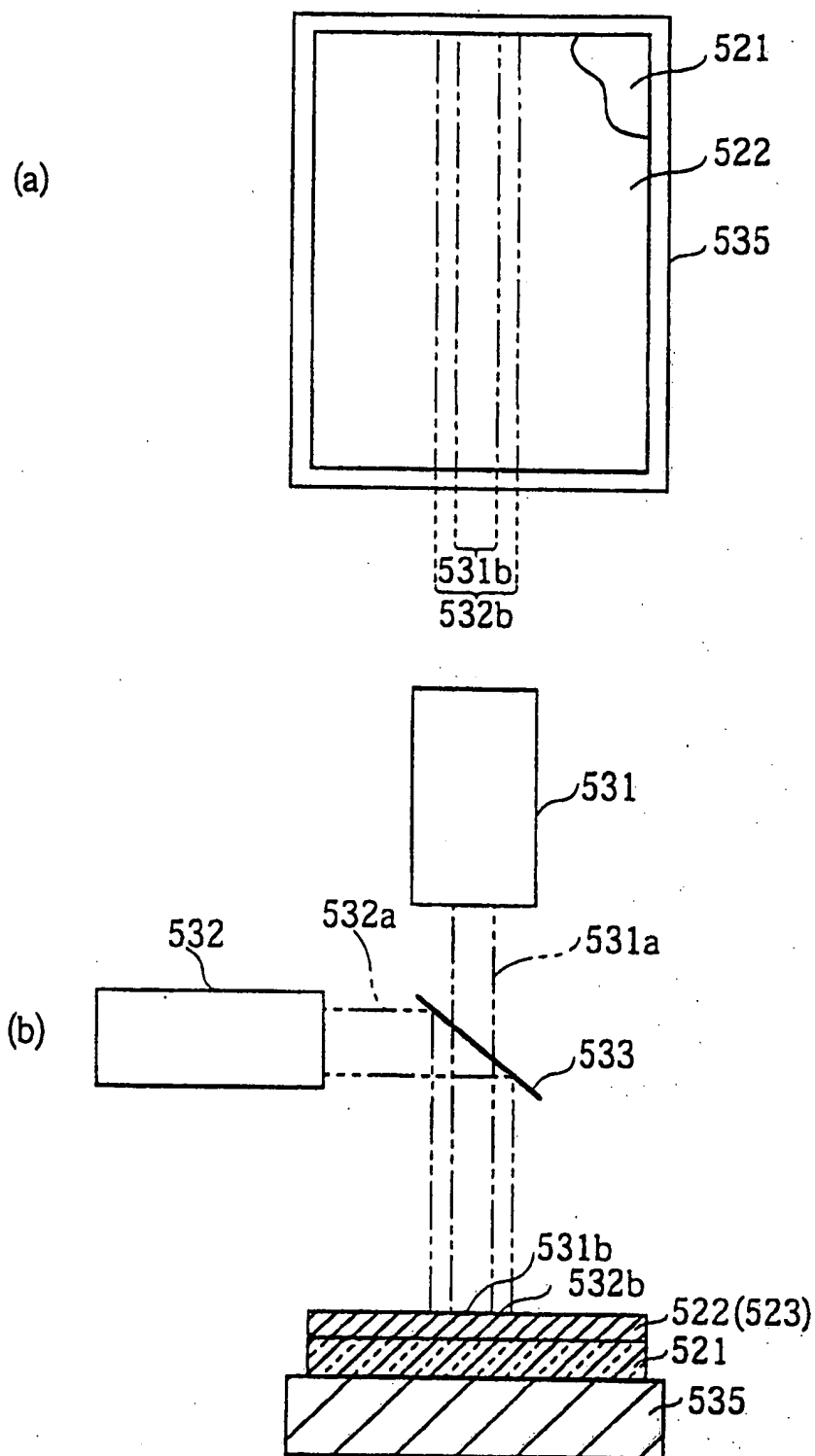


図 45

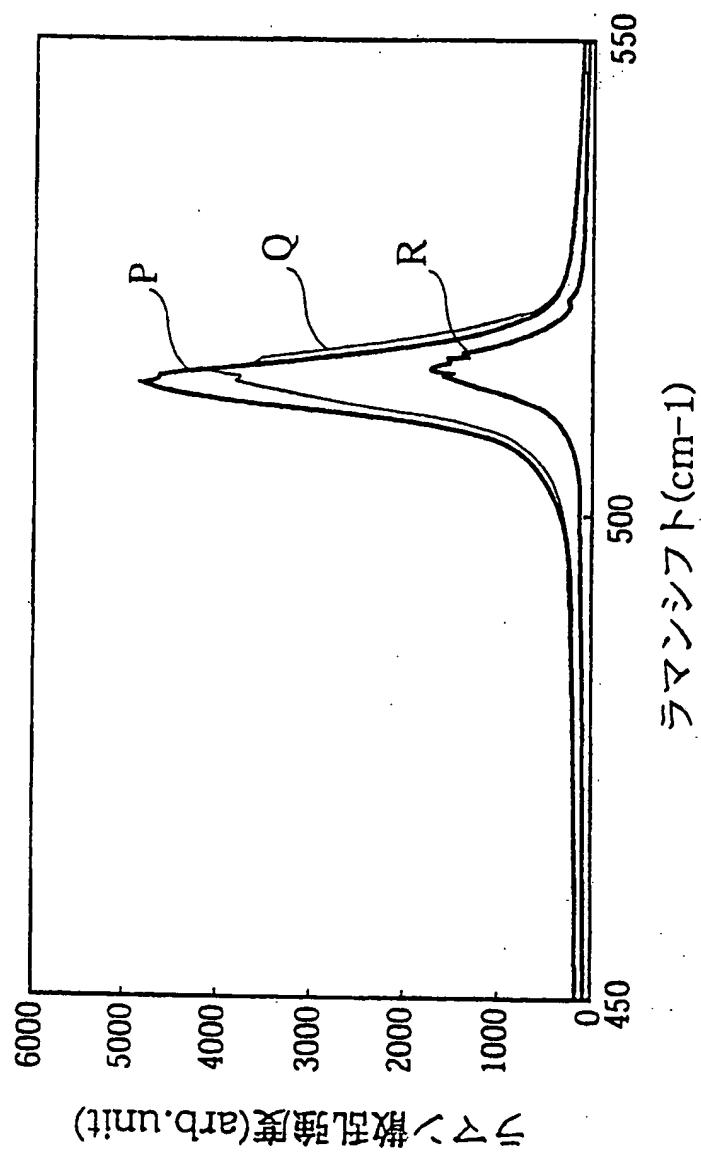


図 46

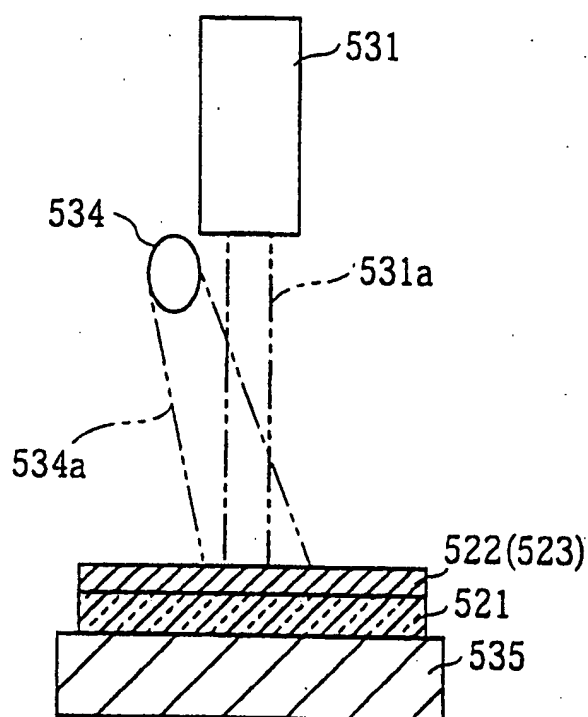


図 47

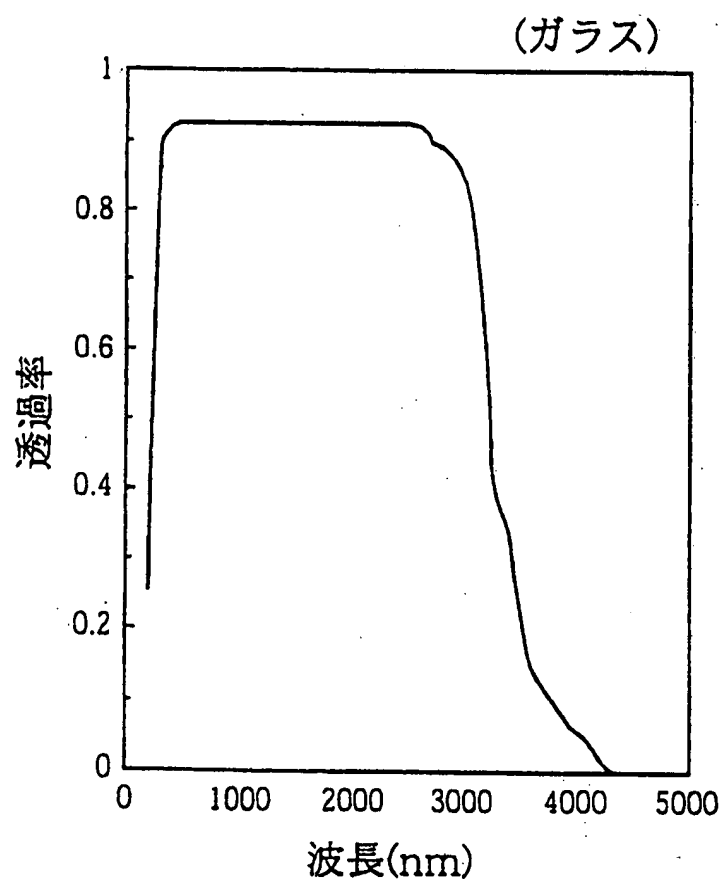


図 48

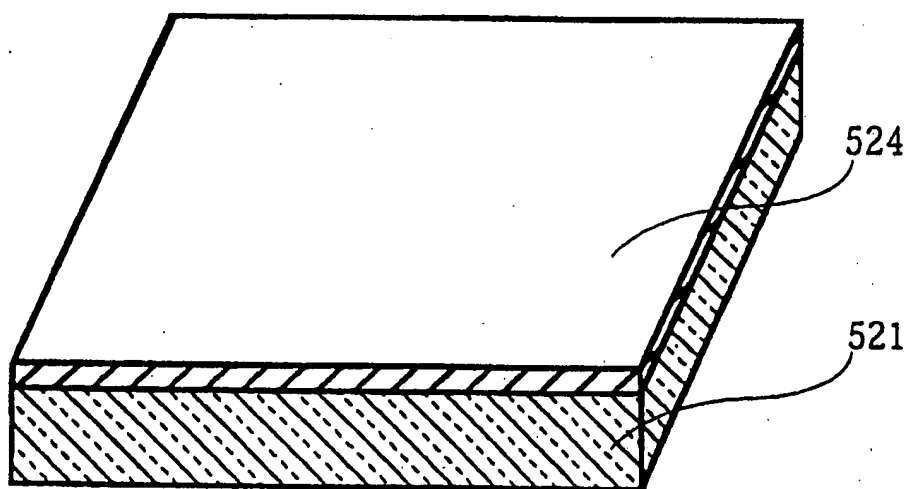


図 49

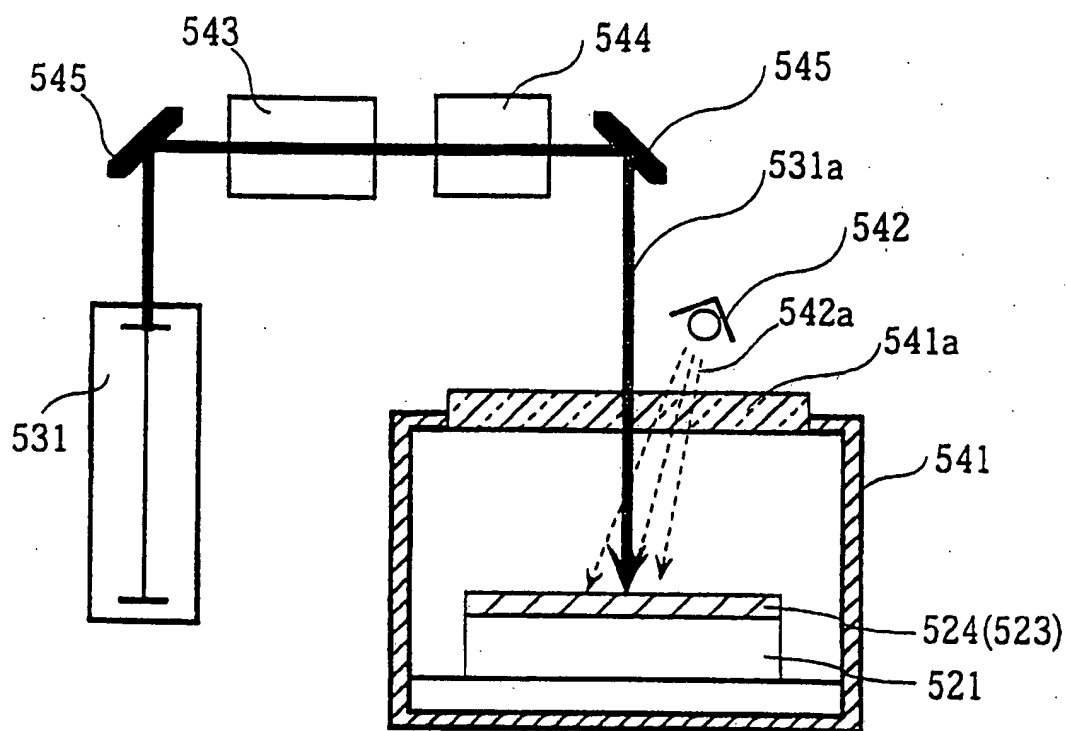


図 50

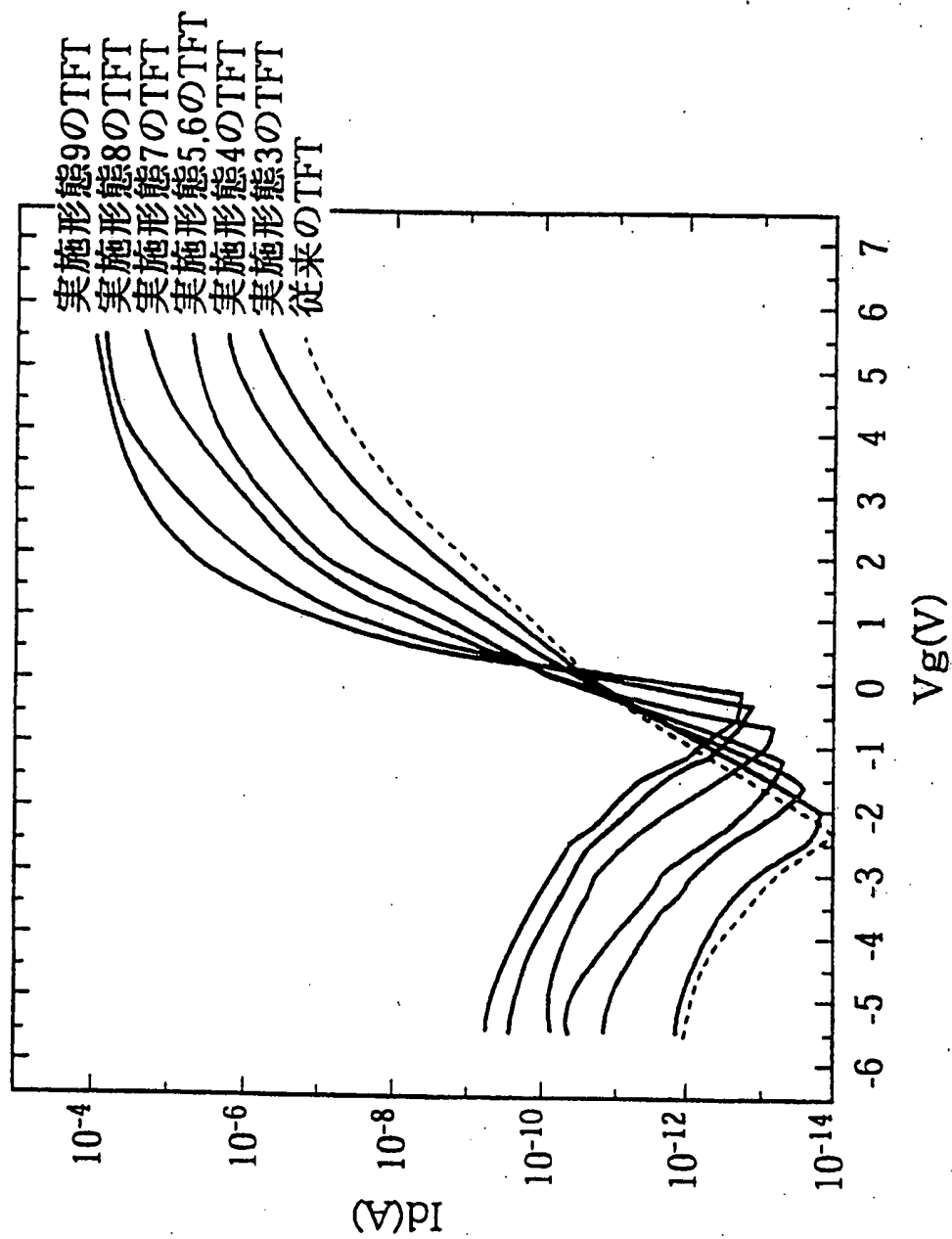


図 51

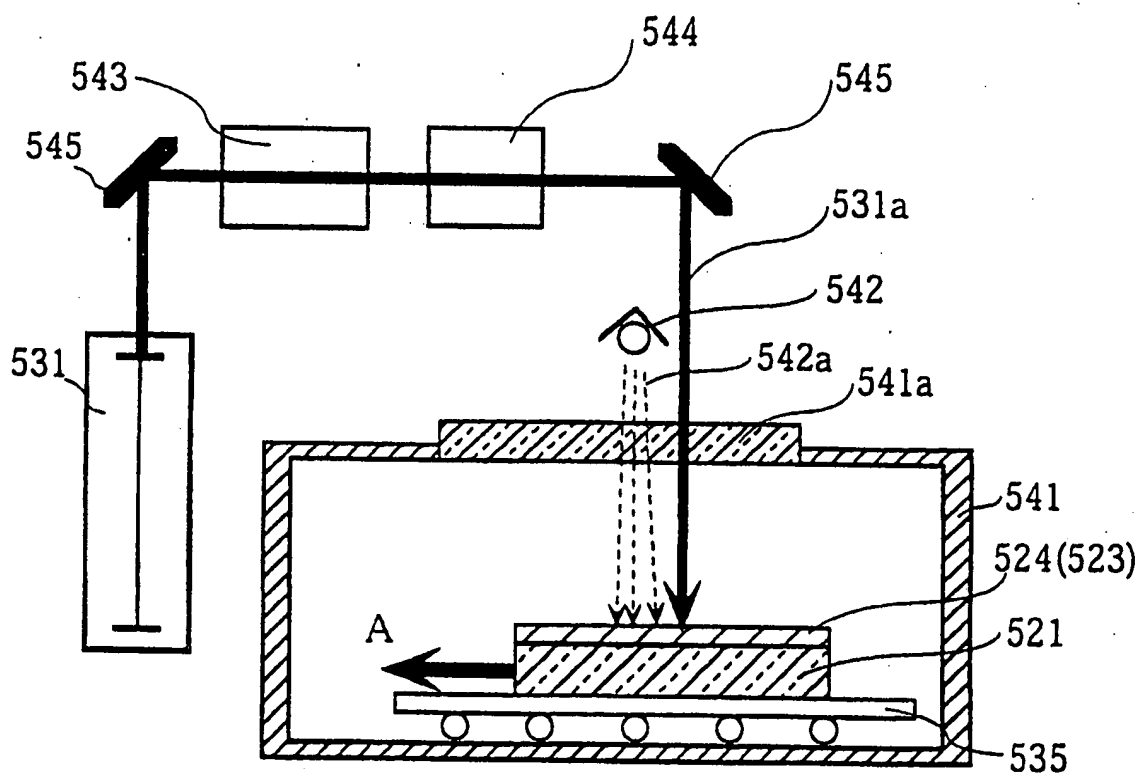


図 52

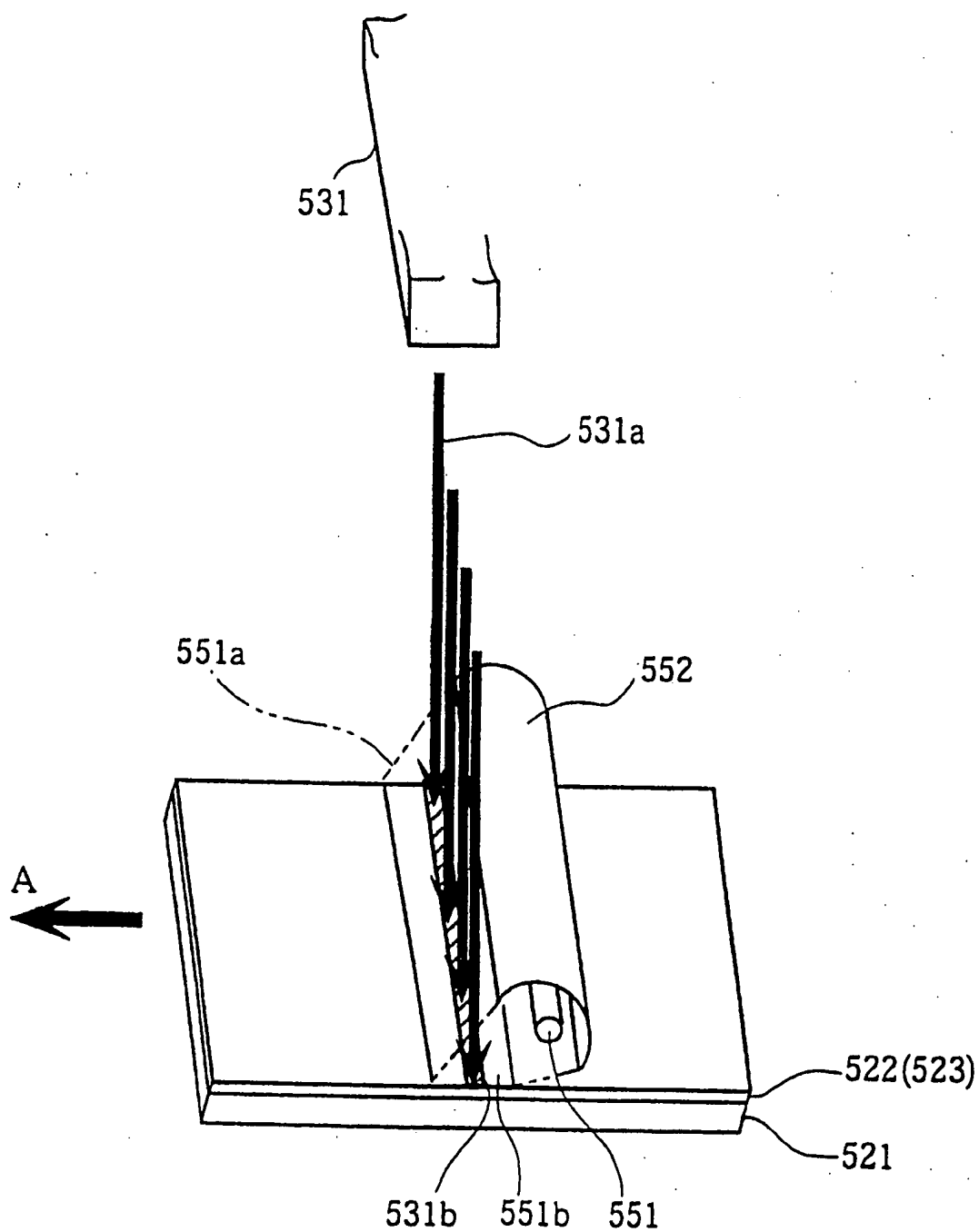


図 53

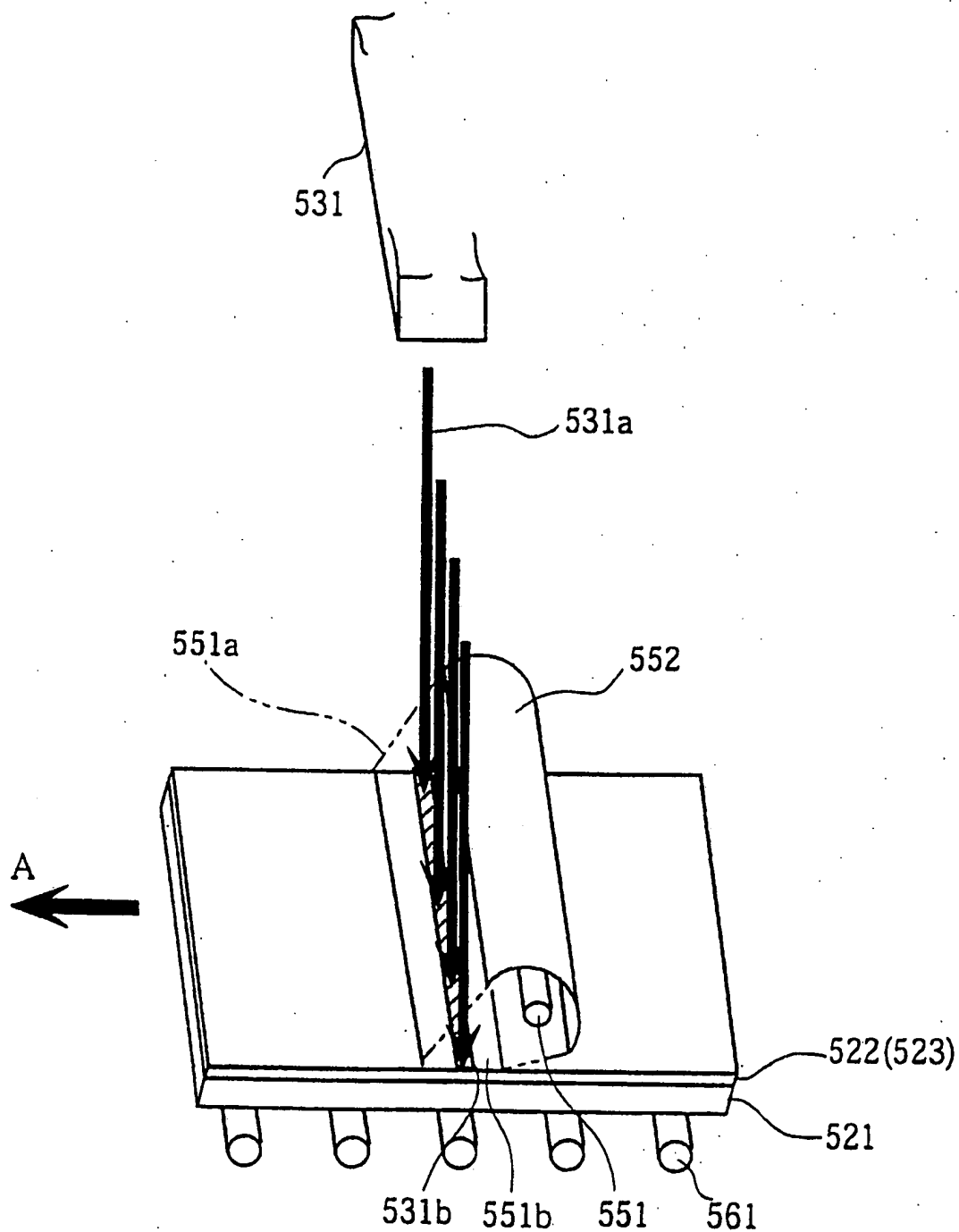


図 54

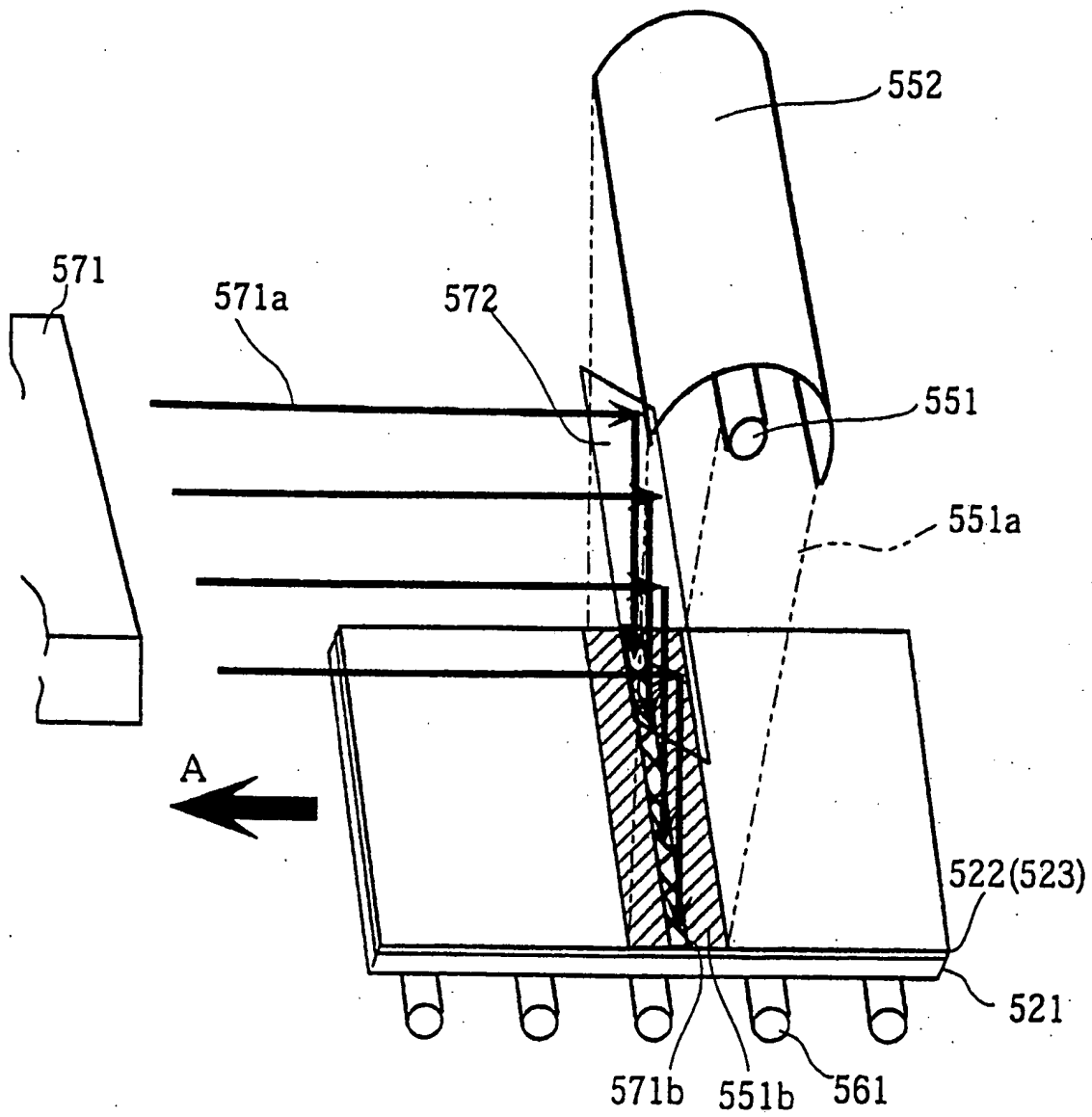


図 55

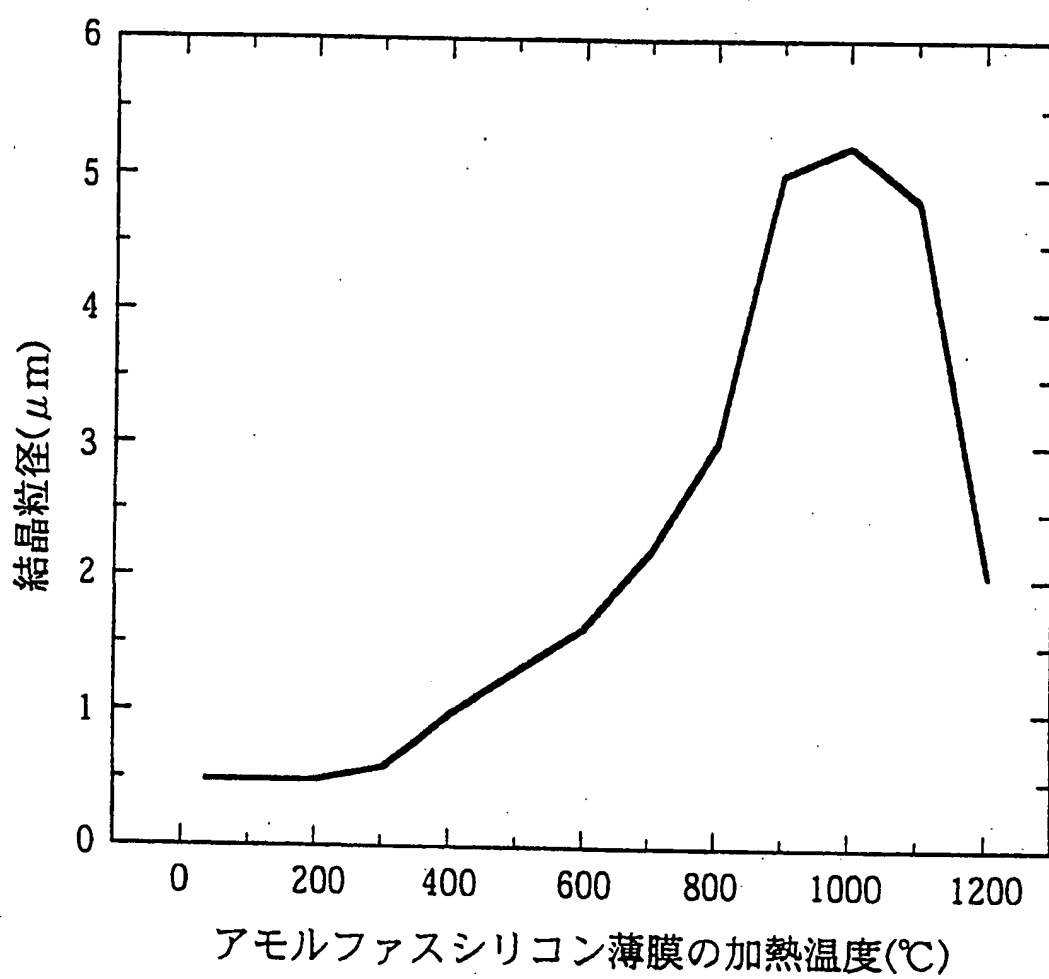
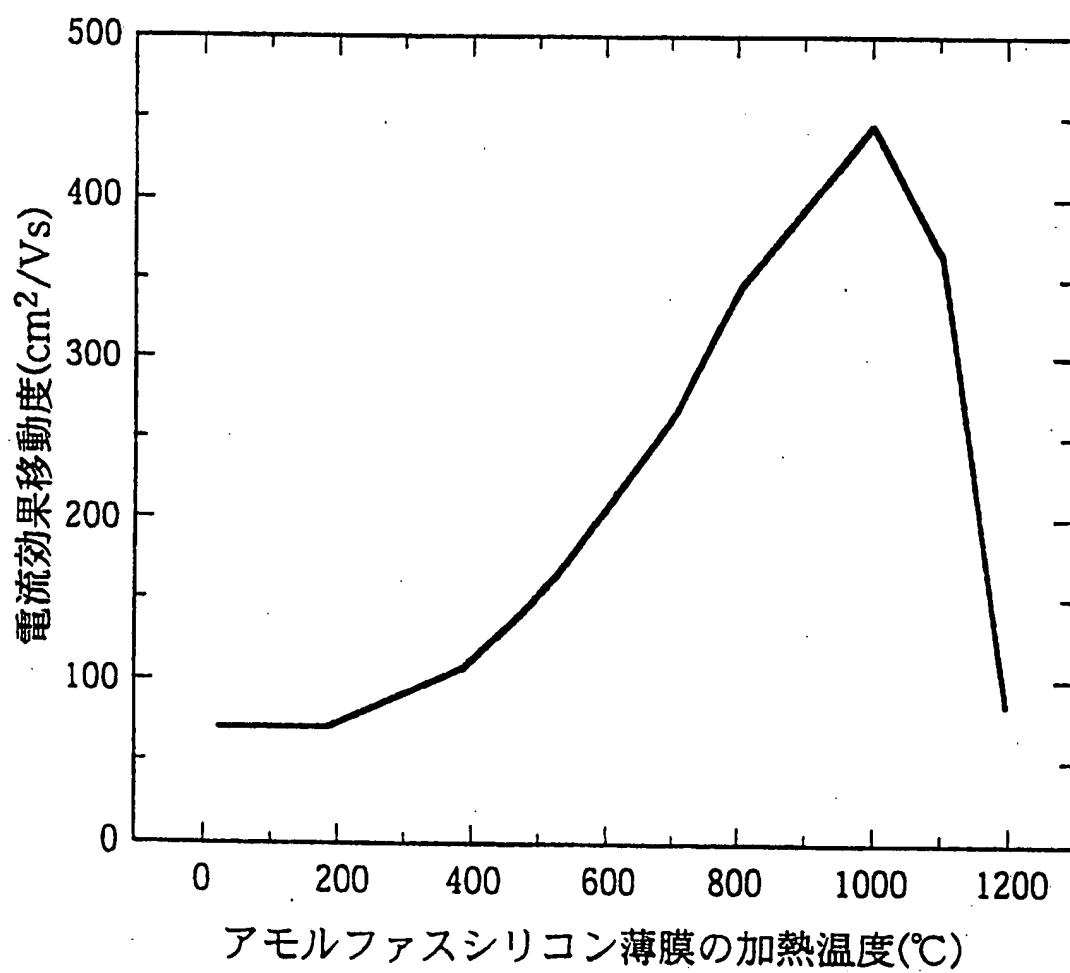
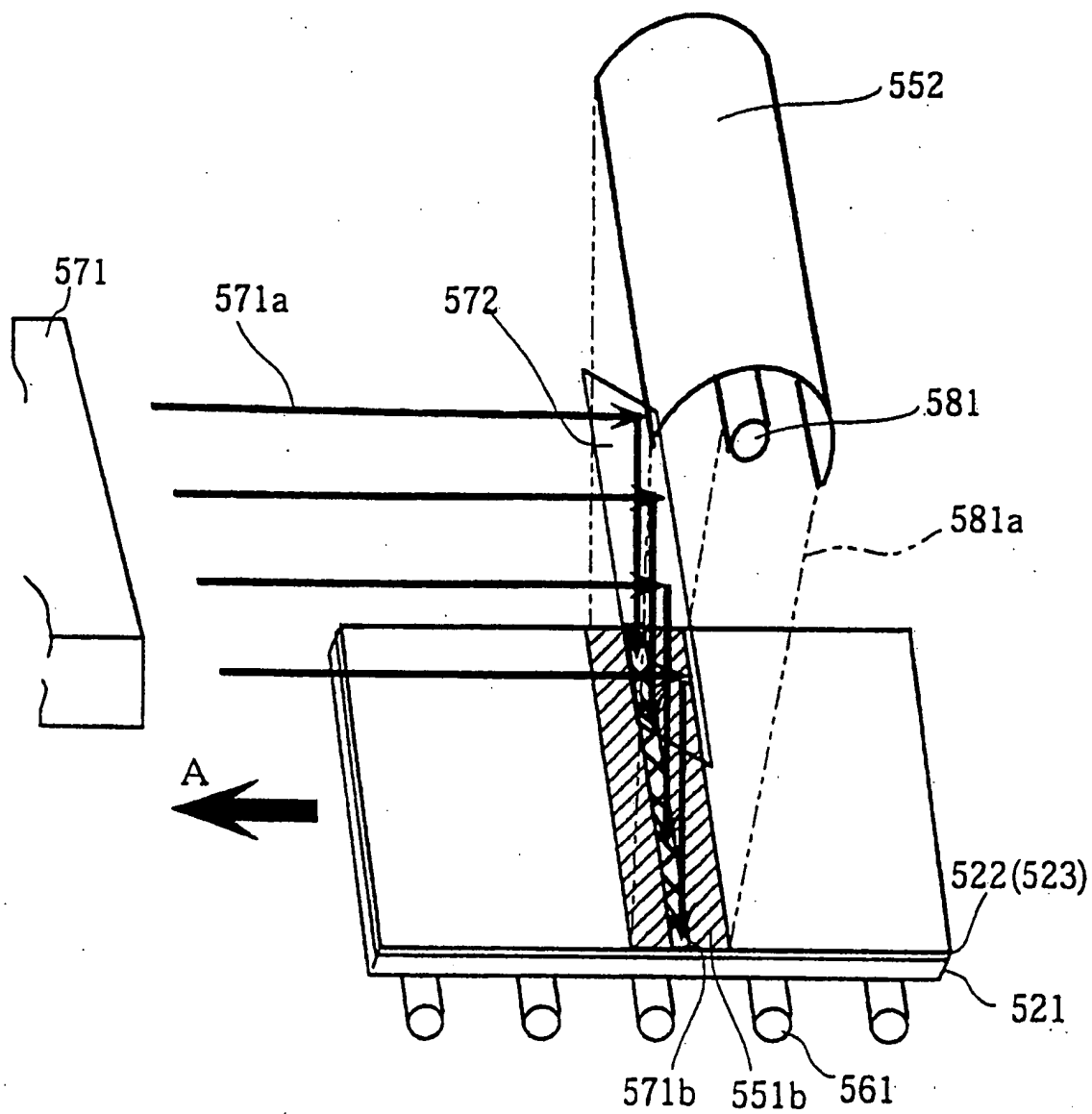
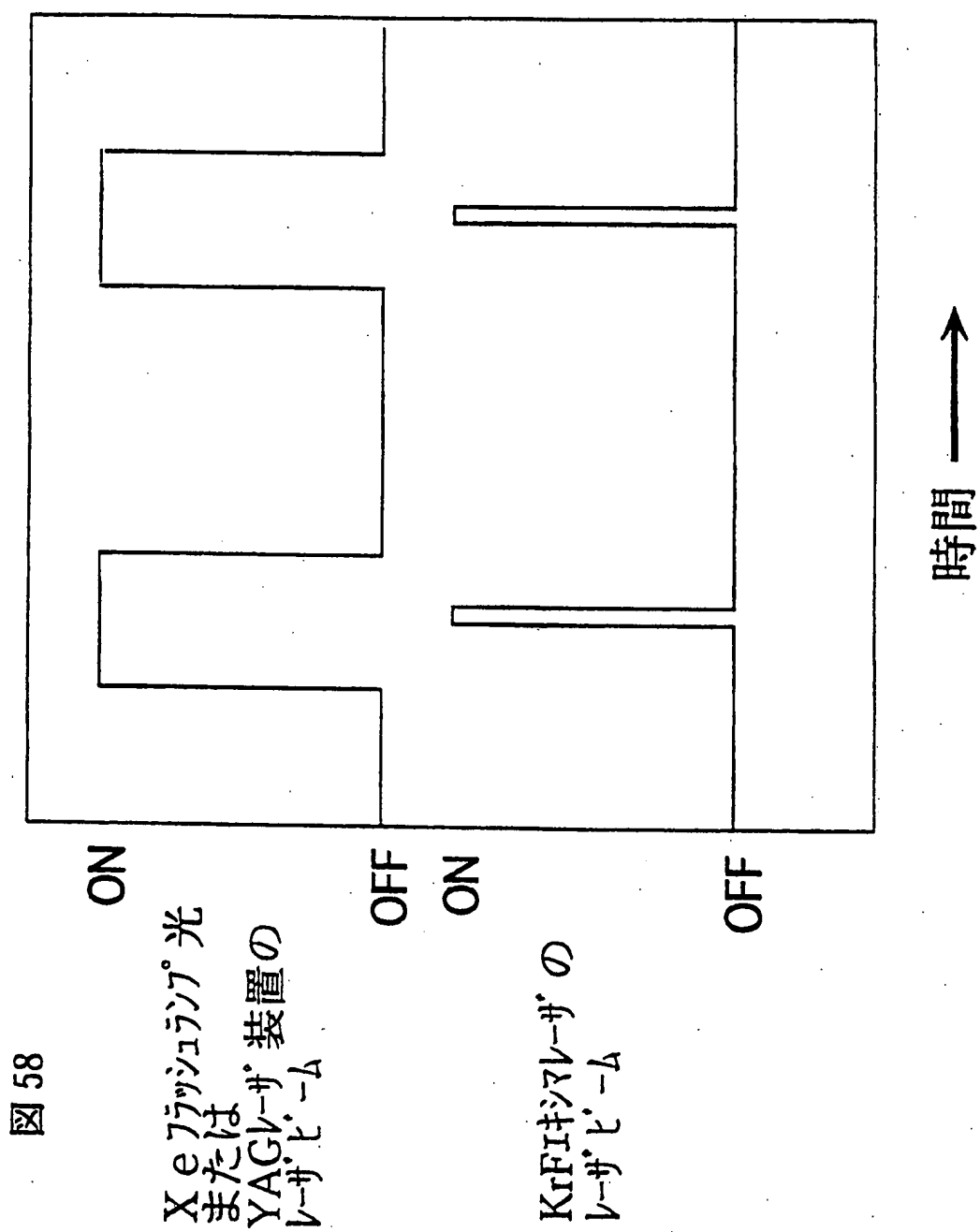


図 56



57





59

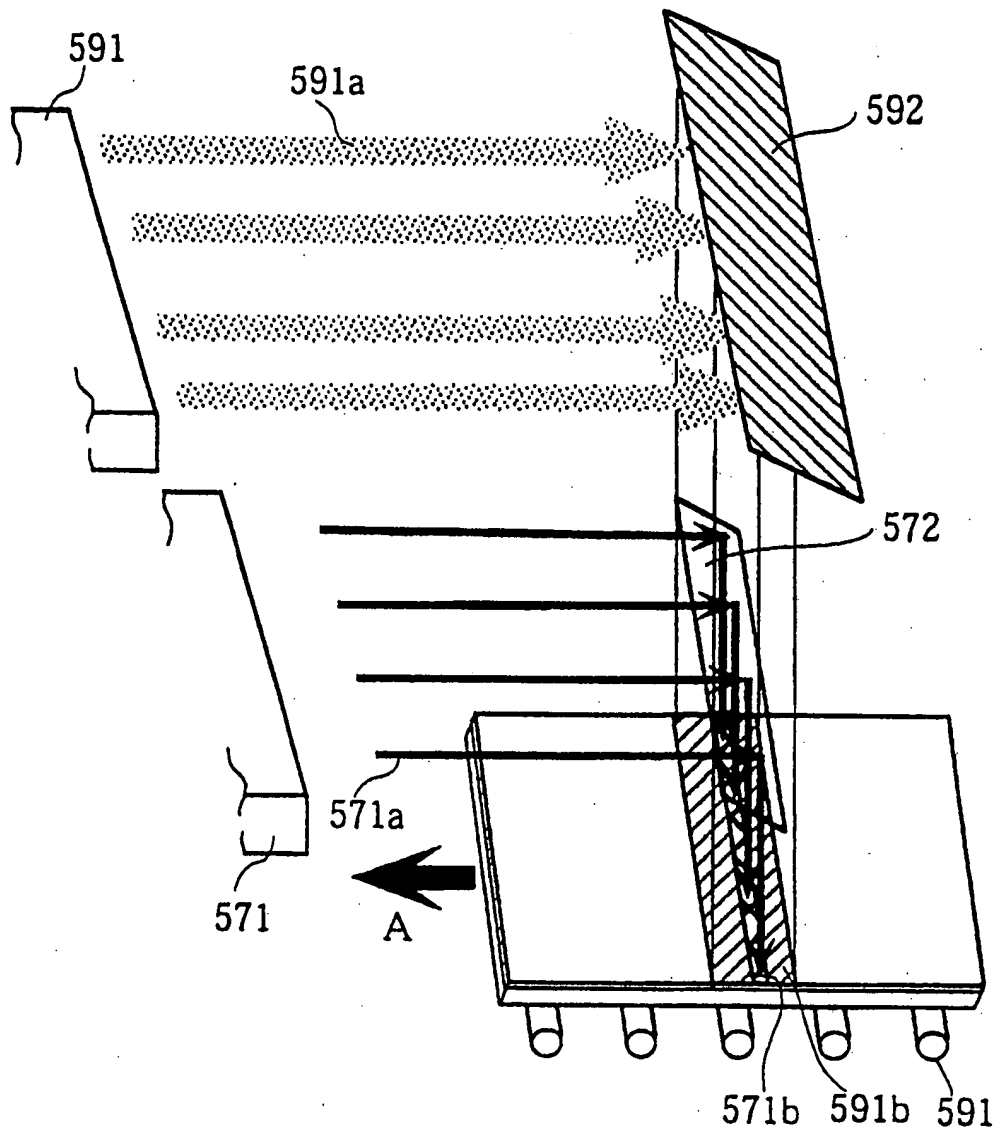


図 60

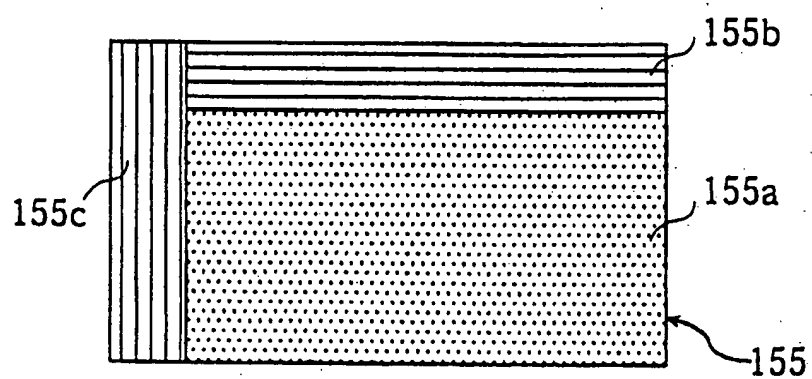


図 61

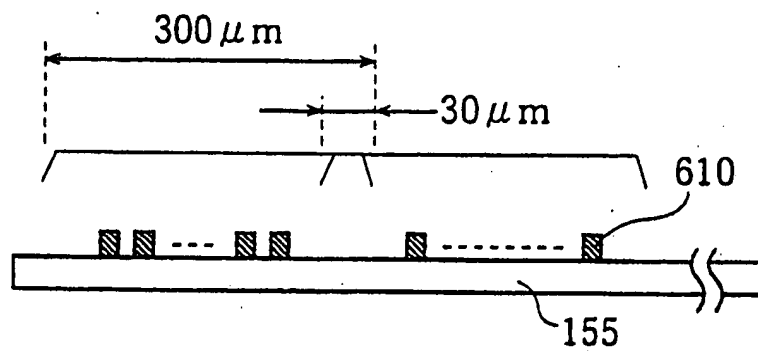


図 62

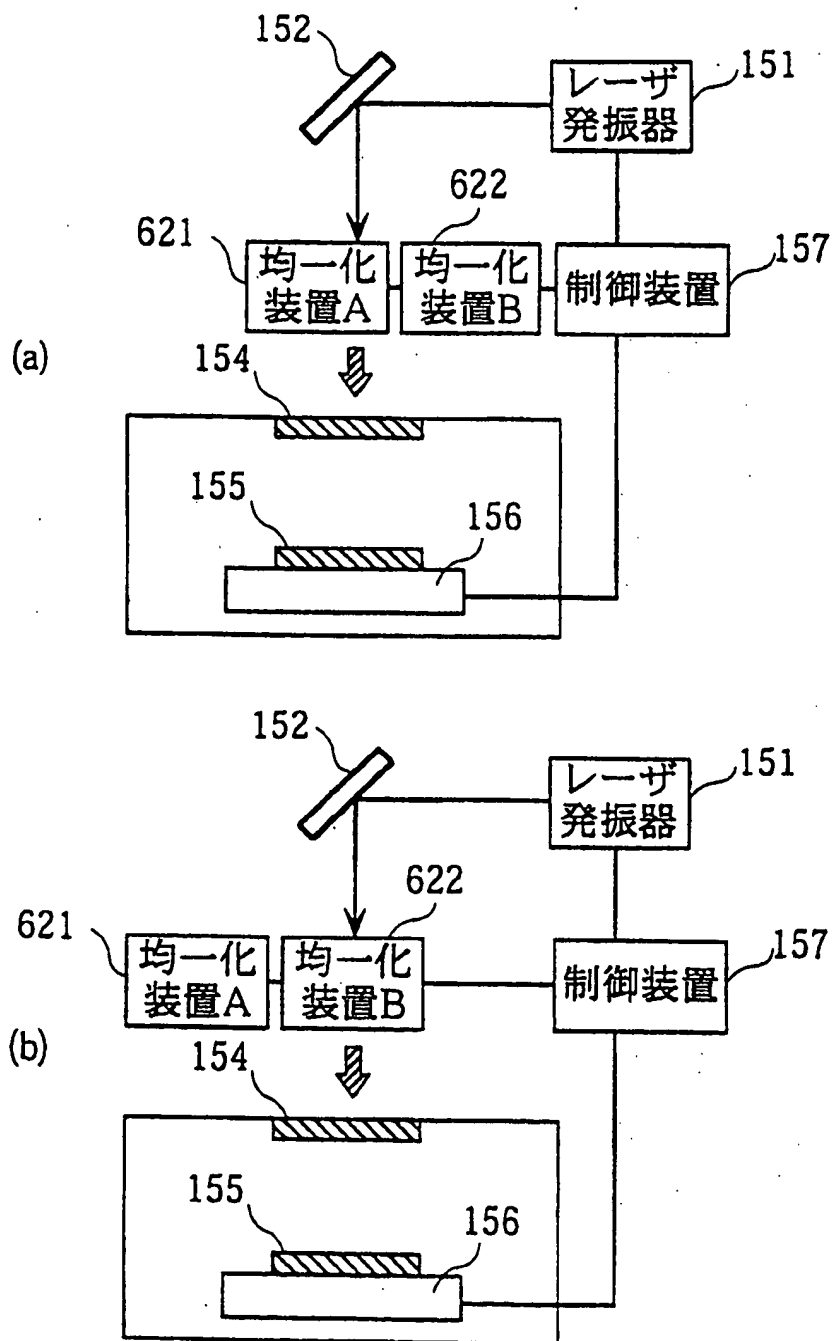


図 63

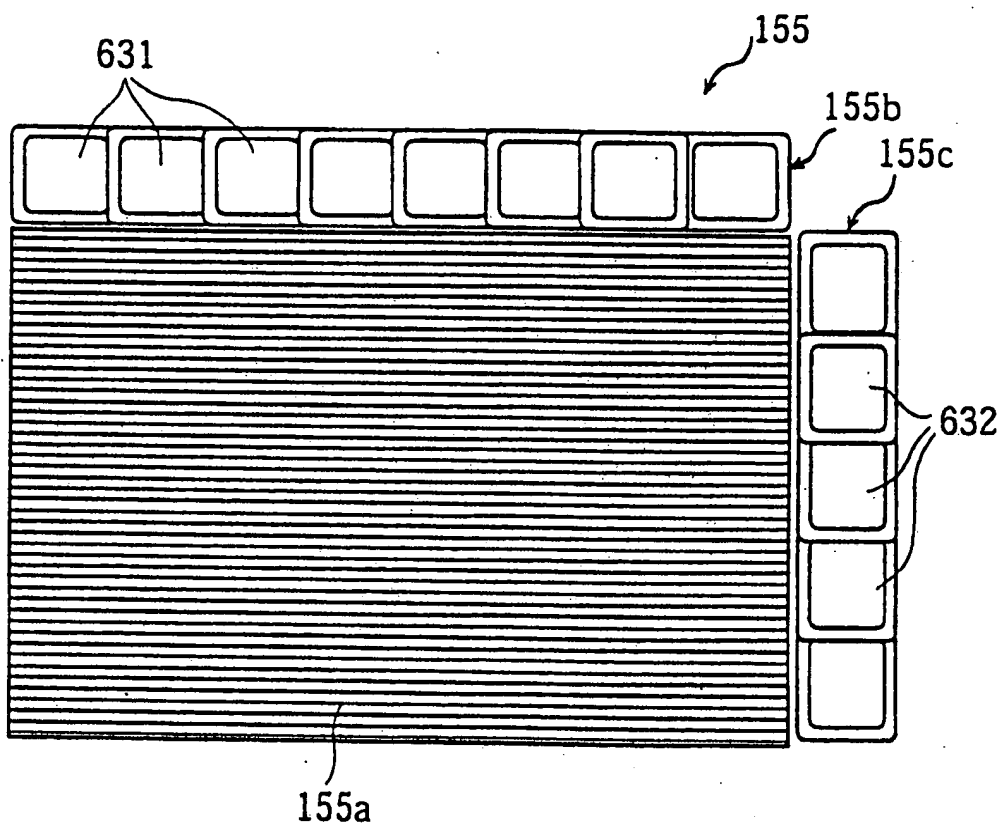


図 64

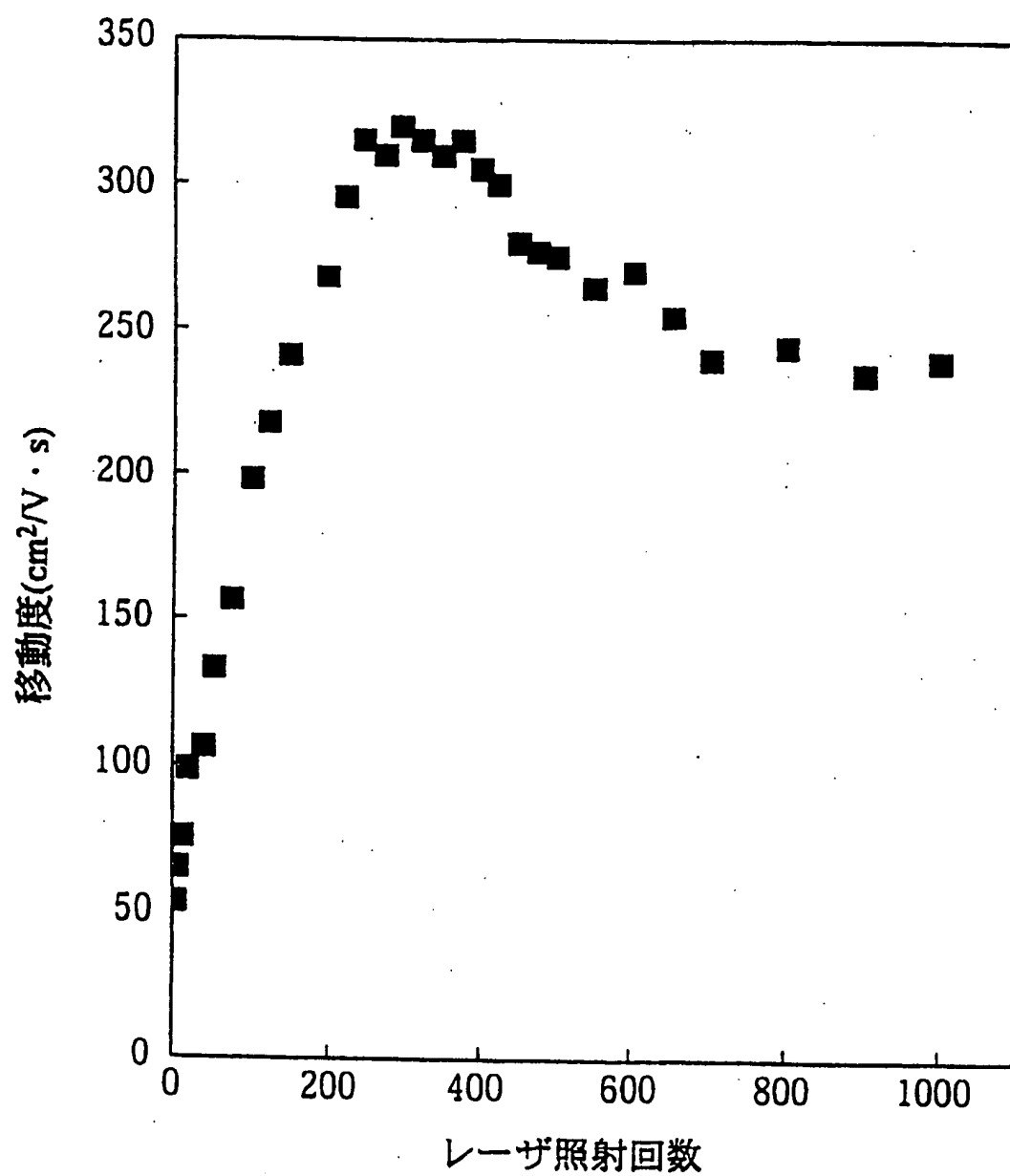
エネルギー密度 $400\text{mJ}/\text{cm}^2$ 

図 65

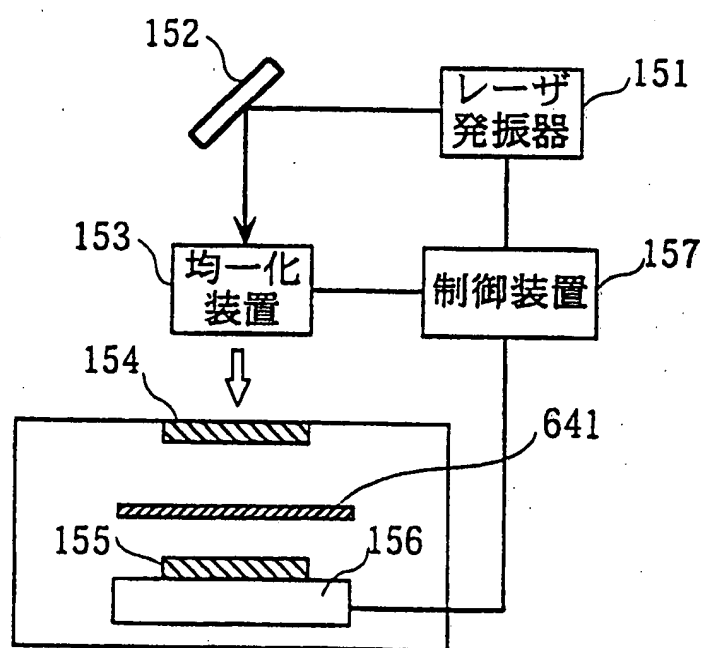


図 66

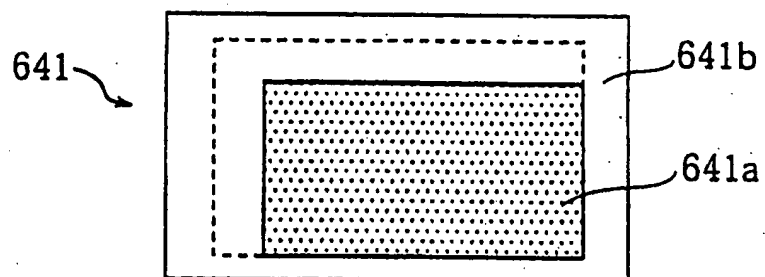


図 67

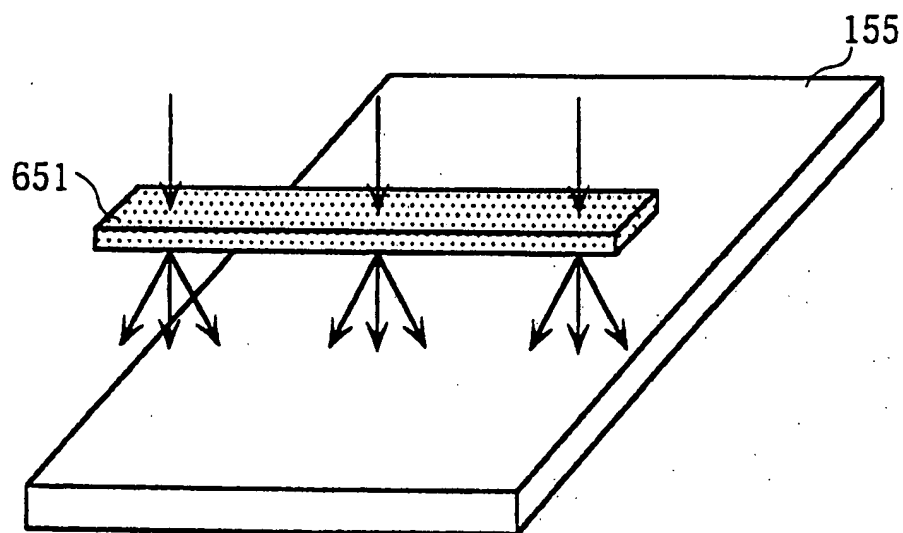
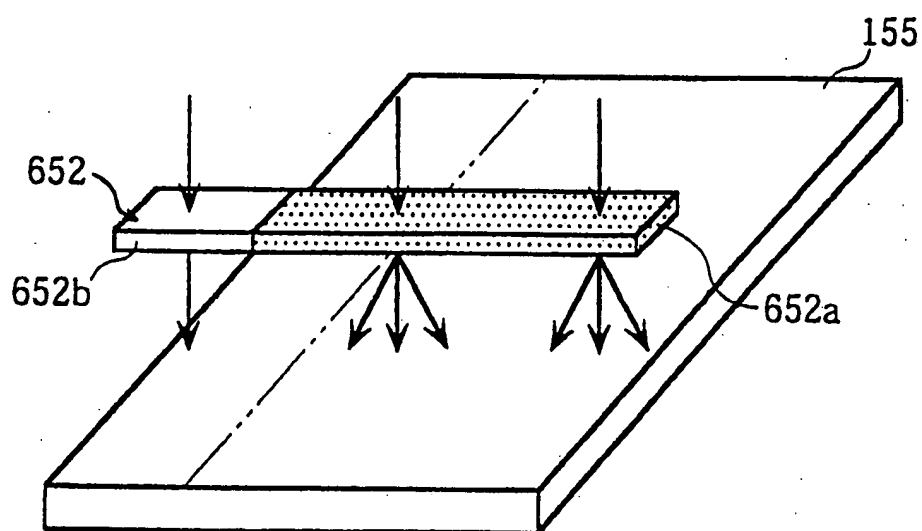


図 68



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05701

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/20, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L21/20, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 63-31108, A (Citizen Watch Co., Ltd.), 9 February, 1988 (09. 02. 88) (Family: none)	1-7, 10, 11
Y		8, 9
Y	JP, 6-177034, A (Sony Corp.), 24 June, 1994 (24. 06. 94) & US, 5663579, A	8, 9
X	JP, 59-161014, A (Seiko Instruments Inc.), 11 September, 1984 (11. 09. 84) (Family: none)	12, 13, 17-25
Y	JP, 58-178565, A (Matsushita Electric Industrial Co., Ltd.), 19 October, 1983 (19. 10. 83) (Family: none)	26-28, 33-35
Y	JP, 60-195976, A (Nippon Telegraph & Telephone Corp.), 4 October, 1985 (04. 10. 85) (Family: none)	26-28, 33-35
Y	JP, 2-206173, A (NEC Corp.), 15 August, 1990 (15. 08. 90) (Family: none)	26-28, 33-35

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
12 March, 1999 (12. 03. 99)

Date of mailing of the international search report
23 March, 1999 (23. 03. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-290924, A (Ricoh Co., Ltd.), 20 December, 1991 (20. 12. 91) (Family: none)	26-28, 33-35
Y	JP, 62-47113, A (Sony Corp.), 28 February, 1987 (28. 02. 87) (Family: none)	26-28, 33-35
X	JP, 4-373171, A (Canon Inc.), 25 December, 1992 (25. 12. 92) (Family: none)	29-32, 36-39
X	JP, 62-3089, A (Nippon Kogaku K.K.), 9 January, 1987 (09. 01. 87) (Family: none)	40, 42, 43
A	JP, 8-51074, A (Sanyo Electric Co., Ltd.), 20 February, 1996 (20. 02. 96) (Family: none)	40, 41
X	JP, 3-22409, A (Fujitsu Ltd.), 30 January, 1991 (30. 01. 91) (Family: none)	45, 46
X	JP, 3-222324, A (Fujitsu Ltd.), 1 October, 1991 (01. 10. 91) (Family: none)	45, 46
X	JP, 8-293466, A (Sharp Corp.),	47-85
Y	5 November, 1996 (05. 11. 96) (Family: none)	47-85
X	JP, 9-82662, A (Sony Corp.),	47-85
Y	28 March, 1997 (28. 03. 97) & US, 5767003, A	47-85
X	JP, 6-29212, A (Sony Corp.),	47-85
Y	4 February, 1994 (04. 02. 94) (Family: none)	47-85
X	JP, 9-199417, A (Seiko Epson Corp.),	47-85
Y	31 July, 1997 (31. 07. 97) (Family: none)	47-85
X	JP, 6-163406, A (Ricoh Co., Ltd.),	47-85
Y	10 June, 1994 (10. 06. 94) (Family: none)	47-85
X	JP, 5-21339, A (Ricoh Co., Ltd.),	47-85
Y	29 January, 1993 (29. 01. 93) (Family: none)	47-85
X	JP, 8-83765, A (Sanyo Electric Co., Ltd.),	47-85
Y	26 March, 1996 (26. 03. 96) (Family: none)	47-85
X	JP, 9-213651, A (Sharp Corp.),	47-85
Y	15 August, 1997 (15. 08. 97) (Family: none)	47-85
X	JP, 57-194217, A (Tokyo Shibaura Electric Co., Ltd.),	47-85
Y	29 June, 1982 (29. 06. 82) (Family: none)	47-85
X	JP, 4-124813, A (Hitachi, Ltd.),	47-85
Y	24 April, 1992 (24. 04. 92) (Family: none)	47-85
X	JP, 6-177033, A (Toshiba Corp.),	47-85
Y	24 June, 1994 (24. 06. 94) (Family: none)	47-85

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 9-162121, A (Fujitsu Ltd.),	47-85
Y	20 June, 1997 (20. 06. 97) (Family: none)	47-85
X	JP, 4-365316, A (Sony Corp.),	47-85
Y	17 December, 1992 (17. 12. 92) (Family: none)	47-85
X	JP, 8-227855, A (Semiconductor Energy Laboratory	86-97
Y	Co., Ltd.),	86-97
	3 September, 1996 (03. 09. 96) (Family: none)	
X	JP, 9-293687, A (Mitsubishi Electric Corp.),	86-97
Y	11 November, 1997 (11. 11. 97) (Family: none)	86-97
X	JP, 6-208133, A (Tokyo Electron Ltd.),	86-97
Y	26 July, 1994 (26. 07. 94)	86-97
	& EP, 598394, A & CN, 1088002, A	
	& US, 5413958, A	

国際調査報告

国際出願番号 PCT/J P 98/05701

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/20, H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/20, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-1999年

日本国登録実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 63-31108, A (シチズン時計株式会社)	1-7,
Y	09. 2月. 1988 (09. 02. 88) (ファミリーなし)	10, 11
Y	J P, 6-177034, A (ソニー株式会社)	8, 9
	24. 6月. 1994 (24. 06. 94)	
	&US, 5663579, A	8, 9
X	J P, 59-161014, A (セイコー電子工業株式会社)	12, 13,
	11. 9月. 1984 (11. 09. 84) (ファミリーなし)	17-25

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12. 03. 99

国際調査報告の発送日

23.03.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎園子

印

4M

9277

電話番号 03-3581-1101 内線 3444

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 58-178565, A (松下電器産業株式会社) 19. 10月. 1983 (19. 10. 83) (ファミリーなし)	26-28, 33-35
Y	JP, 60-195976, A (日本電信電話株式会社) 4. 10月. 1985 (04. 10. 85) (ファミリーなし)	26-28, 33-35
Y	JP, 2-206173, A (日本電気株式会社) 15. 8月. 1990 (15. 08. 90) (ファミリーなし)	26-28, 33-35
Y	JP, 3-290924, A (株式会社リコー) 20. 12月. 1991 (20. 12. 91) (ファミリーなし)	26-28, 33-35
Y	JP, 62-47113, A (ソニー株式会社) 28. 2月. 1987 (28. 02. 87) (ファミリーなし)	26-28, 33-35
X	JP, 4-373171, A (キャノン株式会社) 25. 12月. 1992 (25. 12. 92) (ファミリーなし)	29-32, 36-39
X	JP, 62-3089, A (日本光学工業株式会社) 9. 1月. 1987 (09. 01. 87) (ファミリーなし)	40, 42, 43
A	JP, 8-51074, A (三洋電機株式会社) 20. 2月. 1996 (20. 02. 96) (ファミリーなし)	40, 41
X	JP, 3-22409, A (富士通株式会社) 30. 1月. 1991 (30. 01. 91) (ファミリーなし)	45, 46
X	JP, 3-222324, A (富士通株式会社) 1. 10月. 1991 (01. 10. 91) (ファミリーなし)	45, 46
X Y	JP, 8-293466, A (シャープ株式会社) 5. 11月. 1996 (05. 11. 96) (ファミリーなし)	47-85 47-85
X Y	JP, 9-82662, A (ソニー株式会社) 28. 3月. 1997 (28. 03. 97) &US, 5767003, A	47-85 47-85
X Y	JP, 6-29212, A (ソニー株式会社) 4. 2月. 1994 (04. 02. 94) (ファミリーなし)	47-85 47-85
X Y	JP, 9-199417, A (セイコーエプソン株式会社) 31. 7月. 1997 (31. 07. 97) (ファミリーなし)	47-85 47-85
X Y	JP, 6-163406, A (株式会社リコー) 10. 6月. 1994 (10. 06. 94) (ファミリーなし)	47-85 47-85
X Y	JP, 5-21339, A (株式会社リコー) 29. 1月. 1993 (29. 01. 93) (ファミリーなし)	47-85 47-85
X Y	JP, 8-83765, A (三洋電機株式会社) 26. 3月. 1996 (26. 03. 96) (ファミリーなし)	47-85 47-85
X Y	JP, 9-213651, A (シャープ株式会社) 15. 8月. 1997 (15. 08. 97) (ファミリーなし)	47-85 47-85

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 57-194217, A (東京芝浦電気株式会社) 29. 6月. 1982 (29. 06. 82) (ファミリーなし)	47-85 47-85
X Y	JP, 4-124813, A (株式会社日立製作所) 24. 4月. 1992 (24. 04. 92) (ファミリーなし)	47-85 47-85
X Y	JP, 6-177033, A (株式会社東芝) 24. 6月. 1994 (24. 06. 94) (ファミリーなし)	47-85 47-85
X Y	JP, 9-162121, A (富士通株式会社) 20. 6月. 1997 (20. 06. 97) (ファミリーなし)	47-85 47-85
X Y	JP, 4-365316, A (ソニー株式会社) 17. 12月. 1992 (17. 12. 92) (ファミリーなし)	47-85 47-85
X Y	JP, 8-227855, A (株式会社半導体エネルギー研究所) 3. 9月. 1996 (03. 09. 96) (ファミリーなし)	86-97 86-97
X Y	JP, 9-293687, A (三菱電機株式会社) 11. 11月. 1997 (11. 11. 97) (ファミリーなし)	86-97 86-97
X Y	JP, 6-208133, A (東京エレクトロン株式会社) 26. 7月. 1994 (26. 07. 94) &EP, 598394, A &CN, 1088002, A &US, 5413958, A	86-97 86-97

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-176757

(43)公開日 平成7年(1995)7月14日

(51)IntCl ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/786				
21/205				
21/268	Z			
21/324	Z			
		9056-4M		
			H01L 29/78	311 H
			審査請求 有	請求項の数3 FD (全5頁)

(21)出願番号 特願平5-344959

(22)出願日 平成5年(1993)12月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 児玉 紀行

東京都港区芝五丁目7番1号 日本電気株式会社内

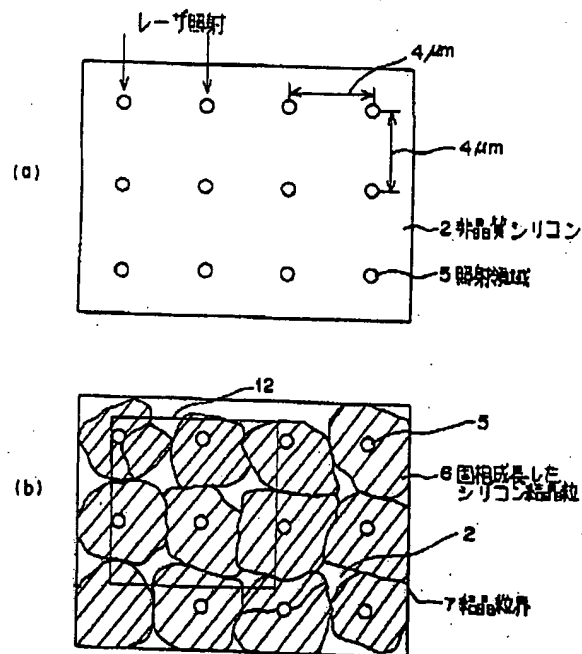
(74)代理人 弁理士 館野 千恵子

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 選択核形成法による核形成、固相成長による多結晶シリコンの大粒径化を、リソグラフィ法を用いずに、簡易に行う。

【構成】 基板上的非晶質シリコン2に回折格子を用いてXeClエキシマレーザを格子点状に照射する(照射領域5)。その後、窒素雰囲気中、600度の熱処理をし、固相成長を行うことにより微結晶5を核として結晶粒が成長する。選択核形成法を用いない場合は、結晶粒径1~2μm程度であるが、本発明では結晶粒径は最大4μm程度が得られ、これをチャンネル領域とする薄膜トランジスタの移動度を80cm²/Vsから150cm²/Vsに向上できた。



【特許請求の範囲】

【請求項1】 非晶質半導体膜上に、特定の周期でドット状あるいはストライプ状に局部的に熱処理を施して結晶核を形成させた後、膜全体に熱処理を施して固相成長させて得られた多結晶半導体膜をチャンネル形成領域とすることを特徴とする薄膜トランジスタの製造方法。

【請求項2】 ドット状あるいはストライプ状の局所的な熱処理は、エネルギー光線を格子点状に加工して非晶質半導体膜に照射することにより行う請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 ドット状あるいはストライプ状の局所的な熱処理は、エネルギー光線を集束させて非晶質半導体膜の周期的な位置に照射することにより行う請求項1記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタは、石英ガラス等の絶縁基板上にシリコン等の半導体薄膜を形成し、チャンネルが形成されるチャンネル形成領域、ソース、ドレイン領域を形成し、MOS型のトランジスタを構成する半導体装置である。多結晶半導体膜をチャンネル形成領域とする薄膜トランジスタは絶縁基板上に容易に形成できることから、SRAMの負荷素子として、あるいは液晶表示装置のスイッチングトランジスタ、駆動回路等として幅広く応用されている。しかし、チャンネル形成領域の結晶粒界がトランジスタ特性を大きく低下させているので、結晶粒の大粒径化、あるいは結晶粒径、結晶粒の位置を制御する手法が広く検討されている。

【0003】結晶粒の位置を制御する1つの方法として、特開昭60-37721号公報に開示されているような量子アニール法と呼ばれる方法がある。この方法は、レーザ光などのエネルギー光線を微細な図形に加工した光線を非晶質半導体層に照射することにより、非晶質半導体膜あるいは多結晶半導体膜を結晶化し、結晶粒の位置を制御する試みである。

【0004】また、結晶粒径を制御する試みとして、図6に示すような選択核形成法がある。以降、図6を参照しながら選択核形成法について説明する。石英基板等の絶縁基板1上にジシランガスを用い、475℃程度で減圧化学成長法により非晶質シリコン2を形成する。その後、保護酸化膜3を50nm堆積し、次いでレーザの遮光膜としてシリコン膜4を200nmスパッタ後、スパッタシリコン膜の特定部分に1μm以下の窓を開く（図6(a)）。この後、XeClエキシマレーザを照射する。このレーザ光では、シリコン膜での吸収係数が非常に高いので、開口部の非晶質シリコン表面部分のみがアニールされて、この領域に、微結晶シリコン核5が

数個形成される。次に、スパッタシリコン膜4、保護酸化膜3を除去した後、600℃の窒素中で熱処理すると、シードとなる微結晶5の周囲に結晶化した領域6が広がる（図6(b)）。シード領域の結晶粒の中で、成長速度の速いものを選択的に非晶質領域に広がるので、基本的には、単一あるいは2個程度の結晶粒がシード領域から発生・成長してゆくと考えて良い。このようにして膜全体の結晶化を完了させる。以上の工程は選択核形成法と呼ばれている。この方法により、結晶粒の位置を任意の場所に設定できる。また、結晶粒径はシード部分以外の核発生により制限されるが、諸条件を最適化することにより結晶粒径は4~5μmとなり、従来の固相成長法で形成した多結晶シリコンの結晶粒径である1~2μmに比べてはるかに大きくできる。

【0005】その後、単結晶領域に薄膜トランジスタを以降の工程により形成する。まず、チャンネル形成領域12を基本的には単一の結晶粒となる位置にパターンニングして形成後、ゲート酸化膜8及び多結晶シリコンを堆積した後に、リン拡散法により低抵抗化し、パターンニングしてゲート電極9を形成する。イオン注入により、ソース領域10、ドレイン領域11を形成する。層間膜13を堆積した後に、900℃程度の熱処理を施し、層間膜のリフロー、ソース、ドレイン領域の不純物の活性化を行う（図6(c)）。その後、コンタクトホールを開口し、アルミをスパッタリングした後にパターンニングして配線を形成し、水素雰囲気中、400℃程度で水素アロイを行い、薄膜トランジスタを完成する。作製した薄膜トランジスタは、サイズを結晶粒径以下にすることにより、基本的には、チャンネル領域に結晶粒界を含まないようにできるので、非常に高い移動度が得られる。例えば、n-chで、通常のシードを用いない方法では60cm²/Vsであったものが、この選択核成長法を用いると、150cm²/Vs以上と高移動度が得られる。

【0006】

【発明が解決しようとする課題】トランジスタサイズが結晶粒径と同程度以上の場合、1つのトランジスタのチャンネル形成領域に、数個の結晶粒が存在することは不可避である。この場合、必ずしも核形成の位置自体を制御する必要はなく、結晶粒の大粒径化、チャンネル領域内の結晶粒界の密度低減が肝要である。大粒径化の方法として、量子アニール法を用いる場合は、リソグラフィ工程を用いないので、工程は簡易ではあるが、再結晶化後、シリコン膜表面にうねり、凹凸が生じ、TFT特性の低下をもたらす。これを避けるために、非晶質シリコン上に酸化膜を堆積した後にアニールする方法が検討されているが、この方法では、酸化膜から酸素が多結晶シリコン中に拡散して、移動度を大きく低下させるという問題がある。チャンネル形成領域の単結晶化を目的とした前記のレーザ光を用いた局所アニールによる選択核

形成法では、核形成後、炉内でアニールして結晶化するために、量子アニール法で問題となるような表面荒れは起こらない。しかし、特定部分に遮光膜を設けてパターンニングするために、リソグラフィー、エッチング工程が必要であり、工程が複雑になるという問題点がある。

【0007】本発明の目的は、このような従来の問題点を解決して、非晶質シリコンの結晶化時の結晶粒径分布および結晶粒界の位置の制御をリソグラフィー法を用いることなく簡易に行い、かくしてTFT特性の向上とばらつきの低減を図ることにある。

【0008】

【課題を解決するための手段】本発明は、非晶質半導体膜上に、特定の周期でドット状あるいはストライプ状に局部的に熱処理を施して結晶核を形成させた後、膜全体に熱処理を施して固相成長させて得られた多結晶半導体膜をチャンネル形成領域とすることを特徴とする薄膜トランジスタの製造方法である。ここで、ドット状あるいはストライプ状の局部的な熱処理は、エネルギー光線を格子点状に加工して非晶質半導体膜に照射することにより行うか、あるいはエネルギー光線を集束させて非晶質半導体膜の周期的な位置に照射することにより行うことが好ましい。

【0009】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図1は本発明の一実施例を工程順に説明するための平面図、図2は本実施例により得られる薄膜トランジスタの断面図であり、同図に従って、本実施例を説明する。石英基板1上に減圧化学成長法により、ジシランを用いて、非晶質シリコン2を80nm堆積する。この後、図1(a)のように、回折格子を用いて、XeClエキシマレーザを格子状にホログラフィー加工して照射した。格子点間隔は1~8μm間隔とし(図1では4μm間隔のものを示した。)、ウェハ全面に照射するために、X方向、Y方向にビーム照射領域が重なるようにシフトして照射した。照射エネルギーは、点状の照射領域(シード領域)5に、微結晶が数個発生するように、180mJ/cm²に設定した。その後、窒素雰囲気中、600℃の熱処理により、膜全体を結晶化した。結晶化は、図1(b)のように、照射領域(シード領域)5内の微結晶シリコンを核として結晶成長させ、隣接するシードから成長してきた結晶粒6と接触したときに成長が停止する。以降の工程は、図1(b)の枠12をチャンネル形成領域とし、従来例と同様にして図2にその断面を示すような薄膜トランジスタを作製した。

【0010】本実施例で得られた薄膜トランジスタの移動度とシード間隔との関係を図3に示す。図3から明らかなように、本実施例の方法では、シード間隔3μmから7μmまで移動度が向上し、シード間隔4μm程度で移動度が最大値の140cm²/Vsとなっている。シ

ード領域間隔が広すぎると、シード領域から核発生した結晶粒6間に残された非晶質シリコン領域2から核発生した結晶粒のために、大粒径化が妨げられ、移動度の低下をもたらすと考えられる。シード領域間隔の最適値は、シード形成の方法、非晶質シリコンの形成条件、非晶質シリコン膜厚、固相成長条件等にもよるので、それらのプロセス条件の中での最適化が必要である。

【0011】以上述べたように、本実施例で述べた方法では、シード領域を4μm程度の等間隔の格子状に配置することにより、大粒径化が可能であるという特徴がある。また、この方法によれば従来例では必要であった遮光膜堆積、リソグラフィー工程、エッチング工程等の複雑な工程を必要とせず、はるかに簡易な工程で周期的なシード領域を形成できる。また、量子アニール法で問題となる表面荒れは、従来例の選択核形成法と同様に起こらない。

【0012】なお、シード形成のためのアニール工程は、集束電子線、イオンビーム等によるアニール処理を適用してもよい。また、多結晶シリコン膜表面のみをレーザ照射により熔融させる方法を用いると、結晶粒径、配向性を変化させることなく、結晶粒内の結晶欠陥が低減できて、移動度が200cm²/Vs程度となり、さらにTFT特性向上が可能である。

【0013】実施例2

本発明を液晶表示装置に用いられる、駆動回路を構成するトランジスタ、及び画素部のスイッチングトランジスタに適用した例を図4を参照して説明する。下地透明基板上の画素部スイッチングトランジスタが形成される領域に、遮光膜を形成し、下地酸化膜を堆積した後に、実施例1と同様の条件で、非晶質シリコン膜を堆積する。その後、周辺駆動回路を構成するトランジスタ及び画素部トランジスタに集束電子線を照射して核形成を行った。駆動回路を構成するトランジスタはゲート長8μm、画素部のトランジスタはゲート長8μm、オフセット長1μmとする。駆動回路トランジスタでは、核間距離は実施例1で述べたように3~7μmに設定し、ソース端部には結晶粒界が存在し、ドレイン端部に結晶粒界が存在しない図4(a)の枠12の位置になるように核形成位置を定めた。画素部トランジスタでは、ゲート端部が1つの結晶となる図4(b)の枠16の位置になるように核形成した。核形成は、すべての画素部トランジスタに核形成が行われるように、画素部トランジスタの配置周期50μmで、画素全領域間隔に核形成した。なお、ウェハの位置合わせは、遮光膜の層の目合わせマークを用いて行った。以降の工程は、従来の薄膜トランジスタと同様である。アルミ配線形成後に、プラズマ水素処理を行った。

【0014】本実施例の駆動回路を構成するトランジスタの出力特性を図5に示す。図中、(a)は従来例によって結晶粒界の位置を制御することなくアニールを行っ

た場合、(b)は本実施例による場合を示す。特性を比較してわかるように、移動度の増加に伴い、オン電流が増加しているだけでなく、ソース、ドレイン間耐圧が向上している。これは、アバランシェ降伏の原因となるドレイン接合部の結晶粒界の密度が低減できたこと、また、ソース接合部の結晶粒界の密度を増やすことにより、キャリアのライフタイムを短くして、寄生バイポーラ効果を低減できたためと考えられる。画素部トランジスタでは、オン電流の増加だけではなく、リーク電流が0.3 pAから本実施例の方法により、0.1 pA以下に低減できた。これは、ドレイン側接合部の結晶粒界の密度が低減できたためと考えられる。

【0015】

【発明の効果】以上説明したように、本発明は、非晶質半導体層を結晶化する際に、非晶質半導体層上の特定の周期で局所的に熱処理を施した後に、膜全体に熱処理を施して固相成長を行って形成する方法を用いて、局所的に熱処理した部分からの核発生・核成長を促すことにより、結晶粒が大粒径化でき、薄膜トランジスタの移動度が向上できるという効果がある。結晶粒界の位置を制御する場合は、ソースドレイン間耐圧向上、リーク電流低減の効果も有する。また、従来の選択核形成方法では必要であったリソグラフィ工程、エッチング工程等が必要でなく、工程の簡略化ができるという効果もある。*

*【図面の簡単な説明】

【図1】本発明の実施例1の工程説明図である。

【図2】本発明の実施例1によって得られた薄膜トランジスタの断面図である。

【図3】移動度とシード間隔との関係を示す図である。

【図4】本発明の実施例2の説明図である。

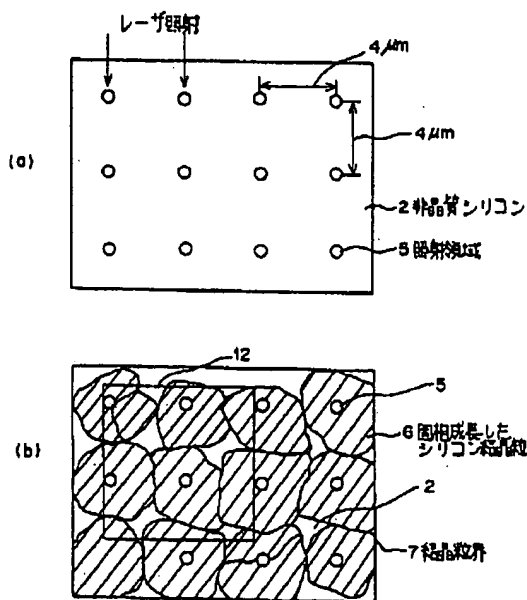
【図5】実施例2のTFTのトランジスタ特性を従来例と比較して示す図である。

【図6】従来例による選択核形成法を用いた薄膜トランジスタの工程断面図である。

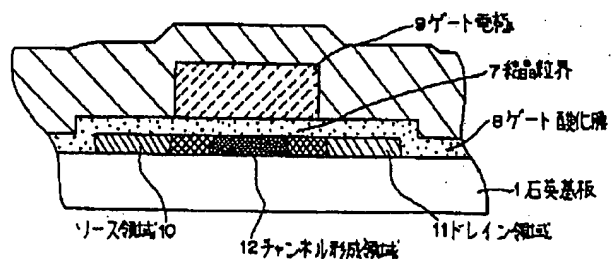
【符号の説明】

- 1 絶縁基板（石英基板）
- 2 非晶質シリコン
- 3 保護酸化膜
- 4 シリコン膜
- 5 照射領域（微結晶シリコン核）
- 6 固相成長したシリコン結晶粒
- 7 結晶粒界
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 ソース領域
- 11 ドレイン領域
- 12 チャンネル形成領域
- 13 層間膜

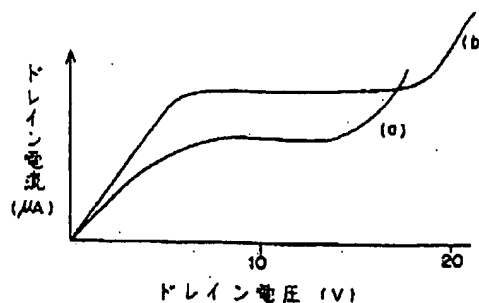
【図1】



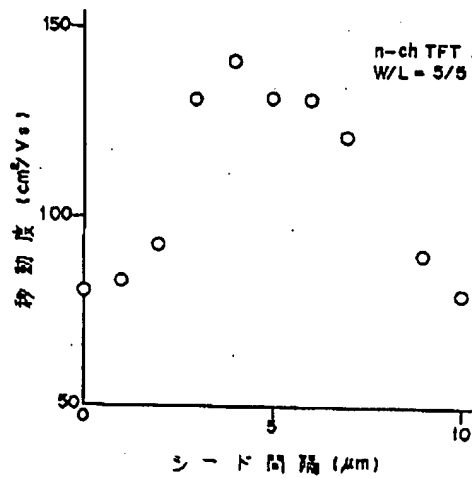
【図2】



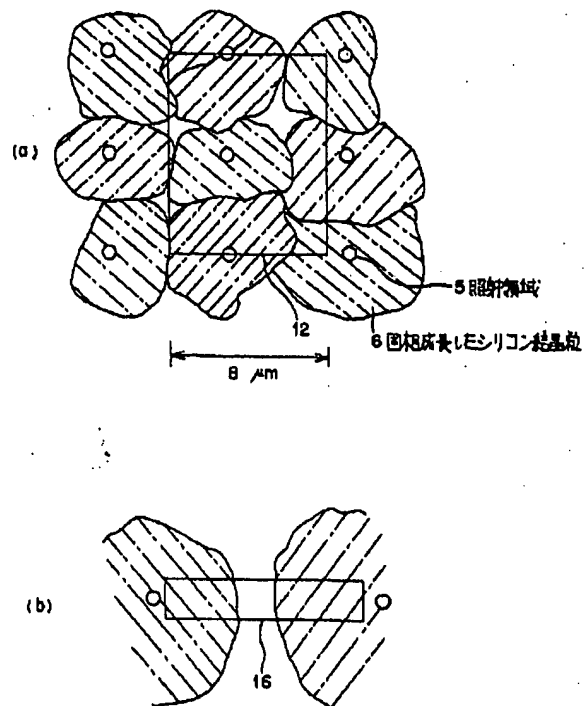
【図5】



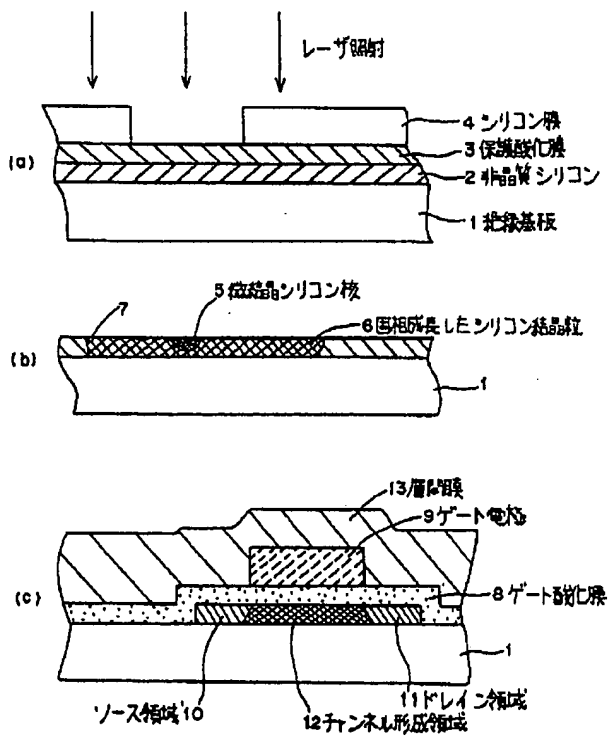
【図3】



【図4】



【図6】



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-64883

(43)公開日 平成11年(1999) 3月5日

(51)IntCl ⁵	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
H 0 1 L 21/20		H 0 1 L 21/20
29/786		29/78 6 1 8 Z
21/336		6 2 7 G

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21)出願番号 特願平9-217213

(22)出願日 平成9年(1997) 8月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 幸治

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

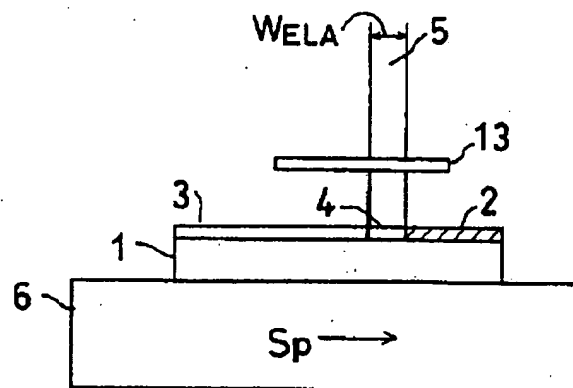
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 多結晶半導体薄膜の製造方法および製造装置

(57)【要約】

【課題】多結晶S i 薄膜トランジスタの高性能化と高均一化を実現する生産性に優れた結晶粒の大きな多結晶S i 薄膜の製造方法を提供することにある。

【解決手段】エキシマレーザービームを非晶質S i 薄膜に照射し、S i 薄膜を熔融再結晶化する方法において、S i 薄膜を照射するエキシマレーザービームの光路に、繰り返しパターンが形成されたマスクを挿入してS i 薄膜面上に照射されるビームをマスクパターンでエネルギーを変調して照射することにより、面内の平面方向の温度勾配を制御すると同時に、S i 薄膜が形成された基板をレーザー照射と同期して順次移動させて多結晶S i を形成する。



【特許請求の範囲】

【請求項 1】絶縁基板上に非晶質半導体薄膜を形成する工程と、この半導体薄膜にエネルギービームを照射して前記半導体薄膜を熔融再結晶化する多結晶半導体薄膜の製造方法において、前記エネルギービームの一部が透過する繰り返しパターンが透明板上に形成されたマスクを介して前記エネルギービームを前記半導体薄膜に照射する工程と、前記半導体薄膜上への前記エネルギービームの照射位置を変えて順次照射して前記多結晶半導体薄膜を成長させる工程とを具備することを特徴とする多結晶半導体薄膜の製造方法。

【請求項 2】前記繰り返しパターンとしてストライプ状のパターンを用いたことを特徴とする請求項 1 に記載の多結晶半導体薄膜の製造方法。

【請求項 3】前記非晶質半導体薄膜への複数のレーザービーム照射後に、前記基板を移動するシーケンスで前記半導体薄膜の多結晶化を行うことを特徴とする請求項 2 に記載の多結晶半導体薄膜の製造方法。

【請求項 4】前記非晶質半導体薄膜への複数のレーザービーム照射後に、前記基板を第 1 のピッチで移動する第 1 のシーケンスで半導体薄膜の多結晶化を行い、複数回前記第 1 のピッチで前記基板をビーム照射および移動を行った後、前記基板を第 2 のピッチで移動し、再び前記第 1 のシーケンスで前記半導体薄膜の多結晶化を行う第 2 のシーケンスにより多結晶化することを特徴とする請求項 2 に記載の多結晶半導体薄膜の製造方法。

【請求項 5】前記マスクの前記パターンが複数領域に分割されており、各領域に異なるパターンが形成されていることを特徴とする請求項 2 に記載の多結晶半導体薄膜の製造方法。

【請求項 6】複数領域に分割された前記パターンのパターンピッチに対応したピッチで、前記レーザー照射と同期して前記基板を移動して前記多結晶半導体薄膜を形成することを特徴とする請求項 5 に記載の多結晶半導体薄膜の製造方法。

【請求項 7】複数の領域に分割された前記パターンは分割されたパターン間での前記パターンの方向が異なることを特徴とする請求項 6 に記載の多結晶半導体薄膜の製造方法。

【請求項 8】マスクパターンとしてジグザグ状のストライプパターンを用いたことを特徴とする請求項 2 に記載の多結晶半導体薄膜の製造方法。

【請求項 9】前記マスクの各分割領域の前記パターンが、所定のピッチで形成されており、前記レーザー照射後の基板移動において、各分割領域のパターンが位置合わせされて設置され次のレーザー照射を行うことを特徴とする請求項 6 に記載の多結晶半導体薄膜の製造方法。

【請求項 10】前記マスクとして、前記半導体薄膜上に形成された透光性無機材料からなるストライプ状パターンを用いることを特徴とする請求項 2 に記載の多結晶半

導体薄膜形の製造方法。

【請求項 11】絶縁性基板上に形成された非晶質半導体薄膜にエネルギービームを照射して前記半導体薄膜を熔融再結晶化して多結晶半導体薄膜を形成する製造装置において、前記半導体薄膜上に配置され透明板上に前記エネルギービームを遮光するパターンを形成したマスクと、このマスクを保持する手段と、前記マスクにより変調された前記エネルギービームが前記パターンを前記半導体薄膜上で結像させる手段と、前記エネルギービームの照射と同期して前記絶縁性基板を所定のピッチで移動する手段とを有することを特徴とする多結晶半導体薄膜の製造装置。

【請求項 12】前記エネルギービームの照射と同期して前記絶縁性基板を 2 種類以上の所定のピッチで移動する手段を有することを特徴とする請求項 11 に記載の多結晶半導体薄膜の製造装置。

【請求項 13】前記マスクを透過したエネルギービームを前記半導体薄膜表面に縮小照射する機構を備えたことを特徴とする請求項 11 に記載の多結晶半導体薄膜の製造装置。

【請求項 14】前記マスクを透過したエネルギービームを前記半導体薄膜表面に等倍照射する機構を備えたことを特徴とする請求項 11 に記載の多結晶半導体薄膜の製造装置。

【請求項 15】前記エネルギービームの照射と同期して前記絶縁性基板を所定のピッチで移動すると同時に、前記絶縁性基板の合わせパターンを検出する手段と、前記エネルギービームを干渉計により基板と位置合わせを行う手段を有することを特徴とする請求項 11 に記載の多結晶半導体薄膜の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示パネルなどに用いられる薄膜トランジスタ用多結晶半導体薄膜の製造方法および製造装置に関する。

【0002】

【従来の技術】液晶表示装置は薄型・軽量であり、低電圧駆動が可能で更にカラー化も容易である等の特徴を有し、近年、パーソナルコンピュータ、ワープロなどの表示装置として利用されている。中でも各画素毎に、スイッチング素子として薄膜トランジスタ (TFT) を設けたいわゆるアクティブマトリックス型液晶表示装置は、多画素にしてもコントラスト、レスポンス等の劣化が少なく、更に、中間調表示も可能であることから、フルカラーテレビや、OA 用の表示装置として現在最適な表示方式である。

【0003】このアクティブマトリックス型液晶表示装置は、2 枚の平面ガラス基板 (アレイ基板、対向基板) と、これら基板間に挟まれた液晶層とからなる基板構成をとっている。具体的には一方のガラス基板、即ち、対

向基板上には、各画素に対応したカラーフィルター配列と、透明電極（対向電極）とが形成されており、他方のアレイ基板には、マトリックス状に配列された透明電極からなる画素電極と、各画素電極にそのソース電極が接続されたTFTが設けられている。TFTのゲート電極は、X方向に設けられたアドレス線に接続され、ドレイン電極はアドレス線と直角方向に設けられたデータ線に接続されている。

【0004】このように構成された液晶表示装置では、所定のタイミングでアドレス線、データ線にそれぞれアドレス信号、データ信号を印加することにより、各画素電極に表示に対応した電圧を選択的に印加することができる。液晶層の配向は、即ち、光透過率は、対向電極と画素電極の電位差で制御でき、これにより任意の表示が可能となる。詳細はT. P. Brodyらの文献（IEEE Trans. on Electron. Devices, Vol. ED-20, Nov., 1973, pp.995-1001）に述べられている。

【0005】従来TFTの半導体材料としては、非晶質Siや多結晶Siなどが用いられているが、特に多結晶Siを用いたアクティブマトリックス型の液晶表示装置では、ゲート線およびデータ線に駆動信号を印加する駆動回路を同一基板内に形成できるため、表示パネルの小型化や配線の接続の高い信頼性が得られるなどの利点がある。

【0006】図14は従来の多結晶Si薄膜を形成する方法を示すもので、ガラス基板1上の非晶質Siをエキシマレーザー9を用いて非晶質Si薄膜をアニール処理し多結晶Siにする方法である。レーザービーム5は均一性を高めるため、ビームホモジナイザー8を経て、光学系7で細長い長尺形状ビーム4に変換され、Si薄膜表面に照射される。非晶質Si3はレーザーエネルギーにより溶融化し、固化する過程で結晶化する。レーザーパルス幅は20〜30ナノ秒と短いため基板温度が上昇せずに結晶化できるためガラス基板1を用いることができる。ステージ6を送りピッチSpでスキャンしながらレーザーアニールすることにより基板全面に多結晶Si薄膜2を得ることができる。

【0007】図15(a)は基板1の平面図である。図15(b)はその一部の拡大図である。長尺ビーム4を照射された領域2では多結晶Si薄膜が得られる。しかしSi薄膜の溶融固化現象が極めて速いこと、多結晶Siの成長する初期核が基板内に無数に存在するため、得られる結晶粒は0.2〜0.3 μm程度であった。このため、結晶粒11の境界となる粒界が多数存在し、高いTFT特性を得ることが困難であった。このため、液晶表示装置の基板周辺に一体化形成される駆動回路を低移動度のTFTで設計しなくてはならず、かつ、高速の表示信号を処理するためには複数の並列回路を用いるなど駆動回路領域の面積が大きくなるという問題があった。さらに、高速動作が困難なため、多結晶SiTFT駆動回路

の外側に特殊な結晶Si1Cが必要であった。さらに、粒界12は欠陥を多数含んでいるため、TFTのVthのバラツキ要因となり、高精度のアナログ回路を実現することが困難であり、デジタル・アナログコンバータなど液晶表示装置をデジタル駆動するのに必要な回路を形成することができなかった。

【0008】TFT特性の改善のためには結晶粒の大きな多結晶Siの製造方法が必要となるが、図16は照射ビームの光路中5にマスク13を置きSi表面内で面内の温度勾配を作り大粒径化を行う方法である。マスク直下のSi3表面ではビームの回り込みによりマスクエッジより1 μm程度以下のSi42が溶融するがエネルギーが少ないため、領域44に比べ温度が低く面内で局所的に大きな温度勾配が発生する。この場合、より温度の低い43の部分から固化が始まりここを起点に結晶成長が起こる。従って、図15の場合に比べより大きな粒径が得られるが、以下のような問題があり、実用的ではなかった。すなわち、局所的に温度勾配をつけるため結晶粒はせいぜい1〜2 μm程度しか成長できないこと、また、マスクエッジと垂直の方向のみ粒径が大きく、平行な方向は依然として0.2〜0.3 μmの小粒径である。さらに、基板をスキャンして粒径を拡大する場合、基板の送りピッチSpはマスク端が粒界を越えないようにする必要があり、0.5 μm程度と小さかった。このピッチでたとえば300×400 mm基板を前面処理すると、150 mm長のビームを用いたとしても、300 Hzのレーザー発振で、約90分を要する。このため、大面積基板で全面処理する場合、多大な時間がかかり製造に適さないという問題があった。

【0009】このため、多結晶SiTFTによる駆動回路内蔵型の液晶パネルは、投射型の液晶表示装置など、対角1〜3インチ程度の高速度動作が必要でない小型液晶パネルに限られ、これ以上大型のものへの適用は困難であった。

【0010】

【発明が解決しようとする課題】上述の如く、従来の多結晶Si薄膜の形成方法では、生産性を高めると大きな粒径が得られず、また粒径を大きくすると生産性が著しく低下するという問題があった。このため、大型高精細液晶表示装置を多結晶SiTFTで駆動回路を内蔵することは極めて困難であった。

【0011】本発明は、上記事情を考慮してなされたもので、その第1の目的とするところは、大きな粒径の多結晶Si薄膜を高い生産性で製造できる多結晶半導体薄膜の製造方法を提供するものであり、また第2の目的とするところは多結晶SiTFTの性能を向上させ、駆動回路の高速化および液晶表示装置の大型化・高精細化を実現する多結晶半導体薄膜の製造装置を提供するものである。

【0012】

【課題を解決するための手段】上記問題点を解決するために、請求項1は、絶縁基板上に非晶質半導体薄膜を形成する工程と、この半導体薄膜にエネルギービームを照射して前記半導体薄膜を熔融再結晶化する多結晶半導体薄膜の製造方法において、前記エネルギービームの一部が透過する繰り返しパターンが透明板上に形成されたマスクを介して前記エネルギービームを前記半導体薄膜に照射する工程と、前記半導体薄膜上への前記エネルギービームの照射位置を変えて順次照射して前記多結晶半導体薄膜を成長させる工程とを具備することを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0013】請求項2は、請求項1において、前記繰り返しパターンとしてストライプ状のパターンを用いたことを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0014】請求項3は、請求項2において、前記非晶質半導体薄膜への複数回のレーザービーム照射後に、前記基板を移動するシーケンスで前記半導体薄膜の多結晶化を行うことを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0015】請求項4は、請求項2において、前記非晶質半導体薄膜への複数回のレーザービーム照射後に、前記基板を第1のピッチで移動する第1のシーケンスで半導体薄膜の多結晶化を行い、複数回前記第1のピッチで前記基板をビーム照射および移動を行った後、前記基板を第2のピッチで移動し、再び前記第1のシーケンスで前記半導体薄膜の多結晶化を行う第2のシーケンスにより多結晶化することを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0016】請求項5は、請求項2において、前記マスクの前記パターンが複数領域に分割されており、各領域に異なるパターンが形成されていることを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0017】請求項6は、請求項5において、複数領域に分割された前記パターンのパターンピッチに対応したピッチで、前記レーザー照射と同期して前記基板を移動して前記多結晶半導体薄膜を形成することを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0018】請求項7は、請求項6において、複数の領域に分割された前記パターンは分割されたパターン間での前記パターンの方向が異なることを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0019】請求項8は、請求項2において、マスクパターンとしてジグザグ状のストライプパターンを用いたことを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0020】請求項9は、請求項2において、複数領域に分割された前記マスクのパターンが、所定のピッチで形成されており、レーザー照射後の基板移動において、各分割領域のパターンが位置合わせされて設置され次の

レーザー照射を行うことを特徴とする多結晶半導体薄膜の製造方法を提供するものである。

【0021】請求項10は、請求項2において、前記マスクとして、前記半導体薄膜上に形成された透光性無機材料からなるストライプ状パターンを用いることを特徴とする多結晶半導体薄膜形の製造方法。

【0022】請求項11は、絶縁性基板上に形成された非晶質半導体薄膜にエネルギービームを照射して前記半導体薄膜を熔融再結晶化して多結晶半導体薄膜を形成する製造装置において、前記半導体薄膜上に配置され透明板上に前記エネルギービームを遮光するパターンを形成したマスクと、このマスクを保持する手段と、前記マスクにより変調された前記エネルギービームが前記パターンを前記半導体薄膜上で結像させる手段と、前記エネルギービームの照射と同期して前記絶縁性基板を所定のピッチで移動する手段とを有することを特徴とする多結晶半導体薄膜の製造装置を提供するものである。

【0023】請求項12は、請求項11において、前記エネルギービームの照射と同期して前記絶縁性基板を2種類以上の所定のピッチで移動する手段を有することを特徴とする多結晶半導体薄膜の製造装置を提供するものである。

【0024】請求項13は、請求項11において、前記マスクを透過したエネルギービームを前記半導体薄膜表面に縮小照射する機構を備えたことを特徴とする多結晶半導体薄膜の製造装置を提供するものである。

【0025】請求項14は、請求項11において、前記マスクを透過したエネルギービームを前記半導体薄膜表面に等倍照射する機構を備えたことを特徴とする多結晶半導体薄膜の製造装置を提供するものである。

【0026】請求項15は、請求項11において、前記エネルギービームの照射と同期して前記絶縁性基板を所定のピッチで移動すると同時に、前記絶縁性基板上の合わせパターンを検出する手段と、前記エネルギービームを干渉計により基板と位置合わせを行う手段を有することを特徴とする多結晶半導体薄膜の製造装置を提供するものである。

【0027】

【発明の実施の形態】本発明の骨子は、エキシマレーザーアニールにより多結晶Si薄膜を形成する方法において、Si薄膜を照射するレーザービームの光路中に、繰り返しパターンを形成したマスクを挿入し、マスクパターンイメージでSi表面にレーザー照射を行うと同時に、レーザー照射と同期して基板を所定のピッチで送ることにより、高速でかつ大粒径を得るものである。マスクの繰り返しパターンピッチおよび基板の送りピッチは複数の組み合わせが可能で、それぞれ目的とするTFT特性に対応した多結晶の粒径サイズに応じて選択できる。

【0028】上述した構成によって、基板内で同時に多

数箇所マスクパターンに応じた結晶核を形成し、さらに粒径を拡大することも可能である。レーザービーム照射領域で同時に核発生と結晶化が制御できるため高い生産性を有し、かつ高性能なTFTが得られ、高速動作可能な駆動回路が実現できる。さらに、欠陥の減少により、TFTのV_{th}も均一となり、動作電圧の低減や、高性能なアナログ回路、ディジタル・アナログコンバータなどが実現できる。このため、従来の小型液晶表示装置のみならず、大型・高精細液晶表示装置も実現でき、さらに低電力化、狭額縁化が実現できる。

【0029】

【実施例】

(実施例1) 図1は、本発明による多結晶Si薄膜の形成方法の実施例1を示す図である。図1においてステージ6上に、大きさ300×400mm、厚さ1.1mmのガラス基板1を設置し、基板1上の厚さ50nmの非晶質Si薄膜3にXeClレーザービーム5をマスク13を介して照射する。基板ステージ6は図中に示された方向にピッチSpで送られ、Siのアニール領域4は順次移動する。ここで、ビーム幅WELAは0.5mm、長さ(紙面の奥行方向)100mmである。基板の送りピッチは50μmであり、Si薄膜はレーザー照射を10回受ける。マスク13は基板の上方向0.5mmの位置に設置され、レーザービーム5とともに固定されている。ビームは基板端で折り返し別の非照射領域を照射する。レーザーは300Hzで発振しており、1照射毎に基板がピッチSpで送られるので、基板全面を処理する時間はわずか80秒である。これに対して、図14で説明した方法では、同一の基板を全面処理するのに約5000秒を必要としたことから、本実施例が量産性に適していることが分かった。

【0030】図2はマスク13のパターンを示すものであり、石英基板上にCr膜でストライプ状のパターン22が形成されている。パターン22(ビーム不透過領域)の幅WBは1.5μm、透過領域21の幅WLは1μmである。レーザービーム5はストライプパターンと平行の方向で照射した。図2に得られた多結晶Siの粒径をマスクパターンとの関係で示してある。ストライプパターンの方向と垂直の方向に長さ1.2-1.3μm、平行の方向に0.3μmの大きさの結晶粒が得られた。

【0031】このように大きな粒径がえられたのは、レーザービーム照射時にSi薄膜面内で温度が不均一となり、熔融Si層の温度の低い部分43から結晶化が始まり、結晶が温度の高い領域44に伸びたためであると解釈できる。図3に示すようにマスクでビームが遮蔽された領域の中心43が最も温度が低く、この部分も熔融状態に成る程度のエネルギーを照射することにより固化を領域43からはじめることができる。

【0032】ストライプパターンWBの大きさはあまり

大きいと中央部43が熔融しないので3μm程度以下がよい。また、透過部WLの大きさは、広すぎると中央部で結晶化が独立に始まるので3μm程度以下がよい。レーザー照射回数は本実施例では10回としたが、回数が多い程均一性を向上できるため、処理時間が許せる限り多いほうがよい。このほか、多数回照射した場合、マスク欠陥の影響を軽減する効果がある。

【0033】また、本実施例では基板直上にマスクを配置するいわゆるプロキシミティ方式で行ったが、マスクと基板間に投影光学系を挿入して行っても良い。この場合は、縮小投影も可能なため、微細パターンを用いる本発明では制御性がさらに上がる。また、マスク欠陥などに対しても信頼性が向上する。図4は本実施例で作成した多結晶Si薄膜を用いてTFTを試作し、その移動度を評価したものである。TFTのチャンネル長は10μm、幅は3μmである。アニール時のレーザーマスクパターンとTFTの電流の流れる方向で特性が異なる。図4中の40は、図5に示す如くTFTの電流方向が結晶粒の長手方向と平行の場合(12ストライプパターンの方向は結晶の形状を示す)であり、41は垂直にTFTを配置した結果である。42は比較のため、マスクを用いず従来法でレーザーアニールして多結晶Siを形成した場合である。マスクの透過領域はWLの増大とともに特性が低下するが、これは、チャンネルに含まれる結晶粒が多くなること、マスクエッジ以外の結晶粒は0.3μm程と小さいためである。結晶粒の長手方向が電流路と成るように配置した場合は当然電流路に存在する粒界の数が少ないため特性がよくなるものと解釈される。いずれも、従来法よりはTFT特性が改善されている。しかし、本実施例では、TFTの電流路はストライプパターンと垂直の方向が望ましい。

【0034】(実施例2) 以下の実施例は、実施例1と異なる部分を中心に説明することとし、同一部分は同一番号を付し、その詳しい説明を省略する。

【0035】図6は、本発明による多結晶Si薄膜の形成方法の実施例2を示す図である。本実施例ではレーザービームのマスク13を2つの領域61、62に分け、領域62ではパターンなし(全面透過)、領域61にはストライプパターンを形成して置く。レーザービームの短尺方向の幅WELAが2つの領域を同時に照射するような配置でSi薄膜にレーザー照射を行う。領域61では実施例1と同様な結晶化が行えるが、領域62では従来と同じ照射法となり、結晶粒の拡大は望めない。しかし、基板のスキャン方向を図中に示す方向(Sp)とする事により、非晶質Siにはまず領域62のビームが照射され、小さな粒径の結晶化が行われる。しかる後に、ストライプパターンにより、大きな粒径が得られる。ストライプパターンで粒径成長を行う場合、あらかじめSi薄膜を多結晶化しておくことにより、安定に粒径拡大が行えるようになる。即ち、照射回数を少なくし

でも大きな粒径が得られる。これは、スキャンピッチを大きくできるため、処理時間の短縮が図れる。本実施例では、実施例1と同じパターンを領域61を用いて、送りピッチを100 μ m（ビーム幅500 μ m、領域61は300 μ m、領域62は200 μ m）としても良好な結晶を得ることができた。同じ大きさの基板で処理時間は、40秒であった。

【0036】このような処理は実施例1の場合で、あらかじめマスクなしで全面をレーザーアニールにより多結晶化して、しかる後マスク照射アニールを実施しても良い。本実施例では、1回の処理で多結晶化と粒径拡大結晶化が行える。その他の効果は実施例1と同様であった。

【0037】（実施例3）図7は、本発明による多結晶Si薄膜の形成方法の実施例3を示す図である。本実施例では、レーザービームのマスク13をピッチMpの複数領域70、71、72、73、...で構成する。領域70はパターンなしの透過領域、領域71、72、...はWB=2 μ m、WL=2 μ mのストライプパターンとし、領域72は領域71のストライプパターンを角度 θ 傾けたパターンとする。照射条件は、レーザー発振周波数300Hz、ビーム幅800 μ m \times 100mm、基板送りピッチSpは160 μ mとする。マスクのパターンピッチMpは160 μ mで、ビーム幅を5分割した。最初の2領域は領域70のパターンなし領域、そして、71、72（ $\theta=45$ 度）、73のパターンが続く。照射と基板送りのタイミングは、5回照射した後基板を160 μ m送る。従って、Si薄膜は、各パターンでそれぞれ5回照射され、5種類のパターン領域で照射されるため、総数25回の照射となる。

【0038】この場合得られた多結晶Siの粒径状態を図8に示す。パターン70では図に示していないが粒径0.3 μ mの多結晶Siとなった。領域71では長さ2 μ m、幅0.3 μ mの粒径となった。パターン72の領域では、スキャン方向と45度の方向に長さ2 μ m、幅0.45 μ mの結晶粒となり、最後の領域73ではスキャン方向に長さ2 μ m幅0.6 μ mの結晶粒が得られた。300 \times 400mm基板全面を処理するのに要した時間は125秒であった。

【0039】この粒径拡大は、図中に示すように、パターン72ではパターン71の粒径幅82を結晶核として結晶が成長したためと考えられる。ここで、81は領域71での結晶粒の短手方向、83は領域73での結晶粒の短手方向である。領域72のパターンの傾きは、本実施例では45度としたが、 θ が小さいほど結晶粒幅の拡大は大きくなるが、同時に粒幅の小さい結晶粒も発生する頻度が多くなるため、0~60度の範囲が望ましい。

【0040】（実施例4）図9は、本発明による多結晶Si薄膜の形成方法の実施例4を示す図である。本実施例ではレーザービームマスク13をピッチMpの複数ブ

ロックに分割してある。領域90はパターンなし、領域91は直径C1の円パターンが基板スキャン方向にピッチdp1で、その垂直方向にピッチdp2で配置されている。領域92、93、...では配置ピッチは領域91同じであるが円パターンの直径がそれぞれ、C2、C3、...となっている。マスクは5対1の縮小露光で基板Si面に照射されるように配置されている。本実施例では、照射面（Si表面）の寸法で換算すると、Mpは500 μ m、dp1、dp2は10 μ m、C1、C2、C3、...の直径はそれぞれ、1 μ m、2 μ m、3 μ m、...となり、最終パターンは領域97に示すようなパターンである。照射面でのレーザービームの大きさは、長さ20mm、幅7mmである。レーザー照射条件は、発振周波数300Hz、基板送りピッチは500 μ mで、基板送りは照射5回後に行う。また、基板送りと同時に、核領域の円パターンの中心が一致する様位置合わせを行う。精度は $\pm 0.3\mu$ mで行った。

【0041】図10は各領域の照射後の多結晶Siの粒径状態を示す平面図である。領域90は図示されていないが、大きさ0.3 μ mの粒径となっている。領域91では直径1.5 μ mの大きな粒径101がマスクパターンに対応して形成され、それ以外は、大きさ0.3 μ mの小さな粒径の結晶100がランダムに形成される。領域92では、領域91で形成された大きな粒径の結晶粒102がさらに拡大し直径2.5 μ mに成長し、それ以外の領域は小さな粒径の結晶粒100が存在する。領域93では大きな粒径103が形成される。このように、順次粒径が拡大し、最終の領域99では長さ10 μ mの正方形に近い結晶粒109が10 μ mピッチで形成される。

【0042】300 \times 400mm基板を処理するのに要する時間は200秒であった。本実施例では、パターンの縮小照射を行っているが、等倍パターンでプロキシミティ照射を行っても良い。ただし、パターンの精度が落ちること、欠陥などによる、初期核形成が良好に行われない場合もあるため、領域91は複数ブロック設けたほうがよい。本方式では、パターンの高精度合わせが必要となるが、任意の大きさの結晶粒を形成する事が可能となる。また、パターンは円形状に限らず、矩形でもよい。照射回数および、各領域のパターンの大きさはレーザー出力の安定性、結晶粒の均一性などから決めれば良く本実施例に限定されるものではない。

【0043】（実施例5）図11は、本発明による多結晶Si薄膜の形成方法の実施例5を示す図である。

【0044】本実施例で用いるマスク13のパターンを透光領域幅WB、透過光領域WLのストライプパターンである（図11(a)）。実施例では、WBを5 μ m、WLを1 μ mとした。本実施例では、レーザービームの3回照射ごとに基板のピッチSp1を0.5 μ mずつ送る。レーザービーム幅WELAは長さ100mm、幅50

0 μm であり、レーザービーム幅に対応した長さにわたって前記ストライプパターンが繰り返されている。基板の送り長さがパターンW8、即ち5 μm を越えた場合は、基板をレーザービーム幅500 μm 送る(Sp2)。なお、基板はあらかじめ従来の方法で小さな結晶粒を形成しておくことが望ましい。本実施例では、基板(300×400 mm)前面を処理するのに要する時間は240秒であった。

【0045】図11(a)のマスクによって得られた結晶粒の平面図を図11(b)に示す。長さ7 μm 、幅0.3 μm の結晶粒11が得られた。なお、本実施例では、図11(c)に示すごとくTFT112のチャンネル方向(電流の流れる方向)を基板送りの方向とする事により、これと垂直方向に配置されたTFTに比べ2倍の移動度250 (cm^2/Vs)を得た。この際のTFTのチャンネル長は5 μm 、幅は3 μm とした。

【0046】(実施例6)図12は、本発明による多結晶Si薄膜の形成方法の実施例6を示す図である。

【0047】本実施例のマスクパターン13は図12(a)に示すように、レーザー光の透過するストライプパターンをジグザグ状に形成したものである。光の透過する領域の幅W1は3 μm 、不透過領域幅は10 μm 、ジグザグのピッチYは6 μm 、また、パターンの基板スキャン方向となす角度 θ_1 、 θ_2 はともに45度とした。レーザービームの大きさは長さ100 mm、幅WELA 500 μm で、マスクパターンはビーム幅と同じ500 μm にわたって繰り返し形成されている。レーザー照射方法は、3回照射した後、基板ピッチSp1を0.8 μm でスキャンする方法で、基板のトータル送り距離が(Wb+Y)となるまで繰り返す。本実施例では、Sp1による送りが(10+6)=16 μm まで繰り返す。即ち、送り回数は20回である。この間の照射回数は20×3=60照射である。しかる後、マスクパターン幅500 μm の基板送り(Sp2)を行い、同様な照射を繰り返す。レーザー発振は300 Hzであり、300×400 mm基板の全面処理に要する時間は、160秒であった。

【0048】本実施例で得られる結晶粒の形状を示したのが図12(b)～(d)である。図12(b)は最初の照射で得られる結晶粒の形状を示すもので、ジグザグの頂点では約2 μm の角の取れた矩形状の粒径123aが得られ、他はマスクパターンに沿って長さ2 μm 幅0.3 μm の細長い粒径122が得られる。この状態で最初の基板送りを行いレーザー照射した場合は、図12(b)の123bに示す位置まで各結晶粒が成長するが、頂点の粒径は122の位置の結晶核から成長を続け、かつ矩形に近い形状で成長する。図12(c)はさらに結晶が成長した状態を示すが、122からスタート結晶成長により大きな粒径に変化する。最終状態を示したのが図12(d)であり、幅(d)13 μm 、長さY(6 μm

m)のくの字型の粒径が得られる。本実施例では θ を45度としたが、これに限定されるものではない。ただし、0および90度に近づくにつれ、スキャンSp1のトータル送り距離が長くなる。このため、実用的には θ は20～70度の範囲が望ましい。

【0049】(実施例7)図13は、本発明による多結晶Si薄膜の形成方法の実施例7を示す図である。本実施例では、照射レーザービームのマスクとして、Si薄膜表面に形成した酸化膜を用いている。図13(a)に示すように、ガラス基板上の膜厚50 nmの非晶質Si薄膜上に膜厚100 nmの酸化膜を成膜する。しかるのち、酸化膜132を幅Wa、酸化膜パターンスペース131を幅Wsでパターンニング・加工する。酸化膜自体はエキシマレーザー光(本実施例ではXeClレーザー)を透過する。本実施例では、Si薄膜に吸収されたエネルギーの熱放散状態が酸化膜パターンの有無により異なり、酸化膜で覆われた領域のSi薄膜の熱伝導が高いため、より温度の低下が速くなることを利用してSi薄膜平面内での温度勾配を実現している(図13(b))。

【0050】この実施例では、酸化膜幅Waを1.5 μm 、酸化膜パターンのスペースを1 μm とし、300×400 mm基板全面に形成した。レーザービームは、長さ200 mm、幅WELA 300 μm である。レーザーは300 Hzで発振させ、各レーザー照射ごとに基板をピッチSpで送る。Spは15 μm である。基板前面を処理するのに要した時間は130秒である。

【0051】この時得られた粒径状態を図13(c)に示すが、粒径は基板のスキャン方向に1～1.5 μm 、粒径幅0.3 μm であった。酸化膜131はレーザーアニール処理後にエッチング除去すればよい。粒径の均一性を確保するためには、実施例1と同じく、Wa、Wsは3 μm 以下にするのが望ましいが、TFTのチャンネル領域の一部でも大きな粒径の結晶が存在することにより、TFT特性を改善できるので10 μm 程度以下のWa、Wsであれば効果が認められる。特に、酸化膜はレーザー光を透過するため、酸化膜下のSiも溶融結晶化させることができ、酸化膜幅Wsを特に微細にする必要はない。ただし、TFTのチャンネル方向はストライプパターンと垂直の方向に設置する事が望ましい。TFTのチャンネル方向は一般的に、基板の長手方向に平行もしくは垂直に形成され、かつ一方方向に設定することは実用上は困難である。この場合は、ストライプパターンの方向を基板の長手方向から角度 θ 傾けておけば、いずれの方向に配置されたTFTでも均等な特性が得られる。 θ としては、実用上30～60度の範囲であればTFTの方向による特性の異方性の問題はない。

【0052】なお、本発明は上述した実施例に限定されるものではない。例えば、長尺レーザービームである必然性はなく、矩形ビームを用いても良い。なお、実施例では記載していないが、照射雰囲気は真空中でも窒素ある

いは空気雰囲気でもよい。また、ガラス基板は加熱する必要性はないが、基板加熱を行うことにより結晶化の時間を長くする事ができ結晶粒の大きさを改善するのに有効である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0053】

【発明の効果】以上詳述したように本発明によれば、大きな結晶粒の多結晶Si薄膜を生産性を向上しつつ形成することができる。このため、TFTの特性向上および均一化が実現でき、駆動回路一体型の液晶表示装置に応用した場合は、より高速な駆動回路を比較的少ない並列数で実現でき、額縁領域のより小さな装置を実現できる。さらに、TFTのしきい値電圧のバラツキも減り、小さな値を実現できるため、駆動電圧の低減化が可能となり、より消費電力の小さな液晶表示装置が実現できる。

【図面の簡単な説明】

【図1】本発明による多結晶Si薄膜形成方法の実施例1を示す図。

【図2】本発明による多結晶Si薄膜形成方法の実施例1を示す図。

【図3】本発明による多結晶Si薄膜形成方法の実施例1を示す図。

【図4】本発明による多結晶Si薄膜形成方法の実施例1を示す図。

【図5】本発明による多結晶Si薄膜形成方法の実施例2を示す図。

【図6】本発明による多結晶Si薄膜形成方法の実施例*

* 2を示す図。

【図7】本発明による多結晶Si薄膜形成方法の実施例3を示す図。

【図8】本発明による多結晶Si薄膜形成方法の実施例3を示す図。

【図9】本発明による多結晶Si薄膜形成方法の実施例4を示す図。

【図10】本発明による多結晶Si薄膜形成方法の実施例4を示す図。

10 【図11】本発明による多結晶Si薄膜形成方法の実施例5を示す図。

【図12】本発明による多結晶Si薄膜形成方法の実施例6を示す図。

【図13】本発明による多結晶Si薄膜形成方法の実施例7を示す図。

【図14】従来の多結晶Si薄膜形成方法を示す図。

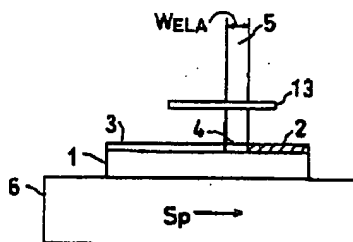
【図15】従来の多結晶Si薄膜形成方法を示す図。

【図16】従来の多結晶Si薄膜形成方法を示す図。

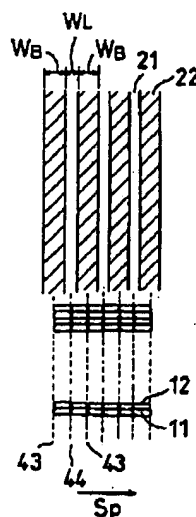
【符号の説明】

1. ガラス基板、2. 多結晶Si薄膜、3. 非晶質Si薄膜、4. レーザービーム照射面、5. レーザービーム、6. 基板ステージ、7. 光学形、8. ビームホモジナイザー、9. エキシマレーザー、11. 結晶粒、12. 粒界、13. マスク、35. 36. 多結晶Si TFT、31. 多結晶Siパターン、32. ゲート電極、33. ソース電極、34. ドレイン電極、

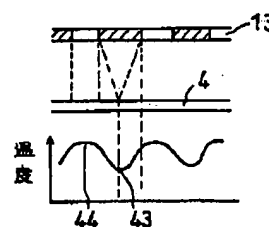
【図1】



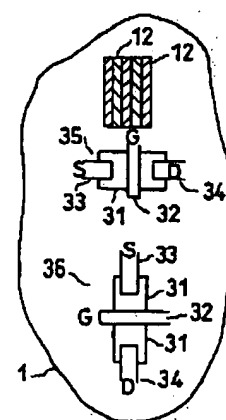
【図2】



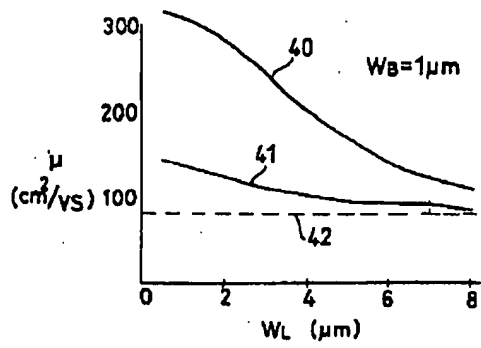
【図3】



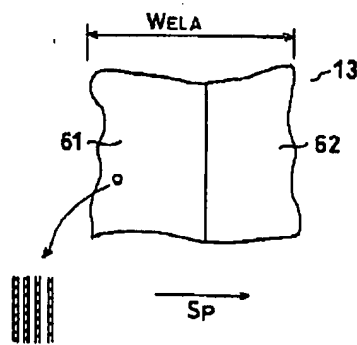
【図5】



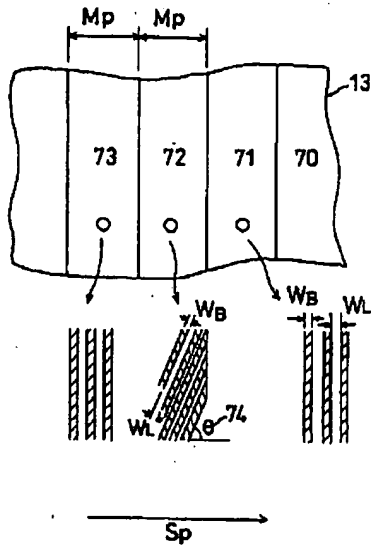
【図4】



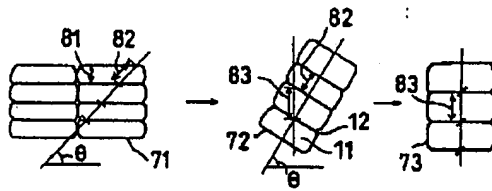
【図6】



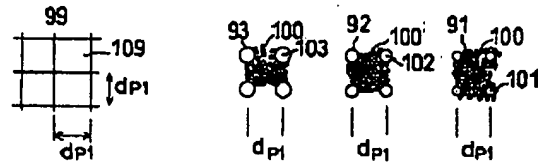
【図7】



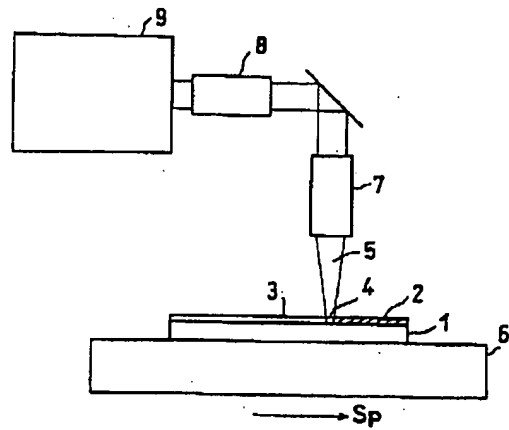
【図8】



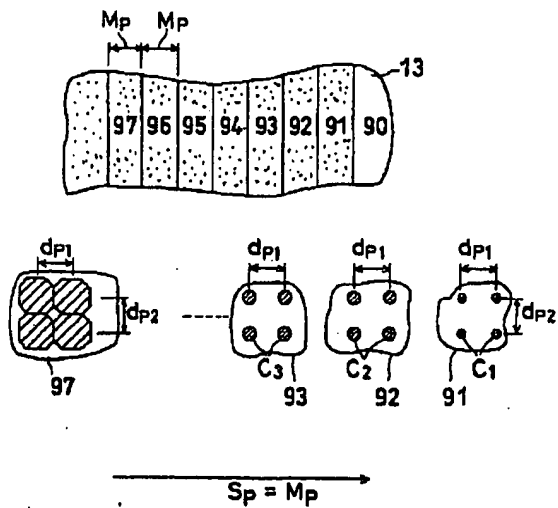
【図10】



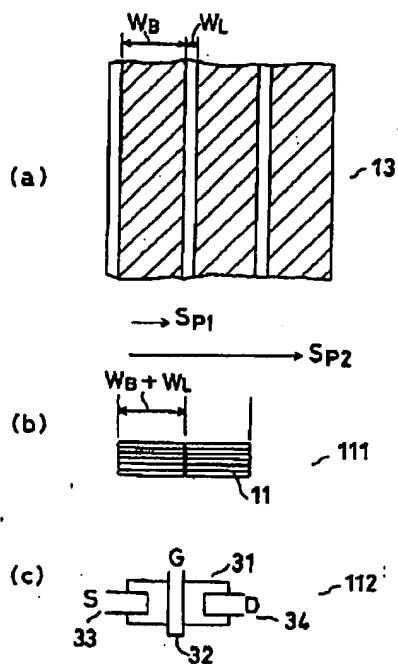
【図14】



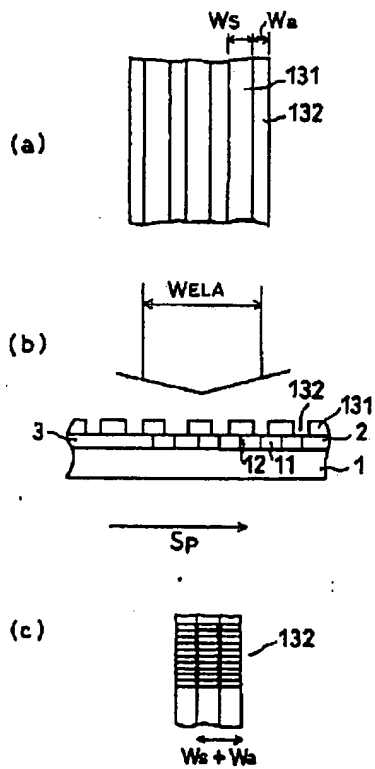
【図9】



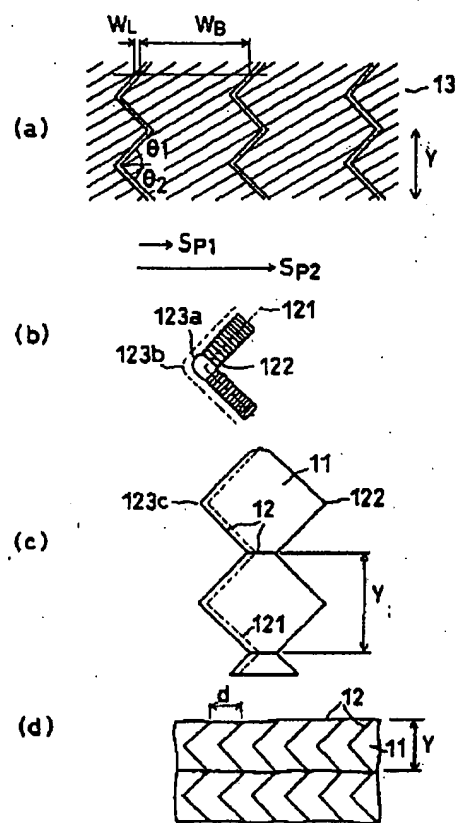
【図 11】



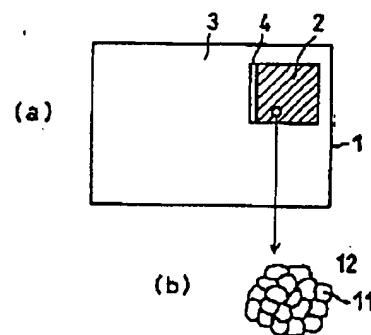
【図 13】



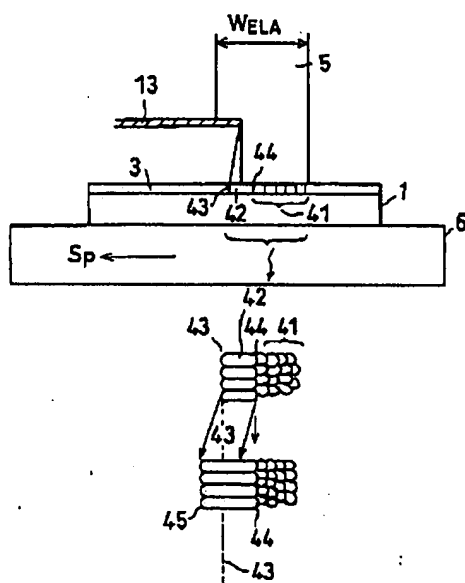
【図 12】



【図 15】



【図16】



CORRECTED VERSION

**(19) World Intellectual Property Organization
International Bureau**



(43) International Publication Date
15 March 2001 (15.03.2001)

PCT

(10) International Publication Number
WO 01/18855 A1

- (51) **International Patent Classification⁷:** H01L 21/20, (74) **Agents:** TANG, Henry et al.; Baker Botts LLP, 30 Rockefeller Plaza, New York, NY 10112-0228 (US).
21/36, 29/04, 31/036

(21) **International Application Number:** PCT/US00/23668 (81) **Designated States (*national*):** AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

(22) **International Filing Date:** 29 August 2000 (29.08.2000)

(25) **Filing Language:** English

(26) **Publication Language:** English

(30) **Priority Data:** 09/390,537 3 September 1999 (03.09.1999) US (84) **Designated States (*regional*):** ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(71) **Applicant:** THE TRUSTEES OF COLUMBIA UNIVERSITY IN THE CITY OF NEW YORK [US/US]; 116th Street and Broadway, New York, NY 10027 (US).

(72) **Inventors:** IM, James, S.; Apartment 74, 520 West 114th Street, New York, NY 10025 (US). SPOSILI, Robert, S.; 190 Claremont Avenue, Apartment 1C, New York, NY 10027 (US). CROWDER, Mark, A.; 452 Riverside Drive, Apartment 34, New York, NY 10027 (US).

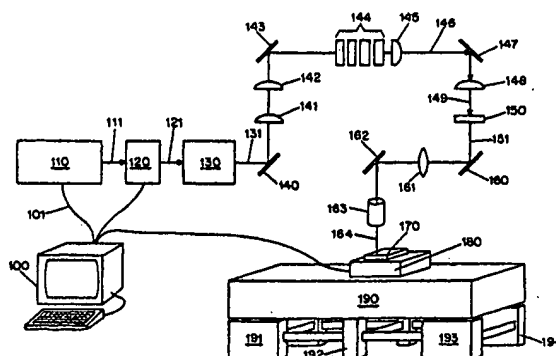
Published:
— *With international search report.*

(48) **Date of publication of this corrected version:** 19 April 2001

19 April 2001

[Continued on next page]

- (54) Title: SYSTEMS AND METHODS USING SEQUENTIAL LATERAL SOLIDIFICATION FOR PRODUCING SINGLE OR POLYCRYSTALLINE SILICON THIN FILMS AT LOW TEMPERATURES**



(57) **Abstract:** System and methods for processing an amorphous silicon thin film sample into a single or polycrystalline silicon thin film are disclosed. The system includes an excimer laser (110) for generating a plurality of excimer laser pulses (111) of a predetermined fluence, an energy density modulator (120) for controllably modulating fluence of the excimer laser pulses, a beam homogenizer (144) for homogenizing modulated laser pulses (146) in a predetermined plane, a mask (150) for masking portions of the homogenized modulated laser pulses into patterned beamlets, a sample stage (180) for receiving the patterned beamlets to effect melting of portions of any amorphous silicon thin film sample (170) placed thereon corresponding to the beamlets, translating means for controllably translating a relative position of the sample stage with respect to a position of the mask and a computer (100) for controlling the controllable fluence modulation of the excimer laser pulses and the controllable relative positions of the sample stage and mask, and for coordinating excimer pulse generation and fluence modulation with the relative positions of the sample stage and mask, to thereby process amorphous silicon thin film sample into a single or polycrystalline silicon thin film by sequential translation of the sample stage relative to the mask and irradiation of the sample by patterned beamlets of varying fluence at corresponding sequential locations thereon.

WO 01/18855 A1

WO 01/18855 A1



(15) Information about Correction:
see PCT Gazette No. 16/2001 of 19 April 2001, Section II.

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 681 316 A3

(12)

EUROPEAN PATENT APPLICATION

(88) Date of publication A3:
07.01.1998 Bulletin 1998/02

(51) Int. Cl.⁶: H01L 21/20

(43) Date of publication A2:
08.11.1995 Bulletin 1995/45

(21) Application number: 95106505.1

(22) Date of filing: 28.04.1995

(84) Designated Contracting States:
DE FR GB

(30) Priority: 02.05.1994 JP 116007/94
27.09.1994 JP 257616/94

(71) Applicant: SONY CORPORATION
Tokyo (JP)

(72) Inventors:
• Ino, Masumitsu,
c/o Sony Corp.
Tokyo (JP)
• Hayashi, Hisao,
c/o Sony Corp.
Tokyo (JP)
• Kunii, Masafumi,
c/o Sony Corp.
Tokyo (JP)

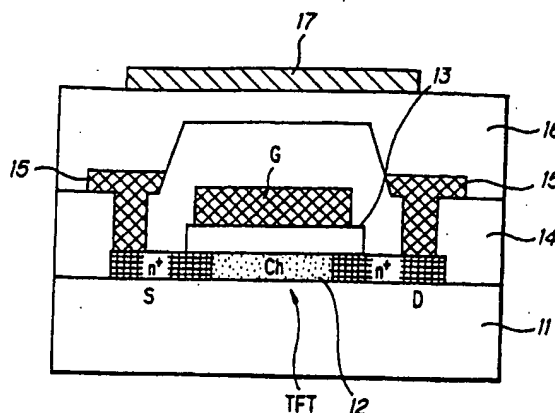
• Urazono, Takenobu,
c/o Sony Corp.
Tokyo (JP)
• Nishihara, Shizuo,
c/o Sony Corp.
Tokyo (JP)
• Minegishi, Masahiro,
c/o Sony Corp.
Tokyo (JP)

(74) Representative:
Müller, Frithjof E., Dipl.-Ing.
Patentanwälte
MÜLLER & HOFFMANN,
Innere Wiener Strasse 17
81667 München (DE)

(54) Method of processing a thin film on a substrate for display

(57) In a method of manufacturing semiconductor chips for display, a semiconductor thin film is first formed on an insulating substrate, and then a series of processes containing a heat-treatment process for the semiconductor thin film are carried out to form integrated thin film transistors on a sectioned area for one chip. Thereafter, pixel electrodes for one picture (frame) are formed within the sectioned area. During the series of processes, a laser pulse is irradiated onto the sectioned area by one shot to perform a heat treatment on the semiconductor thin film for one chip collectively and simultaneously (i.e., perform a batch heat treatment on the semiconductor thin film). Through the batch heat treatment, the crystallization of the semiconductor thin film is promoted. In addition, after the semiconductor thin film is doped with impurities, the activation of impurities doped in the semiconductor thin film can be performed by the batch heat treatment.

FIG. 4





European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 95 10 6505

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
A	PATENT ABSTRACTS OF JAPAN vol. 010, no. 367 (E-462), 9 December 1986 & JP 61 163631 A (RICOH CO LTD), 24 July 1986, * abstract *	1	H01L21/20
A	--- PATENT ABSTRACTS OF JAPAN vol. 017, no. 089 (E-1323), 22 February 1993 & JP 04 282869 A (JII TEI SHII:KK), 7 October 1992, * abstract *	1	
A,D	--- PATENT ABSTRACTS OF JAPAN vol. 017, no. 387 (P-1576), 20 July 1993 & JP 05 066422 A (SONY CORP), 19 March 1993, * abstract *	1	
			TECHNICAL FIELDS SEARCHED (Int.Cl.6)
			H01L B23K
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 3 November 1997	Examiner Schuermans, N
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X: particularly relevant if taken alone Y: particularly relevant if combined with another document of the same category A: technological background O: non-written disclosure P: intermediate document</p> <p>T: theory or principle underlying the invention E: earlier patent document, but published on, or after the filing date D: document cited in the application L: document cited for other reasons A: member of the same patent family, corresponding document</p>			

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-283422

(43)公開日 平成6年(1994)10月7日

(51)IntCl ⁵ H 0 1 L 21/20 21/336 29/784	識別記号 9056-4M	庁内整理番号 8122-4M	F I H 0 1 L 29/ 78	技術表示箇所 3 1 1 Y
審査請求 未請求 請求項の数3 FD (全 6 頁)				

(21)出願番号 特願平5-92260
(22)出願日 平成5年(1993)3月25日

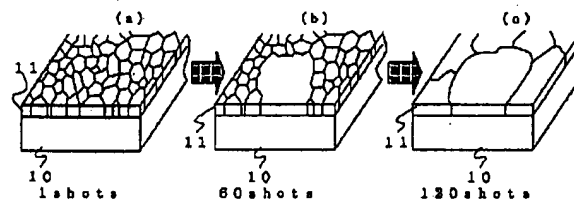
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 原田 康樹
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内
(72)発明者 寺田 典裕
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内
(74)代理人 弁理士 鳥居 洋

(54)【発明の名称】 多結晶半導体膜およびこれを用いた薄膜トランジスタ並びに多結晶半導体膜の製造方法

(57)【要約】

【目的】 ガラス基板を使用し、且つ結晶に配向を持たせながら結晶粒径の大粒径化が図れるといった全ての条件を充たすことのできる多結晶半導体膜の製造方法を提供することを目的とする。

【構成】 a-Si膜を形成するプラズマCVD装置のバックグラウンド真空度を十分に高くしてa-Si膜中の酸素を十分に除去し、次に、a-Si膜に含まれる水素を比較的長時間(或いは高温)での熱アニールによって十分に除去し、その後、上記の酸素及び水素が十分に除去されたa-Si膜に対して所定の温度を付与しつつエキシマレーザーパルスを多数回照射する。



【特許請求の範囲】

【請求項1】 膜厚が300Å～1000Åで且つ(111)配向度50%以上のノンドーブ膜であり、結晶粒径1μm以上の粒を少なくとも含むことを特徴とする多結晶半導体膜。

【請求項2】 絶縁性基板として低融点ガラス基板を用い、少なくともチャンネル層に請求項1の多結晶半導体膜を有していることを特徴とする薄膜トランジスタ。

【請求項3】 水素及び酸素が十分に除去された非晶質の半導体膜を得る工程と、低融点ガラス基板の使用が可能な温度に保持して上記非晶質の半導体膜にエキシマレーザーを30ショット以上照射する工程と、を含むことを特徴とする多結晶半導体膜の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜で大粒径且つ配向した多結晶半導体膜を低温プロセスで製造する方法に関する。

【0002】

【従来の技術】ガラス基板上に薄膜トランジスタ(以下、TFTと略記する)を多数個形成して成るデバイスとして、例えば、液晶ディスプレイ(LCD)、密着型ラインセンサ、或いは1次元サーマルヘッドなどが知られている。これらのデバイス、例えば、上記の液晶ディスプレイにおいては、装置のコンパクト化、低コスト化のためTFT自体で薄膜の駆動回路を一体化形成して外付けのドライバーICを不要とする要望がある。また、TFTサイズを小さくすることで画素中の開口率を大きくする、或いは、画素数を多くしたときでも高速で動作させる等、高品位化のための要望がある。

【0003】ここで、TFTの材料としては、非晶質シリコン(a-Si)が一般的であるが、このa-Siは、その電子移動度が $1\text{ cm}^2/\text{Vs}$ 以下と低く、駆動回路一体化、画素サイズ縮小化等の高品位化には十分な特性を有していない。

【0004】このため、比較的電子移動度が高い多結晶シリコン(poly-Si)がTFTなどの半導体デバイスの材料として有望視され、特に、ガラス基板が使用可能な低温プロセスで高移動度化、オフ電流低減の為に大粒径且つノンドーブで配向を有するpoly-Si薄膜の出現が望まれていた。

【0005】従来のpoly-Si膜形成方法としては、ガラス基板の使用が可能な低温プロセスを用いる形成方法と、ガラス基板の使用ができない高温プロセスを用いる形成方法とが知られている。低温プロセスとしては、固相成長法、低温CVD法、及びエキシマレーザーアニール法が知られており、また、高温プロセスとしては、高温熱アニール法、CWアルゴンレーザーアニール法、及び高温CVD法が知られている。

【0006】固相成長法は、基板温度を約600℃とし

て数十時間の熱アニールを行う方法であり、結晶粒径の大粒径化(2μm程度)には適しているが、配向がランダムであり、結晶粒は双晶等の結晶欠陥が多い樹枝状結晶であり、結晶性が悪いという欠点を有する。従って、たとえ粒内にTFTを作っても移動度は単結晶Siと比較して1/5程度と低く、粒径分布も悪い。また、長時間のアニールを行うため、ガラス基板のコンパクションを生じ、その後のプロセスでマスク合わせに不都合を生じるといった問題がある。

10 【0007】低温CVD法(LPCVD法、プラズマCVD等)は、一部配向を有するものも作製可能であるが、粒径が2000Å程度と小さく、また、のこぎり歯(teeth)状結晶のため、膜厚が2000Å以上でないと粒径が拡大しないという欠点がある。更に、このように膜厚が厚いと、TFTを作製した場合、オフ電流が増大し、LCDへの適用が不可能になるという欠点がある。

20 【0008】一方、ガラス基板へのダメージが少なく、高スループットが期待されることから最近注目されているエキシマレーザーアニール法は、XeClエキシマレーザー等の短波長、短パルスレーザーを試料に照射して短時間に熔融結晶化する方法であるが、結晶化速度がnsオーダーと早いため、得られる結晶粒径はせいぜい1000Å程度である。また、レーザー照射時に基板温度を400℃程度に加熱して凝固速度を制御する方法を採ったとしても、粒径が5000Å以上の結晶を得ることは困難であり、しかも配向がランダムのままであった。

30 【0009】高温熱アニール法は、基板温度を1100℃以上にして熱アニールを行う方法であるが、ノンドーブ膜に対しては結晶の粒径はせいぜい数千Å程度であり、配向もランダムである。一方、ドーブ(P, As)膜に対しては大粒径(数μm程度で対数正規型の均一粒径分布)が得られ、更に(111)に配向した膜を得ることができるが、ドーブ膜であるためTFTのチャンネル膜としては用いることはできない。

【0010】CWアルゴンレーザーアニール法(完全熔融再結晶化法)は、連続発振のレーザーを照射して半導体膜を完全に熔融させて再結晶化する方法であるが、膜厚が5000Å以上でないと結晶化の為に理想的な温度分布が得られず、また、熔融時間が長い為、ガラス基板等の低融点基板を使うことができない。更に、薄膜では膜がレーザーで吹き飛び、良好な結晶化が不可能である。

【0011】高温CVD法は、1000℃程度の基板温度で半導体膜を基板上に堆積する方法であるが、形成されたpoly-Si膜の粒径はせいぜい数千Åであり、また、配向もランダムである。

【0012】

【発明が解決しようとする課題】従って、上記従来の多

結晶半導体膜の製造方法では、ガラス基板を使用し、且つ結晶に配向を持たせながらオフ電流低減の為に薄膜で結晶粒径の大粒径化が図れるといった全ての条件を満たすことはできなかった。

【0013】本発明は、上述した従来の問題点を解消し、薄膜で大粒径且つノンドープで配向を有するpoly-Si膜を安価な基板が使用可能な低温プロセスで提供することをその目的とする。

【0014】

【課題を解決するための手段】本発明の多結晶半導体膜は、膜厚が300Å~1000Åで且つ(111)配向度50%以上のノンドープ膜であり、結晶粒径1μm以上の粒を少なくとも含むことを特徴としている。

【0015】また、本発明の薄膜トランジスタは、絶縁性基板として低融点ガラス基板を用い、少なくともチャネル層に請求項1の多結晶半導体膜を有していることを特徴としている。

【0016】また、本発明の多結晶半導体膜の製造方法は、水素及び酸素が十分に除去された非晶質の半導体膜を得る工程と、低融点ガラス基板の使用が可能な温度に保持して上記非晶質の半導体膜にエキシマレーザーを30ショット(shots)以上照射する工程と、を含むことを特徴としている。

【0017】

【作用】上記の多結晶半導体膜は、(111)配向度50%以上であるので、たとえ同じ粒径のものであってもランダムな配向しか有しない多結晶半導体膜に比べてより単結晶に近い特性を有することになり、電子移動度および特性の均一性がより向上する。また、膜厚が300Å~1000Åで薄膜であるため、オフ電流の低減も可能となる。

【0018】また、上記の薄膜トランジスタは、(111)配向度50%以上の多結晶半導体膜を少なくともチャネル層に有し、その電子移動度および特性の均一性が向上されたので、高品質なデバイスとなる。

【0019】また、上記の多結晶半導体膜の製造方法によれば、低温プロセスであるエキシマレーザーアニールによって再結晶化を行うから、低融点のガラス基板などを使用することができる。更に、結晶成長を阻害する水素及び酸素を十分に除去した上で、エキシマレーザーパルスの照射回数を30shots以上として結晶成長を起こさせるエネルギーを十分に与え、且つ温度を保持し凝固過程を制御するので、結晶は横方向に成長して大粒径化する。また、この結晶成長時、(111)面に優先的に成長するため、結晶に配向を持たせながら大粒径化を図ることができる。

【0020】

【実施例】以下、本発明をその実施例を示す図に基づいて説明する。

【0021】本実施例における多結晶半導体膜の製造方

法は、低不純物なa-Si膜を形成する第1の工程と、a-Si膜に含まれる水素を除去する第2の工程と、a-Si膜に対してレーザーパルスを照射する第3の工程とからなる。

【0022】第1の工程におけるa-Si膜の形成は、プラズマCVD法により行うことができる。プラズマCVD法によるa-Si膜の形成は、例えば、基板温度を170℃、RFパワーを0.08W/cm²、圧力を0.4Torr、100%SiH₄(シランガス)を流量20sccmとした条件で行い、500Åの膜厚に形成した。なお、このプラズマCVD法により形成されたa-Si膜には、不純物として水素、酸素、炭素、窒素等が含まれているが、特に結晶成長を阻害する要因である水素、酸素は、上記のように、チャンバーのバックグラウンドの到達真空度を10⁻⁷Torrにして十分に高めているため、a-Si膜中の酸素濃度は十分に低いものとなる。

【0023】第2の工程における水素の除去は、上記a-Si膜を基板温度を450℃~590℃に設定して30分~8時間放置するアニール処理により行うことができる。この脱水素化処理は、従来行われていた処理よりも入念に行われ、a-Si膜中の水素濃度は十分に低くされる。

【0024】第3の工程におけるレーザーパルス照射においては、XeCl、ArF、KrF、XeFなどのエキシマレーザーが用いられる。このときのレーザーエネルギー密度は200~500mJ/cm²に設定しており、パルス数は30shots以上に設定している。また、このときの基板温度は、200~500℃に設定している。ここに、上記のショット数は、従来におけるエキシマレーザーアニールにおける1~8shotsよりも格段に多いものとなっている。

【0025】図1は、上記の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射時のガラス基板10上のpoly-Si膜11の結晶成長の様子を示した斜視図であり、レーザーパルスのショット数が増えるに従って横方向に二次的に結晶成長が起こって結晶粒径が大きくなることが分かる。また、図には示されていないが、結晶粒は(111)面に配向する。

【0026】以下、上記の製造方法により製造された多結晶半導体膜において、結晶が(111)配向して大粒径化する理由について考察する。

【0027】まず、同図(a)に示すように、エキシマレーザーが照射されることにより、出発膜であるa-Si膜は小粒径のpoly-Si膜に変化する。そして、上記poly-Si膜の結晶粒径が膜厚と同程度になり、粒の形状が柱状になる。この変化は、従来方法においても同じであり、この小粒径のpoly-Si膜においては、結晶の配向はランダムである。

【0028】ところで、このエキシマレーザーアニール

法を利用する従来の多結晶半導体膜の製造方法においては、エキシマレーザーのショット回数を増やしてもそれに比例して結晶粒径が飛躍的に大粒径化することはなかった。これは、エキシマレーザーのショット回数を増やすと、粒界部分が熔融し、部分的には横方向に2次的に結晶成長が起こり一部の結晶粒は大きくなるが、ショット数が一定以上の場合に出発材料に含有されている酸素及び水素原子により、横方向の結晶成長が阻害されるからである。

【0029】これに対し、本発明では、前記の第1及び第2の工程において、結晶成長を阻害する要因となる酸素及び水素が十分に除去されているので、レーザーパルスのショット数が増えるに従って横方向に二次的に結晶成長が起こって結晶粒径が大きくなる。

【0030】そして、上記poly-Si膜の結晶粒径が膜厚と同程度になり、粒の形状が柱状になると、表面自由エネルギーの異方性が大きな影響を及ぼすようになる。つまり、外部から結晶成長を起こさせるエネルギーを加えた場合、表面自由エネルギーが最小となる方向に配向しようとする。これは、よりエネルギー的に安定な面に落ちつこうとするからである。Si表面の表面自由エネルギーはSiのブローケンボンド密度に関係し、Si表面では(111)面の密度が最も小さくなり、(111)面に優先的に配向することになる。そして、このときに、上記したように、前記の第1及び第2の工程において、結晶成長を阻害する要因となる酸素及び水素が十分に除去されていることにより、(111)面への配向が円滑に行われ、(111)面の配向を有する結晶粒が優先的に成長すると考えられる。

【0031】即ち、前記のpoly-Si膜を形成している各々の結晶は、当初は小粒径であり配向もばらばらであるが、前述したように、その粒の形状が柱状となった後において、引き続き照射されるエキシマレーザーにて結晶成長を起こさせるエネルギーが次々と付与されるため、各々の結晶の粒界面において(111)面への配向が優先的に進み、(111)面に配向を有している結晶は、これと接している他の面に配向を持つ結晶を取り崩して成長し、その結果、(111)の面に配向する結晶が大粒径化するものと考えられる。

【0032】結晶の大粒径化は、上記したように、出発膜中の不純物である酸素濃度と水素濃度の影響を受ける。水素濃度と結晶粒径の関係、及び酸素濃度と結晶粒径の関係を調べたので以下に示す。なお、このときの条件は、基板温度を400℃、エキシマレーザーエネルギー密度を350mJ/cm²、エキシマレーザーの照射回数を128shotsとした。

【0033】

水素濃度： 1×10^{19} /cm³ 以上の場合→最大粒径：6000Å以下

水素濃度： 5×10^{19} /cm³ 以下の場合→最大粒径：50

3μm以上

(酸素濃度は十分に少なくしている： 4×10^{18} /cm³以下)

【0034】

酸素濃度： 1×10^{19} /cm³ 以上の場合→最大粒径：6000Å以下

酸素濃度： 4×10^{19} /cm³ 以下の場合→最大粒径：3μm以上

(水素濃度は十分に少なくしている： 5×10^{19} /cm³以下)

【0035】従って、結晶の大粒径化のためには、出発膜であるa-Si膜において酸素および水素ともに十分に低濃度であることが必要であることがわかる。

【0036】図2は、粒径分布の推移を表したグラフであり、同図(a)はショット数が1回の場合を、同図(b)はショット数が60回の場合を、同図(c)はショット数が120回の場合をそれぞれ示している。これらの図から分かるように、ショット数が1回の時点では、大粒径(1.0~2.0μm程度)の結晶は全く得られないが、ショット数が60回の時点で一部の結晶が大粒径化し、ショット数が120回の時点で略全ての結晶が大粒径化している。

【0037】図3(a)は、基板温度を一定(400℃)とし、エキシマレーザーショット数を変化させた場合の配向の集中度の変化を示したグラフであり、このグラフから分かるように、ショット数が多くなるに従って(111)面の配向を有する結晶粒が成長し、ついには(111)配向度50%以上有する多結晶半導体膜が得られる。一方、同図(b)は、レーザーショット数を一定(120shots)とし、基板温度を変化させた場合の配向の集中度の変化を示したグラフであり、このグラフから分かるように、基板温度が高くなるに従って(111)面の配向を有する結晶粒が成長し、ついには(111)配向度50%以上有する多結晶半導体膜が得られる。なお、この同図(b)において、基板温度が室温(RT)であるときの結晶の最大粒径は5000Å、基板温度が200℃のときは7500Å、基板温度が300℃のときは1.5μm、基板温度が400℃のときは4.5μmであった。

【0038】以上のように、本発明の多結晶半導体膜の製造方法によれば、a-Si膜を形成する第1の工程においては、その膜厚を比較的薄くし、且つプラズマCVD装置のバックグラウンドの真空度を十分に高くしてa-Si膜中の酸素を十分に除去し、第2の工程においてはa-Si膜に含まれる水素を比較的長時間(或いは高温)での熱アニールによって十分に除去し、第3の工程においては酸素及び水素が十分に除去されたa-Si膜に対して所定の温度を付与しつつレーザーパルスを多数回照射するようにしたので、再結晶化poly-Si膜11においてその結晶粒径を数μ程度に均一な粒径分布

で大粒径化させ且つ結晶に(111)面の配向を持たせることができるようになった。

【0039】このような大粒径で(111)配向を有する多結晶半導体膜を用いて薄膜トランジスタを作製するときは、その高い電子移動度によって薄膜トランジスタの高性能化を図ることができる。例えば、図4に示すように、膜厚が300Å~1000Å程度で、1μm以上の粒径を有する結晶を少なくとも含み、(111)配向度50%以上有するpoly-Si膜11を、歪点700℃以下のガラス基板10上に堆積し、ゲート絶縁膜12およびゲート電極13を形成し、ソースおよびドレインとなる領域に不純物をドーピングしてソースS、ドレインDを形成し、更に、ソース、ドレイン電極14を順次形成することにより作製できる。

【0040】なお、このような大粒径で(111)配向を有するpoly-Si膜11は少なくともチャネル層に存在すればよく、従って、このチャネルとなる部分にのみ選択的に多パルス照射するようにしてもよく、また大粒径の一つの結晶内にチャネル層を形成することもできる。更に、別に形成した高濃度不純物層にてソースおよびドレインを形成するようにしてもよいものである。

【0041】また、この大粒径で配向を有する多結晶半導体膜を核としてCVD法によりエピタキシャル成長させて厚膜の多結晶半導体膜を形成することもできる。

【0042】更に、この大粒径で配向を有する多結晶半導体膜を核として固相成長させた多結晶半導体膜を用いて太陽電池を製造することも可能となり、その高い電子移動度によって発電効率を高めることができる。例えば、図5(a)に示すように、裏面電極となる金属基板1上にSiO₂膜2をアイランド状に形成すると共に、各SiO₂膜2上に上記の方法によって大粒径のpoly-Si膜3を形成する。そして、同図(b)に示すように、n⁺型poly-Si膜4を固相成長により形成する。このとき、上記の大粒径のpoly-Si膜3が核となり、上記n⁺型poly-Si膜4の結晶粒径は大きなものとなる。次に、n⁻型poly-Si膜5およびp⁺型poly-Si膜6を順に形成した後、集電極7を形成する。これにより、大結晶粒で結晶性に優れたBSF(Back Surface Field)型の多結晶太陽電池が得られる。

【0043】なお、以上の実施例では、プラズマCVD法を用いて出発膜であるa-Si膜を形成したが、これに限らず、光CVD法なども用いることができる。また、LPCVD法(550℃)では、装置的に到達真空

度を十分に高めることができず、水素濃度が $7 \times 10^{19} / \text{cm}^3$ 程度、酸素濃度が $7 \times 10^{19} / \text{cm}^3$ 以上となり、多パルス照射しても大きな結晶は得られないが、今後の技術開発により装置の到達真空度を高めることが可能となつて、酸素濃度および水素濃度を十分に低くすることができるになれば、このLPCVD法で形成した薄膜のa-Si膜を用いて本発明の多パルス照射による多結晶半導体膜の製造方法を適用することができる。

【0044】

【発明の効果】以上のように、本発明によれば、より単結晶半導体膜の特性に近い多結晶半導体膜が得られ、上記の多結晶半導体膜の製造方法により、低融点のガラス基板などの上に結晶に配向を持たせながら薄膜で且つ大粒径化を図ることができるという効果を奏する。また、これを用いた薄膜トランジスタの性能は飛躍的に向上する。

【図面の簡単な説明】

【図1】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射によるシリコン膜の結晶成長の様子を示した斜視図である。

【図2】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射による粒径分布の推移を表したグラフである。

【図3】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射による結晶の配向性の変化をX線回折パターンにより示したグラフである。

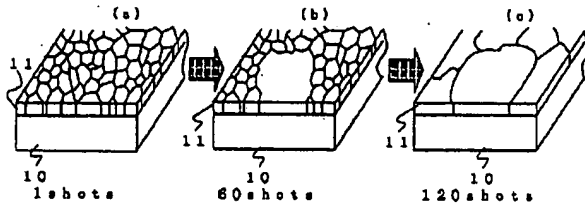
【図4】本発明の多結晶半導体膜を用いた薄膜トランジスタの縦断面図である。

【図5】本発明の多結晶半導体膜を用いた太陽電池の製造方法を工程順に示した縦断面図である。

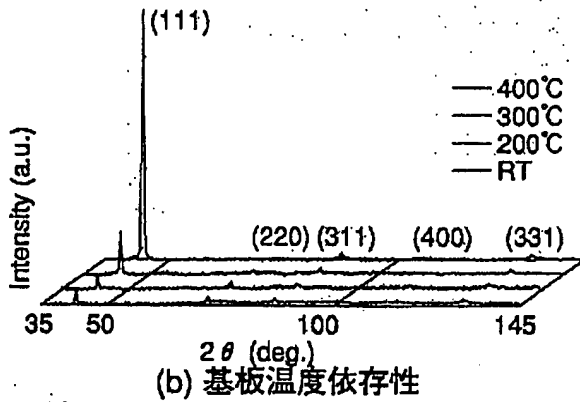
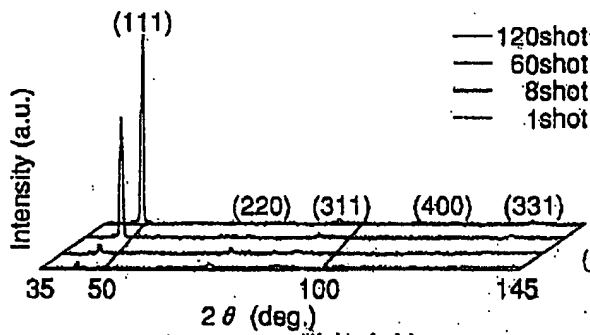
【符号の説明】

- 1 金属基板
- 2 SiO₂膜
- 3 大粒径のpoly-Si膜
- 4 n⁺型poly-Si膜
- 5 n⁻型poly-Si膜
- 6 p⁺型poly-Si膜
- 7 集電極
- 10 ガラス基板
- 11 大粒径のpoly-Si膜
- 12 ゲート絶縁膜
- 13 ゲート電極
- 14 ソース、ドレイン電極

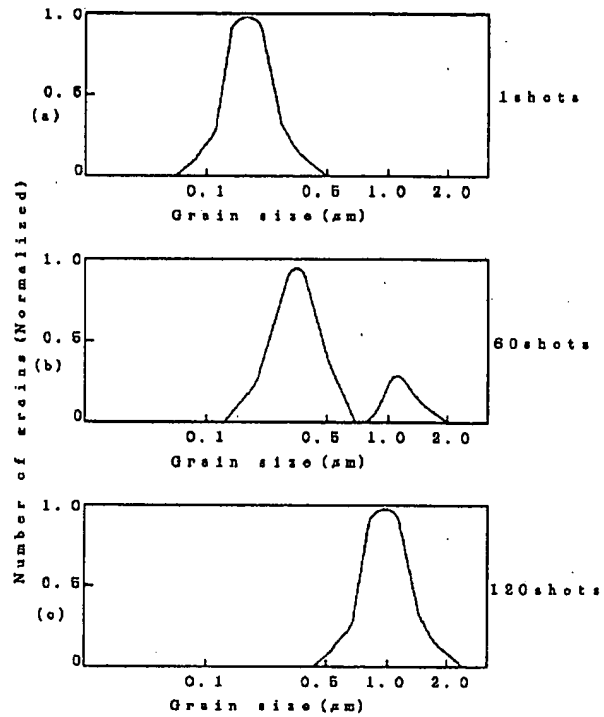
【図1】



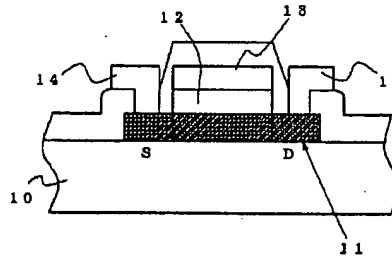
【図3】



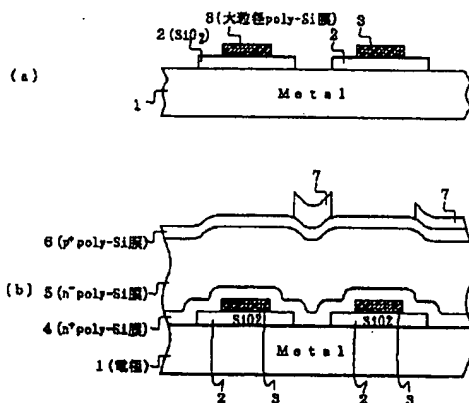
【図2】



【図4】



【図5】



(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 655 774 A3

(12)

EUROPEAN PATENT APPLICATION

(88) Date of publication A3:
17.07.1996 Bulletin 1996/29

(51) Int. Cl.⁶: H01L 21/20, B23K 26/06

(43) Date of publication A2:
31.05.1995 Bulletin 1995/22

(21) Application number: 94117286.8

(22) Date of filing: 02.11.1994

(84) Designated Contracting States:
DE FR GB NL

(30) Priority: 02.11.1993 JP 297399/93
23.02.1994 JP 49801/94

(71) Applicant: SONY CORPORATION
Tokyo 141 (JP)

(72) Inventors:
• Noguchi, Takashi,
c/o Sony Corporation
Shinagawa-ku, Tokyo (JP)

• Ogawa, Tohru,
c/o Sony Corporation
Shinagawa-ku, Tokyo (JP)
• Ikeda, Yuji,
c/o Sony Corporation
Shinagawa-ku, Tokyo (JP)

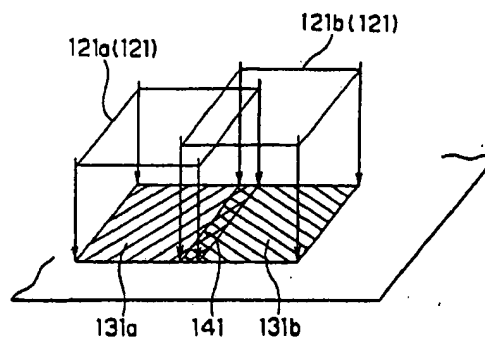
(74) Representative: TER MEER - MÜLLER -
STEINMEISTER & PARTNER
Mauerkircherstrasse 45
81679 München (DE)

(54) Method of forming polycrystalline silicon layer and surface treatment apparatus therefor

(57) A method of forming a polycrystalline silicon thin film improved in crystallinity and a channel of a transistor superior in electrical characteristics by the use of such a polycrystalline silicon thin film. An amorphous silicon layer of a thickness preferably of 30 nm to 50 nm is formed on a substrate. Next, substrate heating is performed to set the amorphous silicon layer to preferably 350°C to 500°C, more preferably 350°C to 450°C. Then, at least the amorphous silicon layer is exposed to laser light of an excimer laser in an extent greater than approximately 10 cm² by single shot exposure. The energy density is 100 mJ/cm² to 500 mJ/cm², preferably 280 mJ/cm² to 330 mJ/cm². The pulse width is 80 ns to 200 ns, preferably 140 ns to 200 ns, so as to directly anneal the amorphous silicon layer and form a polycrystalline silicon thin film. The total energy of the laser used for the irradiation of excimer laser light is at least 5J, preferably at least 10J.

A surface treatment laser apparatus and different surface treatments e.g. oxidation or nitridation are also described.

FIG. 1





European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 94 11 7286

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
Y	EP-A-0 373 055 (COMMISSARIAT À L'ÉNERGIE ATOMIQUE)	11,13,	H01L21/20
A	* the whole document *	17,23,27	B23K26/06
	---	19,25,28	
Y	US-A-4 970 546 (NIKON CORPORATION)	11,13,	
A	* the whole document *	17,23,27	
	---	9,18,19,	
		21,22,24	
A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 89 (E-1323), 22 February 1993 & JP-A-04 282869 (JII TEI SHII KK), 7 October 1992, * abstract *	1,7	

A	INTERNATIONAL ELECTRON DEVICES MEETING-WASHINGTON US, 8 - 11 December 1991, pages 563-566, XP002003298 H. KURIYAMA ET AL.: "high mobility poly-si tft by a new excimer laser annealing method for large area electronics" * page 564; figure 2 * * page 564, column 2, paragraph 2 *	1-3	

A	PATENT ABSTRACTS OF JAPAN vol. 17, no. 398 (E-1403), 26 July 1993 & JP-A-05 074704 (SEIKO EPSON CORP.), 26 March 1993, * abstract *	4	

	-/-		
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 17 May 1996	Examiner Aran, D
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document</p> <p>T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document</p>			



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number
EP 94 11 7286

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
A	<p>EIGHTH E.C. PHOTOVOLTAIC SOLAR ENERGY CONFERENCE-FLORENCE IT, 9 - 13 May 1988, pages 1280-1284, XP002003299</p> <p>I. REIS ET AL.: "recrystallization of polycrystalline silicon layers by an optical heating technique"</p> <p>* abstract *</p> <p>-----</p>	1,7	
			TECHNICAL FIELDS SEARCHED (Int.Cl.6)
The present search report has been drawn up for all claims			
Place of search		Date of completion of the search	Examiner
THE HAGUE		17 May 1996	Aran, D
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document</p> <p>T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons</p> <p>..... & : member of the same patent family, corresponding document</p>			

(12) UK Patent Application (19) GB (11) 2 338 342 (13) A

(43) Date of A Publication 15.12.1999

(21) Application No 9913336.5

(22) Date of Filing 08.06.1999

(30) Priority Data

(31) 98021290

(32) 09.06.1998

(33) KR

(31) 98021291

(32) 09.06.1998

(71) Applicant(s)

LG. Philips LCD Co Ltd
(Incorporated in the Republic of Korea)
20 Yoido-dong, Youngdungpo-ku, Seoul,
Republic of Korea

(72) Inventor(s)

Won-Kyu Park
Yun-Ho Jung
Se-Jin Chung

(74) Agent and/or Address for Service

Edward Evans & Co
Chancery House, 53-64 Chancery Lane, LONDON,
WC2A 1SD, United Kingdom

(51) INT CL⁶
H01L 21/20

(52) UK CL (Edition Q)

H1K KLHA K1CA K3F K8VE K9C3 K9R1

(56) Documents Cited

WO 97/45827 A1 US 5496768 A
App.Phys.Lett. Vol 70, No 12, 23/6/97, pp 3434-3436, Si
James et al, "Single crystal Si films" App.Phys.Lett.,
Vol 69, No 19, 4/11/96, pp 2864-2866, RS Sposili & Si
James, "Thin silicon films"

(58) Field of Search

UK CL (Edition Q) H1K KLHA KLXW
INT CL⁶ H01L 21/20
Online: WPI, JAPIO, EPODOC, INSPEC

(54) Abstract Title

Method for crystallizing amorphous silicon layer and method for fabricating tft

(57) An active layer commonly used in a thin-film-transistor is made by irradiating an amorphous silicon layer with a laser source at an energy density sufficient to induce substantially complete melting to form a melted region and an unmelted region. The melted region of the amorphous silicon layer is solidified with a lateral grain growth from the unmelted region to the melted region. Then the amorphous silicon layer is translated relative to the laser source. In such an apparatus, the laser source is prepared by emitting a laser beam through a mask 160. The mask 160 has a plurality of transparent regions 162 which comprises slits arranged adjacent to or next to each other and separated by a predetermined distance in certain applications. Such pattern may include contiguous chevron-shaped lines with curved apexes. Alternatively, the pattern includes slim rectangular apertures or dots. The size of the crystal grains may be increased by rotating the pattern through 90° and repeating the procedure.

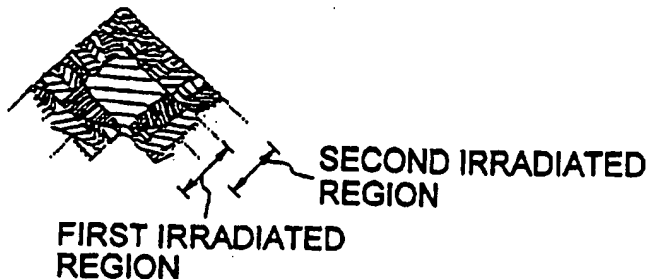


Fig. 7A

GB 2 338 342

FIG. 1A (RELATED ART)

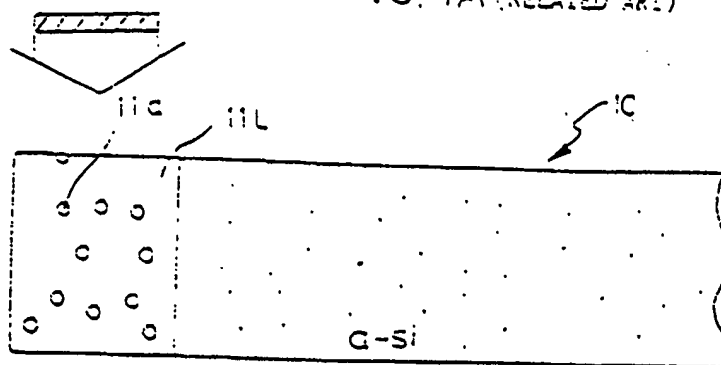


FIG. 1B (RELATED ART)

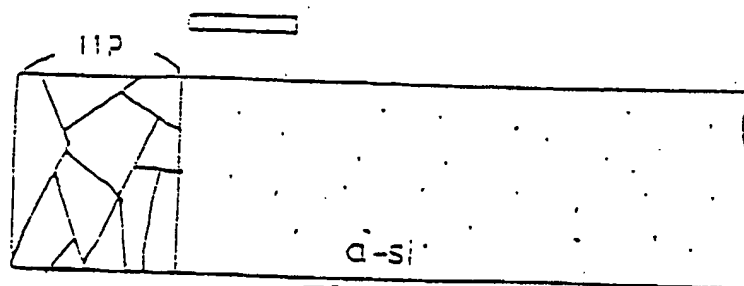


FIG. 1C (RELATED ART)

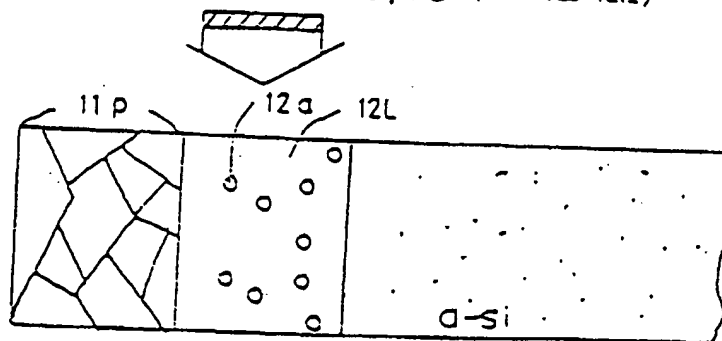


FIG. 1D (RELATED ART)

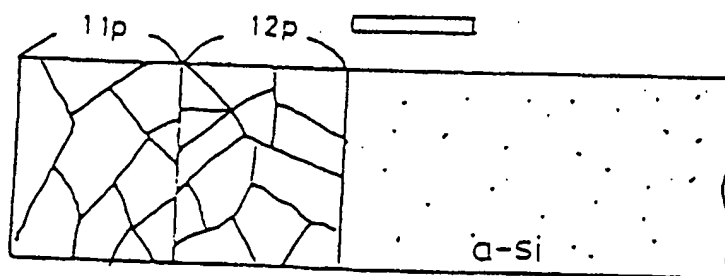
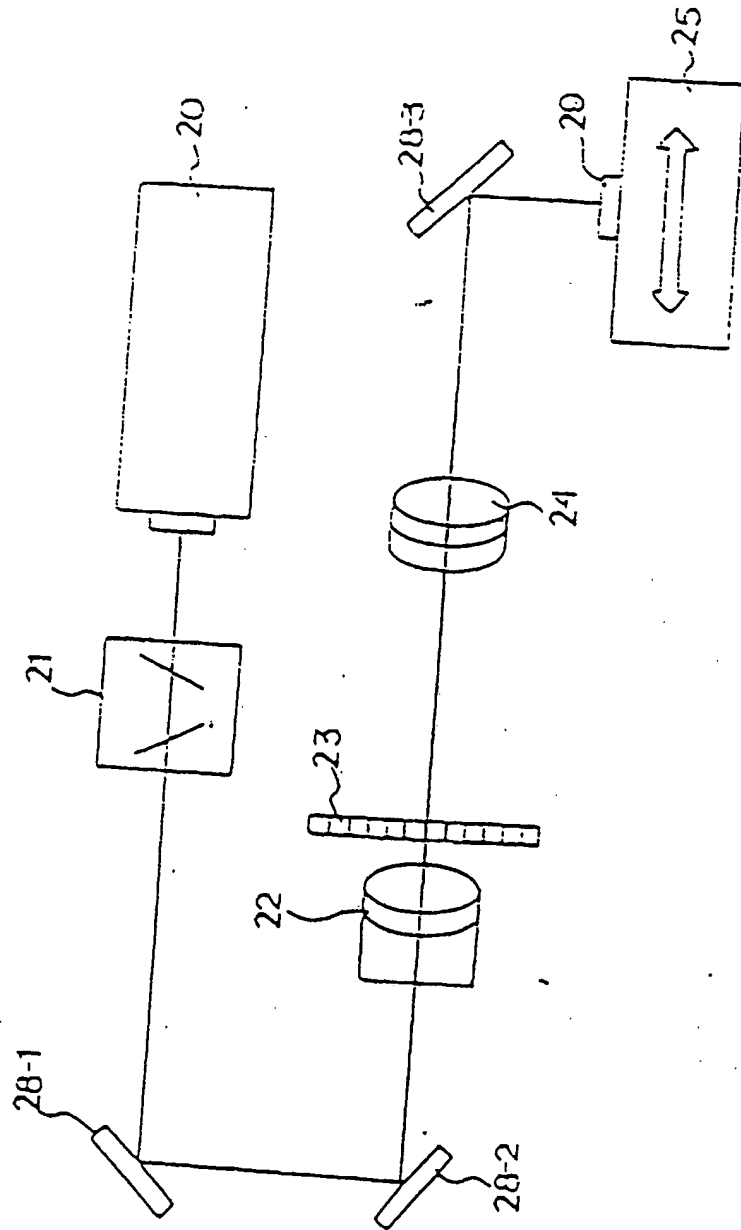


FIG. 2 (RELATED ART)



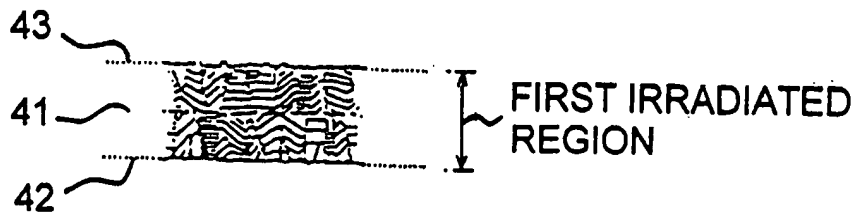


Fig. 3A
(RELATED ART)

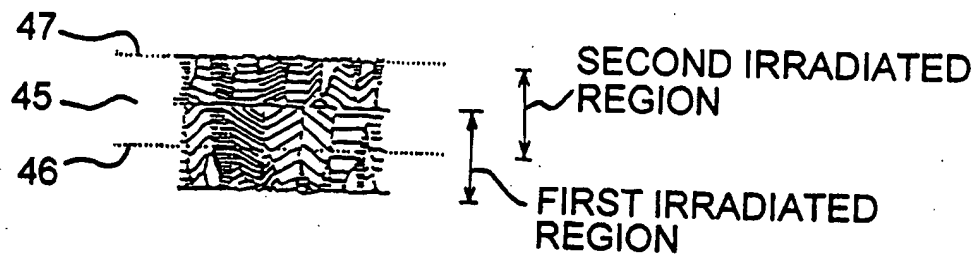


Fig. 3B
(RELATED ART)

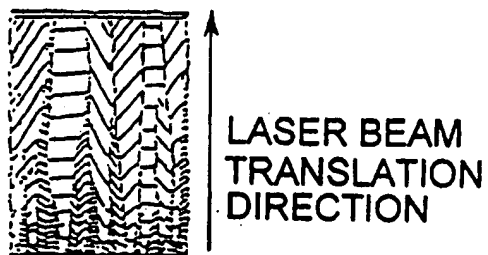


Fig. 3C
(RELATED ART)

4/22

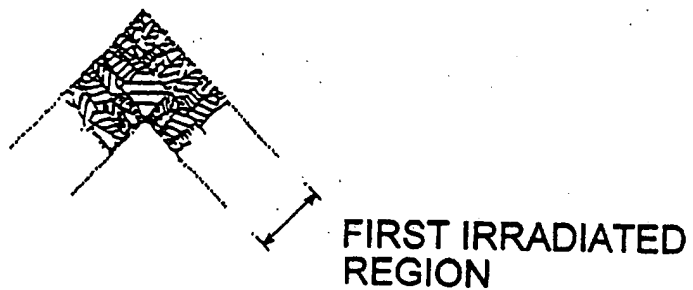


Fig. 4A
(RELATED ART)



Fig. 4B
(RELATED ART)

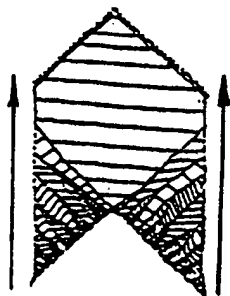


Fig. 4C
(RELATED ART)

5/22



Fig. 5

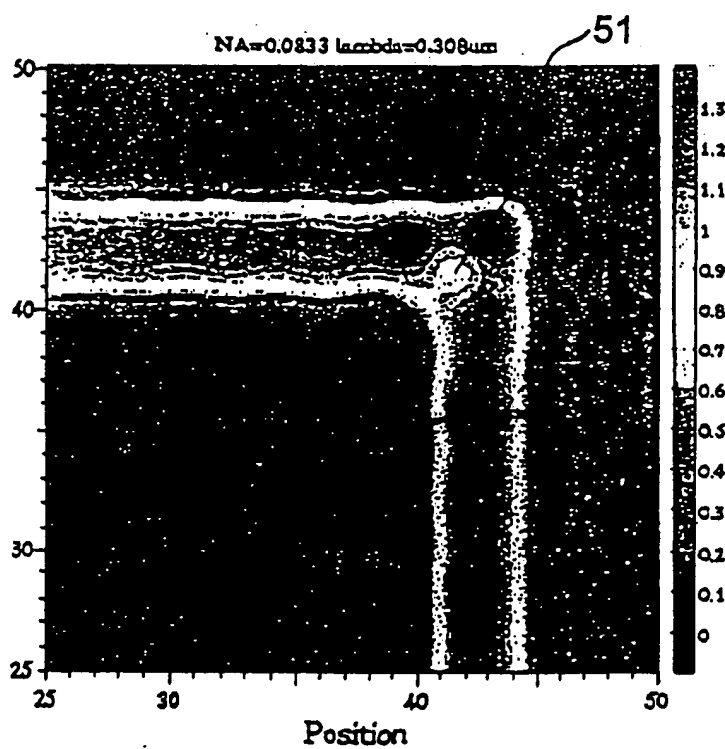


Fig. 6

6/22

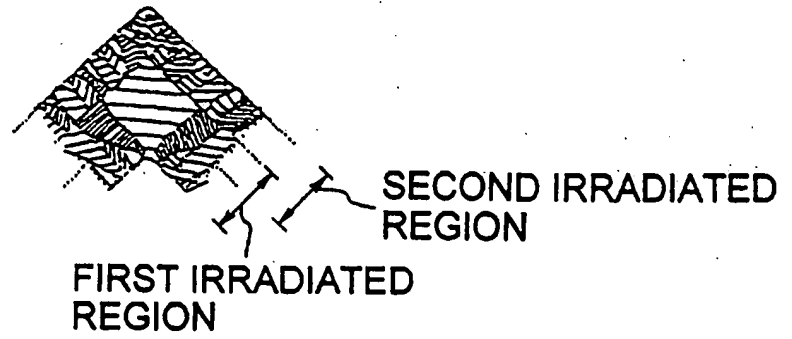


Fig. 7A

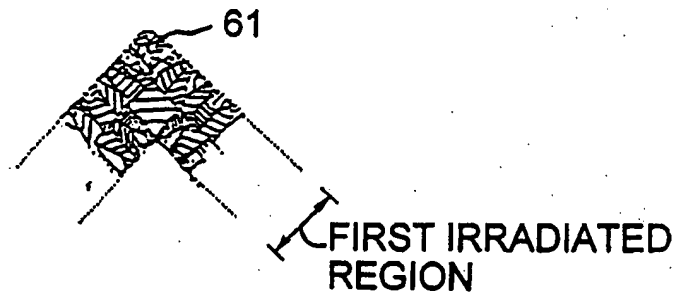


Fig. 7B

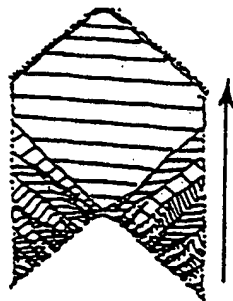


Fig. 7C

7/22

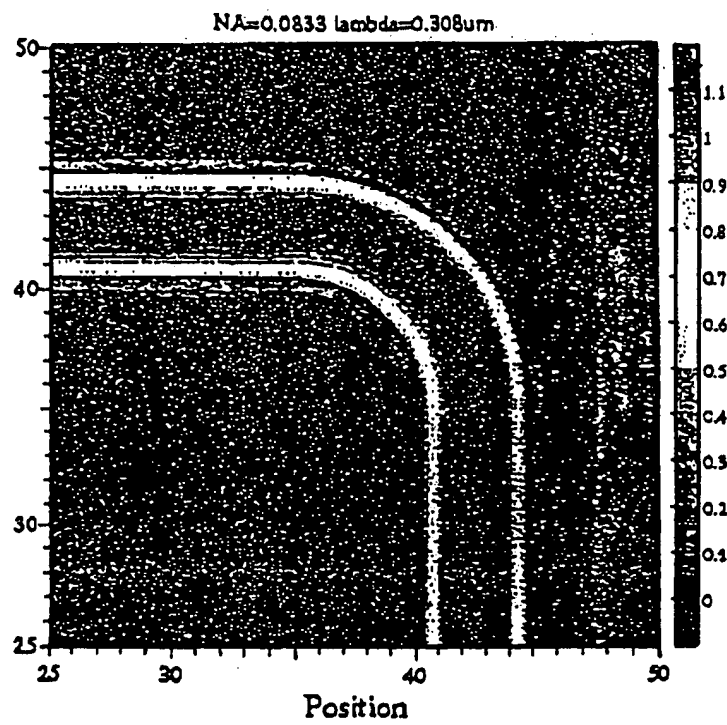


Fig. 8

8/22

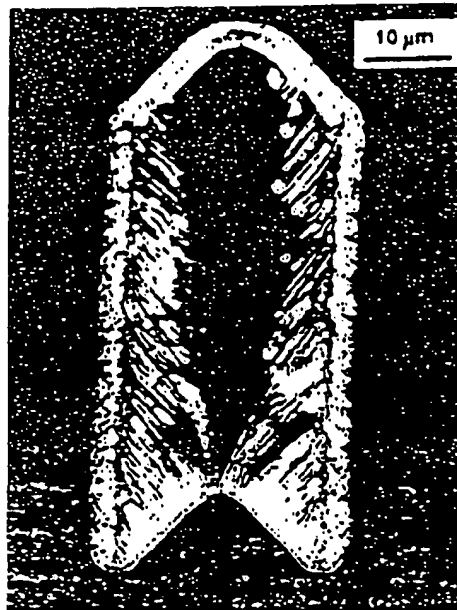


Fig. 9

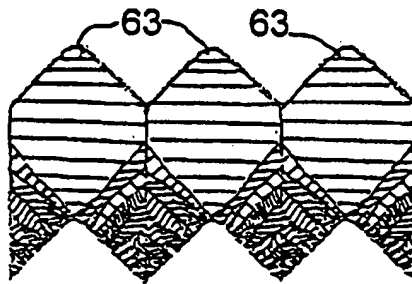


Fig. 10

FIG. 11

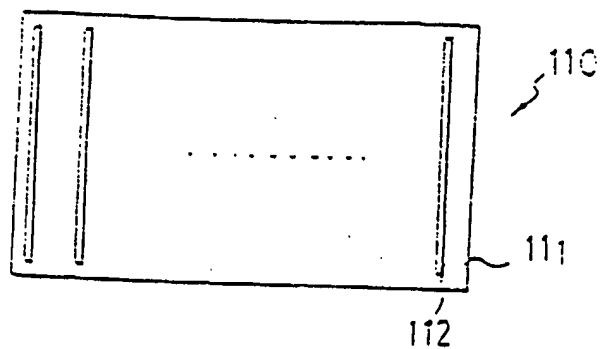


FIG. 12A

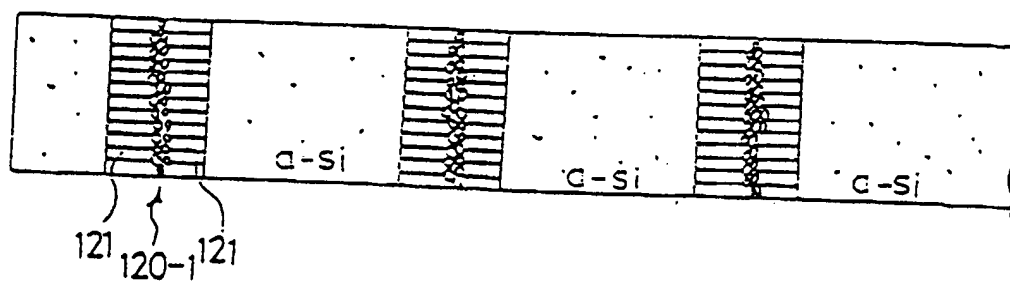


FIG. 12B

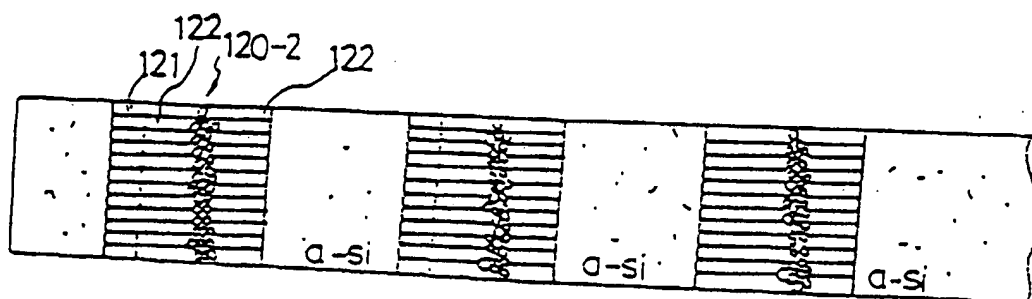


FIG.12C

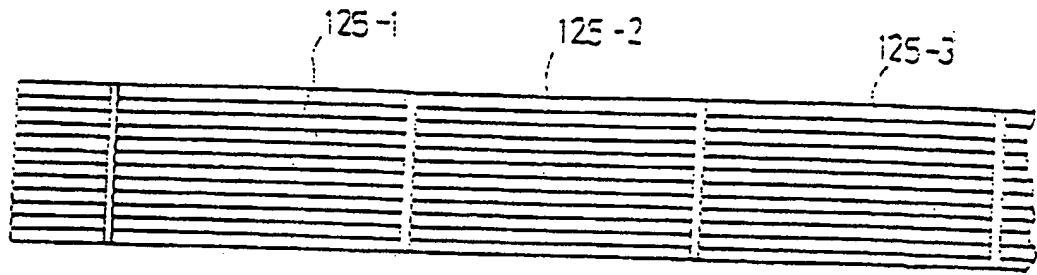


FIG.13A

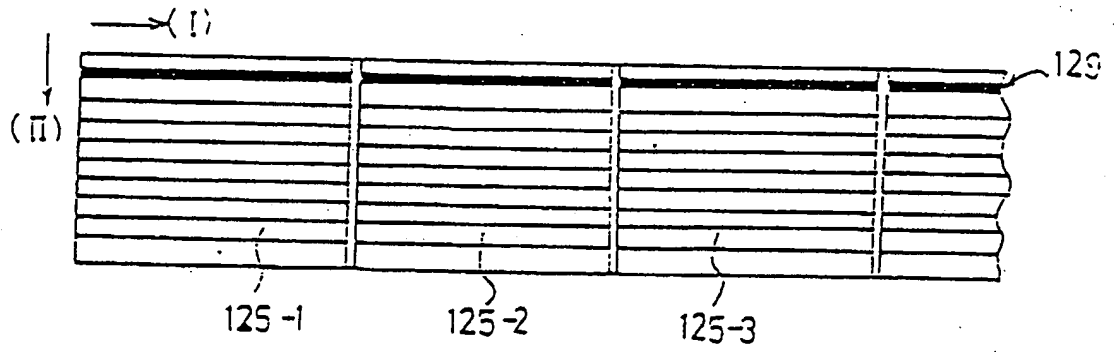


FIG.13B

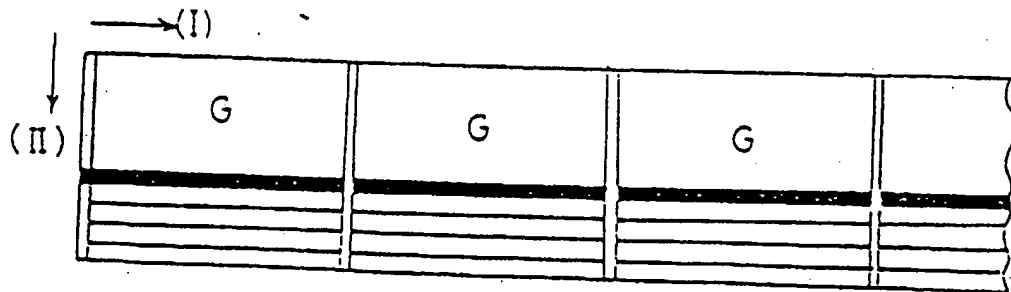


FIG.13C

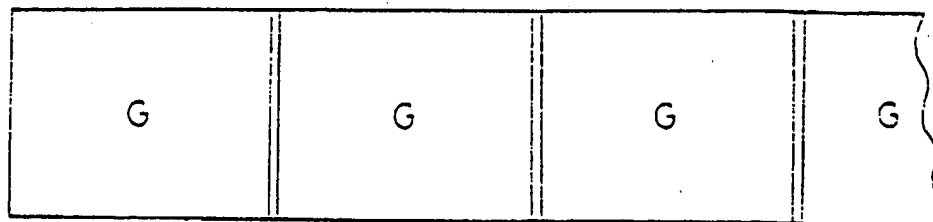


FIG.14

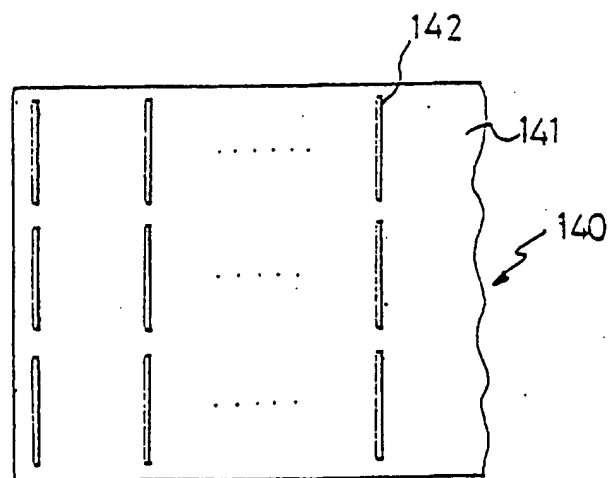


FIG.15A

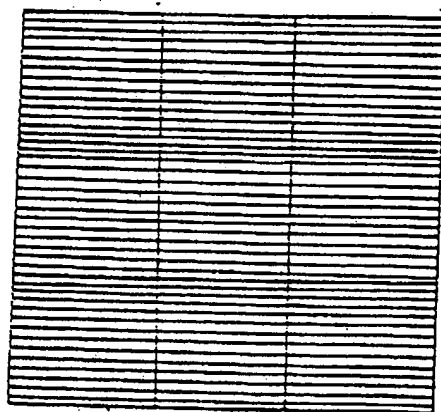


FIG.15B

G	G	G
G	G	G
G	G	G

FIG. 16

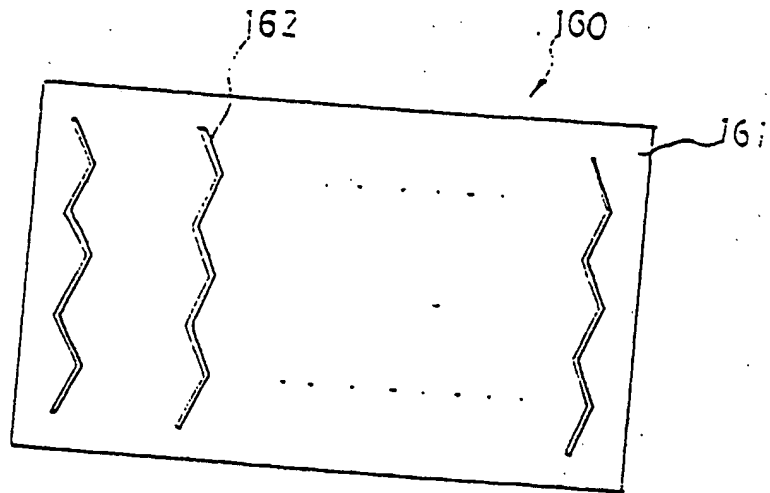


FIG. 17

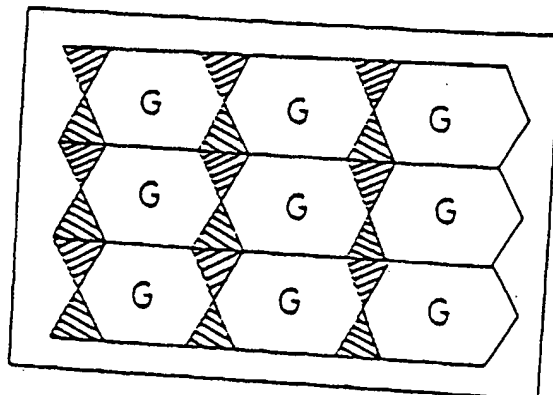


FIG. 18A

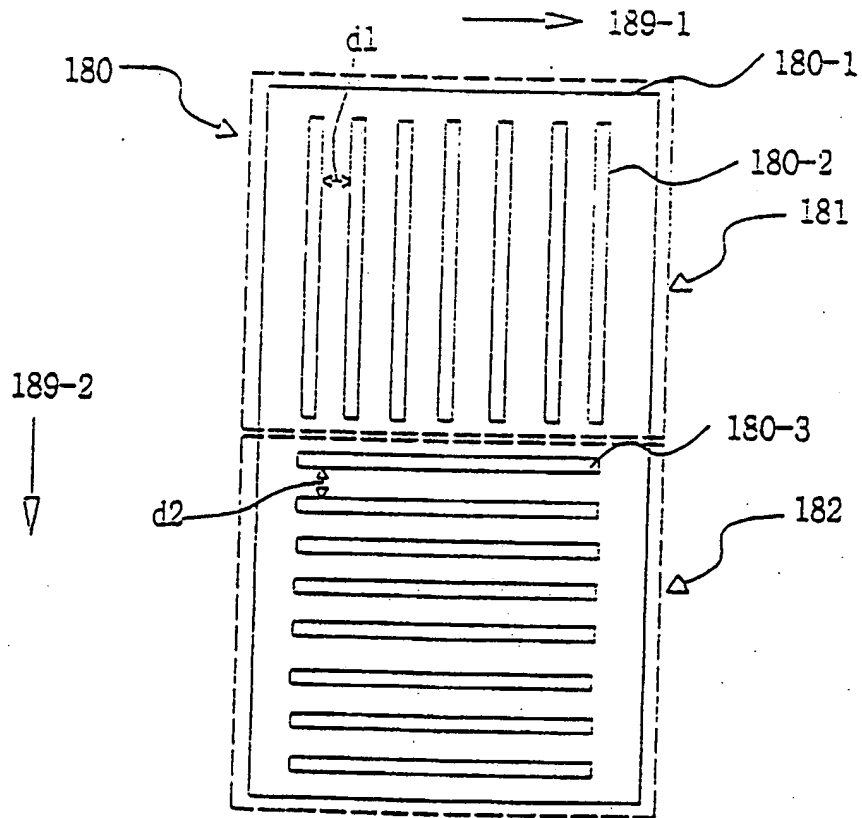


FIG. 18B

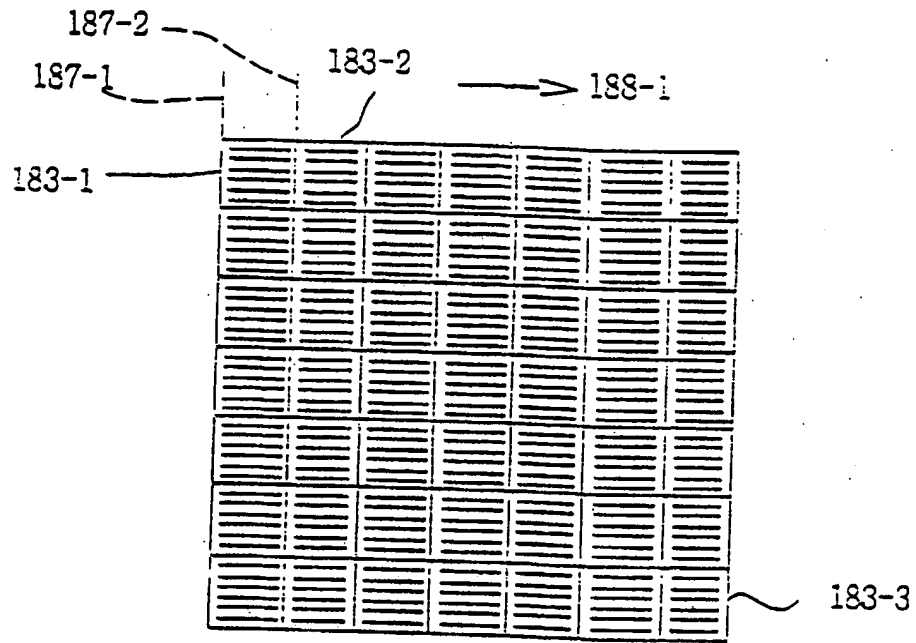
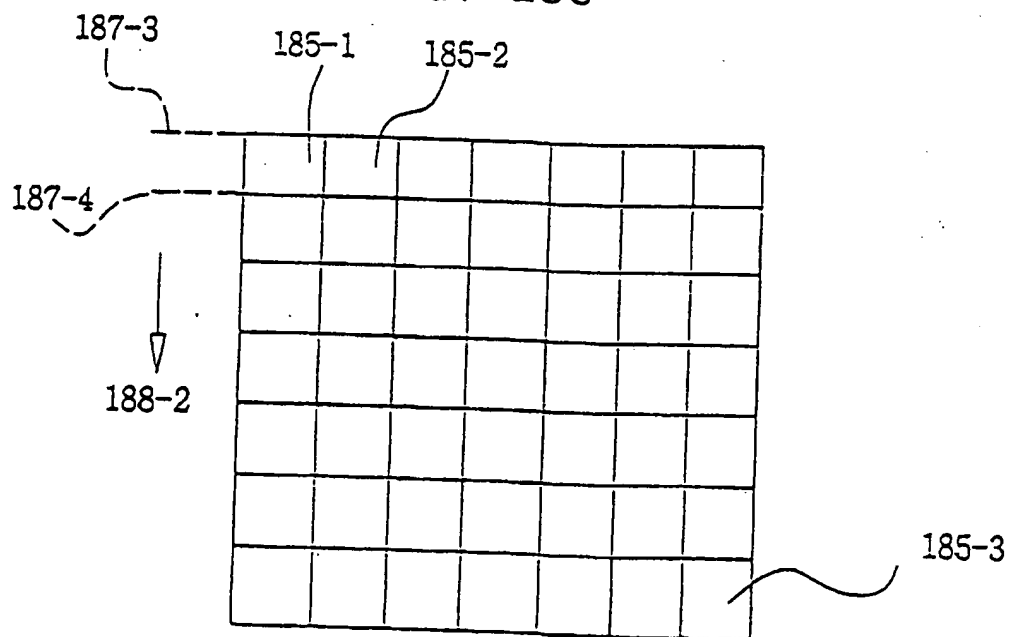


FIG. 18C



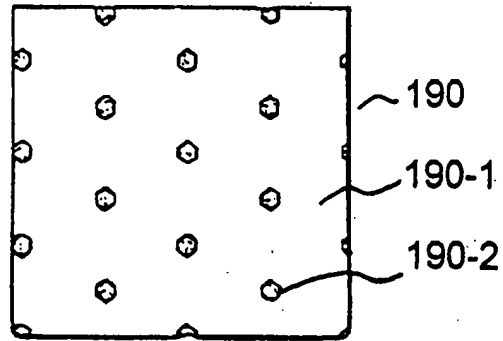
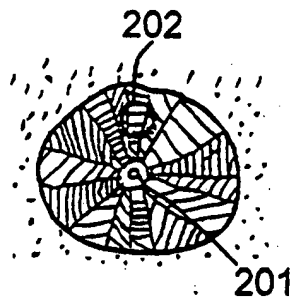
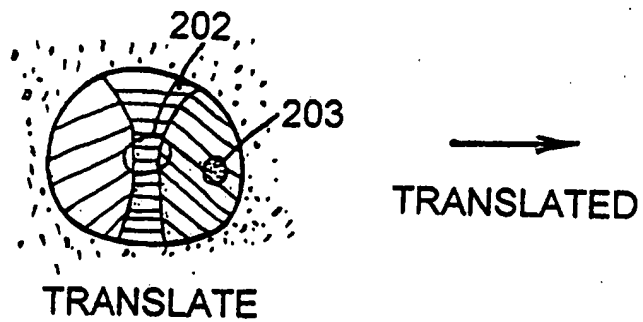


Fig. 19



TRANSLATED
Fig. 20A



TRANSLATE
Fig. 20B

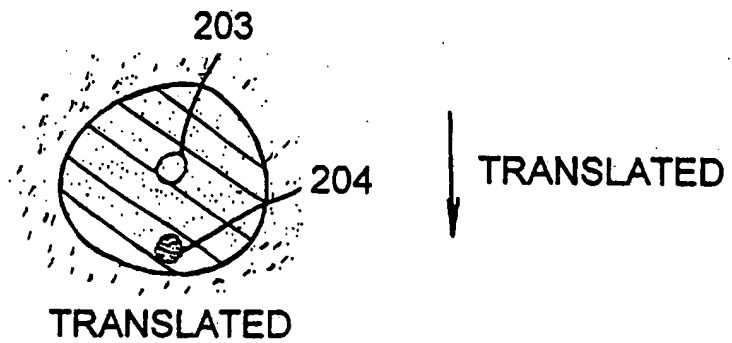


Fig. 20C

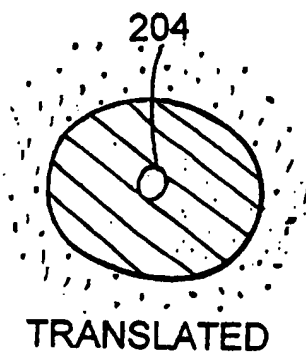


Fig. 20D

FIG. 21

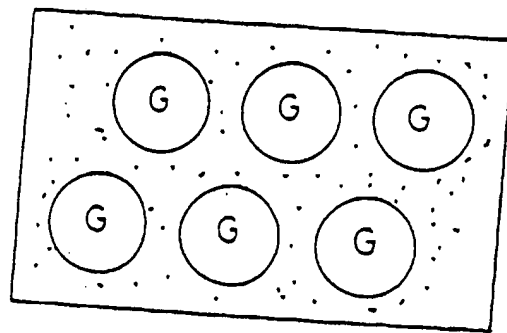


FIG. 22

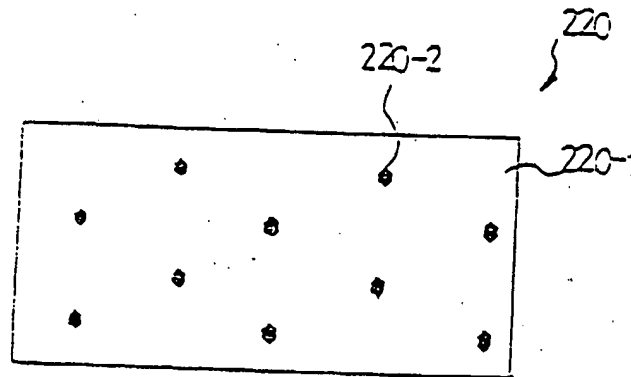


FIG. 23

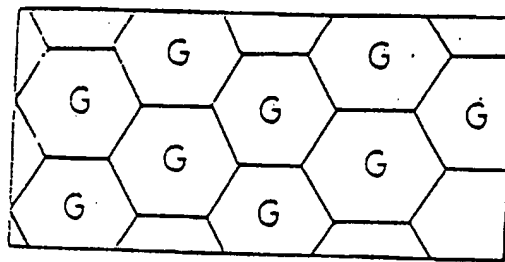


FIG. 24

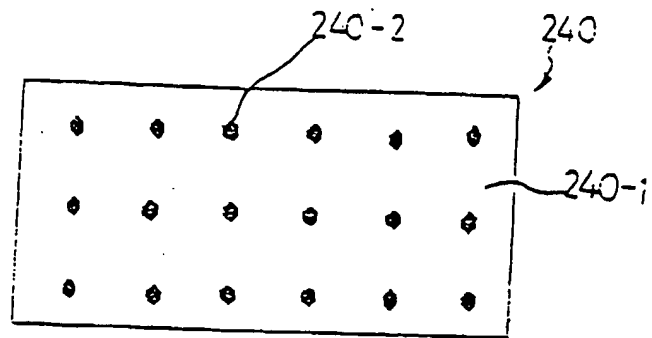


FIG. 25

G	G	G	G	G	G
G	G	G	G	G	G
G	G	G	G	G	G

FIG. 26A

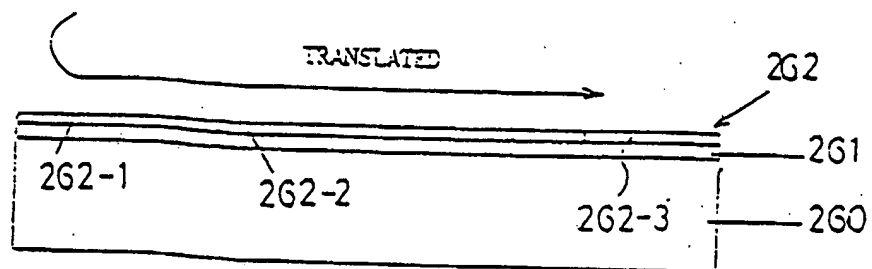


FIG. 26B

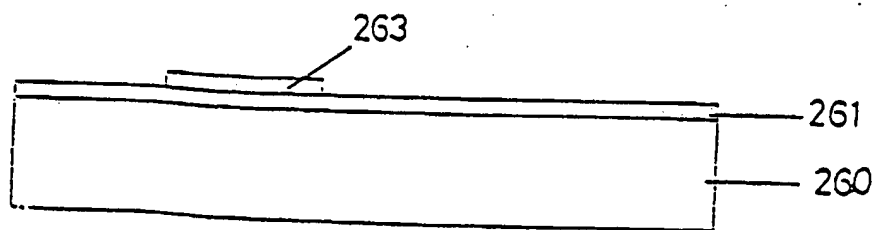


FIG. 26C

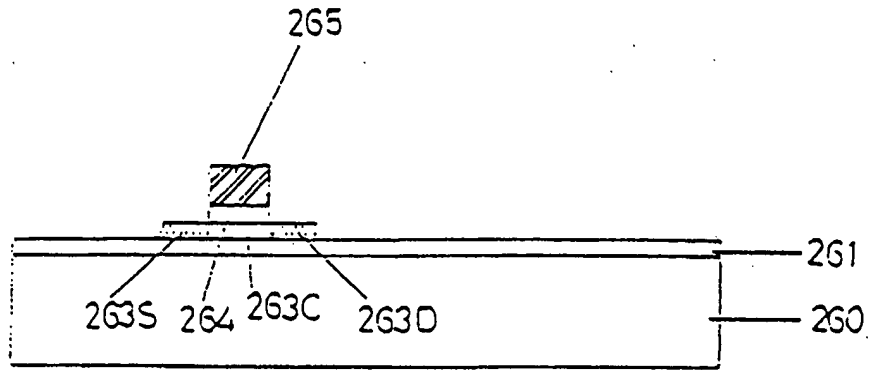


FIG. 26D

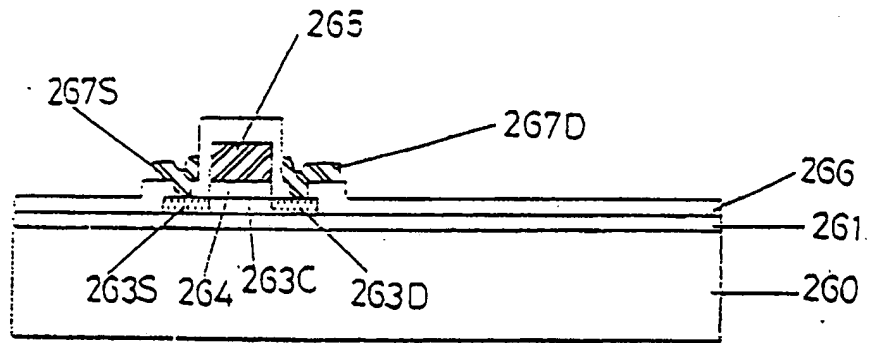
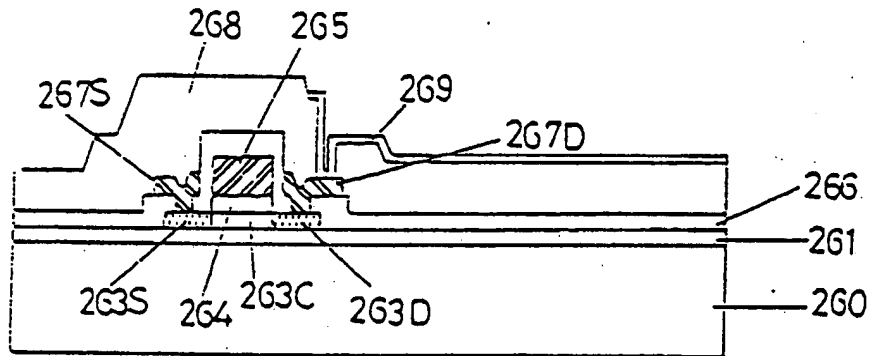


FIG. 26E



METHOD FOR CRYSTALLIZING AMORPHOUS SILICON LAYER AND
METHOD FOR FABRICATING TFT

5 The present invention relates to a method for crystallizing an amorphous silicon layer and a method for fabricating a thin film transistor (TFT) using the same, and more particularly, a method for crystallizing an amorphous silicon layer and fabricating a TFT by utilizing the Sequential Lateral Solidification (SLS) technique.

10 In order to fabricate TFTs on a low heat-resistant substrate, such as a glass substrate, an amorphous silicon layer or a polycrystalline silicon layer is deposited on the substrate and etched by photolithography to form active layers for TFTs.

 The mobility of charge carriers is low in the amorphous silicon layer. Accordingly, amorphous silicon TFT is not typically used as a driving circuit or a
15 controller of a liquid crystal display (LCD). However, the mobility of charge carriers is high in the polycrystalline layer. Accordingly, polycrystalline TFTs can be used in driving circuits of a liquid crystal display (LCD), wherein devices for pixel array and driving circuits are formed simultaneously.

 There are two techniques for forming polycrystalline silicon film on a glass
20 substrate. In the first technique, an amorphous silicon film is deposited on the substrate and crystallized at a temperature of about 600°C by Solid Phase Crystallization (SPC). This technique is difficult and problematic in terms of cost and materials because it requires a very high temperature.

 The second technique involves depositing an amorphous silicon film on the
25 substrate and crystallizing the film by thermal treatment using a laser. The second technique is not a high temperature process, thus, this facilitates the formation of a polycrystalline silicon film on the glass substrate.

 Figs. 1A to 1D are schematic drawings which illustrate a method for forming a polycrystalline silicon film according to one related art. Referring to Fig. 1A, a
30 particular region of an amorphous silicon film is first irradiated at an energy density to

induce formation of separated islands of amorphous silicon 11a and the silicon region 11L, a region generated by the irradiation of a laser beam, completely melts.

Referring to Fig. 1B, the amorphous film is translated relative to the laser beam over a distance less than the predetermined distance for a second irradiation. While the film is translating, the liquid silicon region 11L is crystallized under low temperature through a cooling process. The separated islands of amorphous silicon 11a are used as seeds for the crystallization process which results in the growth of the liquid silicon region 11L, thereby forming a first polycrystalline silicon region 11P. Grain growth occurs not only in the middle of the growth region, but growth also occurs in the interface between the liquid silicon region 11L and solid state amorphous silicon region a-Si. The grain growth stops when the grains collide at these grain boundaries.

Referring to Fig. 1C, a selected region of a translated amorphous silicon film is secondly irradiated. Thus, separated islands of amorphous silicon 12a remain and the other portions of the silicon, namely, silicon region 12L completely melts.

In Fig. 1D, the amorphous film is translated relative to the laser beam for the next irradiation. While the film is translating, the liquid silicon region 12L is crystallized under a low temperature cooling process. The separated islands of amorphous silicon 12a are used as seeds which grow into the liquid silicon region 12L, thereby forming a second polycrystalline silicon region 12P. Moreover, grain growth occurs at the interface between the liquid silicon region 12L and solid state amorphous silicon region a-Si, as well as at the interface between the liquid silicon region 12L and the first polycrystalline silicon region 11P.

The above described processes of irradiating and crystallizing are repeated over a total translation distance in order to crystallize the entire film. However, since the size of each silicon grain is not uniform and the location of the grain boundary varies in the polycrystalline silicon layer, a device-to-device uniformity is degraded in TFTs fabricated by such methods.

Accordingly, it is desirable and necessary to make the location of the grain boundary uniform and the grain size large.

Accordingly, it is proposed that a polycrystalline silicon film be formed on the glass substrate by using Sequential Lateral Solidification (SLS) techniques, as described in Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956-957, 1997. The SLS technique uses a phenomenon wherein the grain

5 boundaries in directionally solidified materials tend to form perpendicularly to the melted interface. The SLS technique enables the conversion of as-deposited amorphous or polycrystalline silicon films into a directionally solidified microstructure consisting of long, columnar grains.

The laser beam pattern for using SLS technique is prepared by an annealing
10 apparatus as shown in Fig 2. An unpatterned laser beam is emitted from a light source 20 and is passed through an attenuator 21 to control the energy density of the unpatterned laser beam. The unpatterned laser beam is focused on a focus lens 22 and passed through a mask having a predetermined pattern 23 in order to pattern the laser beam. The patterned laser beam then passes through an imaging lens 24. A film 29 on a
15 translation stage 25 is irradiated by the patterned laser beam. The entire film is scanned by the laser beam at a predetermined repetition rate. In this regard, Mirrors 28-1, 28-2, and 28-3 control the path of the laser beam.

Figs. 3A to 3C show a method for crystallizing an amorphous silicon film by the SLS technique according to another related art. Referring to Fig. 3A, a narrow region
20 having a slit film shape, bounded by the dashed lines 42 and 43, is irradiated at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth proceeds from the unmelted regions to the adjacent narrow strip region 41 which is fully-melted. Grain boundaries in directionally solidified materials proceed perpendicularly to the melt interface. Depending on the width of the molten region,
25 lateral growth ceases when either of two events occur: (1) the two opposing growth fronts collide at the center, or (2) the molten region becomes sufficiently supercooled to cause bulk nucleation of solids.

Due to these restrictive events, the maximum lateral growth distance which can be achieved with a single pulse is limited depending on the film thickness and the incident
30 energy density.

Referring to Fig. 3B, the film is translated relative to the beam image over a distance less than the single-pulse lateral growth distance and irradiated again. Lateral growth begins again from the edges of the completely molten region, located within the grains grown during the previous irradiation step. The length of the grains is increased
5 beyond the single-pulse lateral growth distance. For example, a narrow region 45 bounded by dashed lines 46 and 47 is irradiated by a second laser pulse. Since one of these edges, in this case the edge 46, is located within the silicon region grown during the previous irradiation step, the lengths of the silicon grains formed by the previous irradiation are extended by the second irradiation beyond the single-phase lateral growth
10 distance.

Referring to Fig. 3C, the above-described processes of irradiation and solidification can be repeated indefinitely, creating grains of any desired length. The final resultant microstructure is shown.

Using the method of the related art, a polycrystalline silicon film having uniform
15 physical characteristics could be achieved through lateral growth of the silicon grain. However, the polycrystalline silicon film cannot be used to form devices for complicated circuits, whereas a single crystal silicon film may be use in the manufacture of such devices.

Figs. 4A to 4C illustrate a method for crystallizing an amorphous silicon film
20 using the SLS technique according to a third related art. Referring to Fig. 4A, a selected region having a chevron-shaped aperture of the film and bounded by the dashed lines is irradiated at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth proceeds from the unmelted region to the adjacent narrow strip, fully-melted region. The grain boundaries in directionally solidified materials tend to
25 form perpendicularly in relation to the melt interface.

Because of the above-noted considerations, the maximum lateral growth distance that can be achieved with a single pulse is limited depending on the film thickness and the incident energy density. More specifically, the grain formed at the apex of the chevron experiences lateral growth not only in the translation direction, but also
30 transverse to it, because the grain boundaries are formed perpendicularly to the melt

interface. Therefore, the negative curvature of the molten zone at the apex of the chevron leads to a widening of the grain, such that a single crystal silicon grain region is induced.

Referring to Fig. 4B, the film is translated relative to the beam image over a distance which is approximately one-half of the single-pulse lateral growth distance, and irradiated again. Lateral growth recommences from the edges of the completely molten region, located within the grains grown during the previous irradiation step. The length of the grains is increased beyond the single-pulse lateral growth distance. The grain formed at the apex of the chevron, a single crystal silicon region, widens.

As shown in Fig. 4C, the above-cited processes of irradiation and solidification can be repeated indefinitely, resulting in grains of any desired length. The final resultant microstructure is illustrated. As shown in Fig. 4C, the grain formed at the apex of the chevron, a single crystal silicon region, widens dramatically.

Fig. 5 shows TEM data, indicating a crystalline silicon film crystallized by using the chevron-shaped laser beam. This drawing shows a polycrystalline silicon region, having lateral columnar silicon grains grown perpendicular to the interface between the amorphous silicon region and the irradiated silicon region, and a single crystalline region formed from the apex of the chevron to its upper portion.

However, defects in the sub-boundaries areas can be found in the single crystalline region. Therefore, the crystallized silicon films formed by using a chevron-shaped laser beam do not yield TFT devices which can achieve the level of performance of silicon wafer-based TFT devices.

Fig. 6 shows the distribution of the energy density of an irradiated silicon film portion by a chevron-shaped laser beam. The energy density of the other portions, except the apex portion of the chevron-shaped beam, shows a normal distribution, the brim of which is low and the center is high. But the energy density of the apex portion of the chevron-shaped film is low relative the other portion which surrounds it. The explanation lies in the fact that the interference of the laser beam occurs at the apex because of the characteristics of the chevron-shaped beam. Thus, differences of the

thermal stress can form in the molten silicon portion irradiated by the apex of the laser beam. The principal defect lies in the interior of the crystallized silicon.

Accordingly, the present invention is directed to a method for crystallizing an
5 amorphous silicon layer and a method for fabricating a TFT using the same, that substantially obviates one or more of the problems due to limitations and disadvantages of the related art.

Another object of the present invention is to provide a method for crystallizing an
amorphous silicon layer and a method for fabricating a TFT using the same, so that the
10 size of the silicon grain grows dramatically.

Another object of the present invention is to provide a method for crystallizing an
amorphous silicon layer and a method for fabricating a TFT using the same, by forming a
single crystalline silicon region on the glass substrate through a crystallization method
that uses the SLS technique and improves the pattern of the laser beam.

15 Another object of the present invention is to provide a method for crystallizing an
amorphous silicon layer and a method for fabricating a TFT using the same, by using a
plurality of laser beams to crystallize a large area of the substrate in a relatively short
period of time.

Additional features and advantages of the invention will be set forth in the
20 description which follows and in part will be apparent from the description, or may be
learned by practice of the invention. The objectives and other advantages of the
invention will be realized and attained by the structure particularly pointed out in the
written description and claims hereof as well as the appended drawings.

To achieve these and other advantages and in accordance with the purpose of the
25 present invention, as embodied and broadly described, the present invention comprises
the steps of preparing an amorphous silicon layer which will be crystallized on the
insulating substrate; preparing a laser beam having a chevron-shape, the apex of which is
round; first-irradiating a selected portion of the amorphous silicon layer with the laser
beam at an energy density sufficient to induce complete melting; solidifying the melted
30 region of the amorphous silicon layer by proceeding a lateral grain growth from the

unmelted regions to the melted regions; translating the amorphous layer relative to the beam image over a first distance to a first direction; and second-irradiating a selected portion of the amorphous silicon layer with the laser beam and crystallizing the irradiated portions of the amorphous silicon layer.

- 5 Another aspect of the present invention comprises steps of preparing an amorphous silicon layer which will be crystallized on the insulating substrate; preparing a plurality of laser beams, arrayed at a predetermined distance between the laser beams, each laser beam having a first directional straight line shape; first-irradiating a plurality of the selected portions of the amorphous silicon layer with the laser beams at an energy
- 10 density sufficient to induce complete melting; solidifying the melted region of the amorphous silicon layer by proceeding a lateral grain growth from the unmelted regions to the melted regions; translating the amorphous layer relative to the beam image over a first distance to a second direction; and second-irradiating a plurality of the selected portions of the amorphous silicon layer with the laser beams at an energy density
- 15 sufficient to induce complete melting and crystallizing the irradiated portions of the amorphous silicon layer.

- Another aspect of the present invention comprises steps of preparing a mask having a plurality of opaque regions of the dot shape, arrayed at a predetermined distance between dot shape to dot shape in a transparent region substrate; preparing an
- 20 amorphous silicon layer which will be crystallized on the insulating substrate; first-irradiating a selected region of the amorphous silicon layer with a laser beam at an energy density sufficient to induce complete melting, the laser beam being prepared by making an unpatterned laser beam pass through the mask; solidifying the melted region of the amorphous silicon layer by proceeding a lateral grain growth from the unmelted
- 25 regions to the melted regions; translating the amorphous layer relative to the beam image over a distance less than the single-pulse lateral growth distance in a predetermined direction; second-irradiating a selected region of the silicon layer with a laser beam at an energy density sufficient to induce complete melting; solidifying the melted region of the silicon layer by proceeding a lateral grain growth from the unmelted regions to the

melted region; and translating the silicon layer relative to the beam image over a distance less than the single-pulse lateral growth distance in a predetermined direction.

Another aspect of the present invention comprises an active layer, a gate insulating layer and a gate electrode, the forming method of the active layer comprising the steps of: depositing an amorphous silicon layer on an insulating material layer;
5 crystallizing the amorphous silicon layer with a laser beam by Sequential Lateral Solidification technique, the laser beam having a chevron-shaped aperture, the apex of which is round; and etching the amorphous silicon layer to pattern the active layer.

It is to be understood that both the foregoing general description and the
10 following detailed description are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

Specific embodiments according to the present invention will now be described, by way of example, with reference to the accompanying drawings, in which:

Figs. 1A to 1D are schematic drawings showing a method for crystallizing a
15 silicon layer according to a related art;

Fig. 2 is a schematic drawing showing a laser annealing system for the SLS technique;

Figs. 3A to 3C are schematic drawings illustrating a method for crystallizing a silicon layer according to a related art;

20 Figs. 4A to 4C are schematic drawings showing a method for crystallizing a silicon layer according to a related art;

Fig. 5 is a TEM showing the crystallization according to the related art;

Fig. 6 is a drawing showing the thermal distribution of the laser beam according to the related art;

25 Figs. 7A to 7C are schematic drawings for illustrating a method for crystallizing a silicon layer according to a first embodiment of the present invention;

Fig. 8 is a drawing showing thermal distribution of the laser beam according to the first embodiment of the present invention;

Fig. 9 is a TEM showing crystallization according to the first embodiment of the
30 present invention;

Fig. 10 is a drawing showing crystallization according to a second embodiment of the present invention;

Fig. 11 is schematic drawing for illustrating a mask used in a third embodiment of the present invention;

5 Figs. 12A to 12C are schematic drawings showing a method for crystallizing a silicon layer according to the third embodiment of the present invention;

Figs. 13A to 13C are another schematic drawings showing a method for crystallizing a silicon layer according to the fourth embodiment of the present invention;

10 Fig. 14 is schematic drawing illustrating a mask used in a fifth embodiment of the present invention;

Figs. 15A to 15B are drawings showing crystallization according to the fifth embodiment of the present invention;

Fig. 16 is a schematic drawing showing another mask used in a sixth embodiment of the present invention;

15 Fig. 17 is a schematic drawing showing crystallization according to the sixth embodiment of the present invention;

Fig. 18A shows one of the various examples for the mask for patterning a laser beam according to a seventh embodiment of the present invention and Fig. 18B to Fig. 18C are schematic drawings for explaining a method for crystallizing a silicon film using
20 th mask as shown in Fig. 18A.

Fig. 19 is a schematic drawing showing a mask used in a eighth embodiment of the present invention;

Figs. 20A to 20D are schematic drawings showing a method for crystallizing a silicon layer according to the eighth embodiment of the present invention;

25 Fig. 21 is a drawing showing crystallization according to the ninth embodiment of the present invention;

Fig. 22 is a schematic drawing illustrating a mask used in a tenth embodiment of the present invention;

30 Fig. 23 is a drawing showing crystallization according to the tenth embodiment of the present invention;

Fig. 24 is a schematic drawing showing a mask used in an eleventh embodiment of the present invention;

Fig. 25 is a drawing showing crystallization according to the eleventh embodiment of the present invention; and

5 Figs. 26A to 26E are schematic drawings showing a method for fabricating a TFT according to an embodiment of the present invention.

Figs. 7A to 7C are schematic drawings showing a method for crystallizing an amorphous silicon film using the SLS technique according to a first embodiment of the present invention, wherein an amorphous silicon film is crystallized by using a chevron-
10 typed laser beam having a round apex.

Referring to Fig. 7A, a selected film region, having chevron-shaped apertures and a rounded apex 61, and bounded by the dashed lines, is irradiated at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth proceeds from
15 the unmelted regions to the adjacent narrow strip, fully-melted region. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. Due to such considerations, the maximum lateral growth distance that can be achieved with a single pulse is limited, depending on the film thickness and the incident energy density. Here, the grain formed
20 at the apex of the chevron experiences lateral growth not only in the translation direction, but also transversely, because grain boundaries form perpendicularly to the melt interface. Thus, the negative curvature of the molten zone at the apex of the chevron leads to widening of the grain, so that a single crystal silicon grain region is induced.

25 The size of the single crystalline region is determined by the width of the beam pattern and the distance of the translation of the film. The location of the single crystalline region may be accurately controlled by using a laser beam which provides an appropriate pattern.

The difference of the thermal stress is reduced in the molten silicon portion
30 irradiated by the rounded apex 61 of the laser beam. Fig. 8 shows the distribution of the

energy density of an irradiated silicon portion by a chevron-shaped laser beam having a rounded apex 61.

In particular, the entire portion of the energy density of the chevron-shaped film having a rounded apex has a normal energy distribution, of which the brim is low but is
5 higher to the center. Accordingly, the difference of the thermal stress is not present in the molten silicon portion irradiated by the rounded apex of the laser beam. As a result, the interference of the laser beam in the apex is substantially reduced. Since the difference of the thermal stress is not formed or at least reduced in the molten silicon portion, the principal defect – the difference of the thermal stress, such as the sub-
10 boundaries as above described – is not formed in the interior of the crystallized silicon.

Referring to Fig. 7B, the film is translated relative to the beam image over a distance of less than the single-pulse lateral growth distance, approximately one-half of this distance, and irradiated again. The lateral growth recommences from the edges of the completely molten region, one of which is located within the grains grown during the
15 previous irradiation step. The length of the grains increases beyond the single-pulse lateral growth distance, and the grain formed at the apex of the chevron, namely, a single crystal silicon region, widens.

Referring to Fig. 7C, the above-cited process of irradiation and solidification, is repeated indefinitely, resulting in grains of any desired length. The final resultant
20 microstructure is shown. The grain formed at the apex of the chevron, namely, the single crystal silicon region is widened dramatically.

Fig. 9 shows a TEM drawing, showing a crystalline silicon film crystallized according to the first embodiment of the present invention. This figure shows a polycrystalline silicon region, having lateral columnar silicon grains grown perpendicular
25 to the interface between the amorphous silicon region and the irradiated silicon region, and a single crystalline region formed from the rounded apex of the chevron to its upper portion. A pure single crystalline region without sub-boundaries is shown.

Fig. 10 is a schematic drawing depicting a method for crystallizing a silicon film according to a second embodiment of the present invention. This embodiment uses a

laser beam having a continuous chevron-shape having rounded apexes 63. Fig. 10 shows the crystallization using the above laser beam.

The method for crystallizing the silicon film through the SLS technique by using the laser beam having the rounded apex is described previously. A plurality of the single crystalline regions, formed and extended from the plurality of the apexes, is shown. Thereby, a large area of the film can be crystallized in a short period of time according to the second embodiment of the present invention. Consequently, according to this second embodiment, a plurality of pure single crystalline silicon regions is formed on the glass substrate in a reduced time without significant defects.

Fig. 11 and Figs. 12A to 12C are schematic drawings showing a method for crystallizing a silicon film according to a third embodiment. Fig. 11 shows a mask forming a laser beam pattern and Figs. 12A to 12C show a crystallization process with the laser beam patterned by the mask shown in Fig. 11. In sum, three laser beams patterned by three transparent slits onto an amorphous silicon film is shown in Figs. 12A to 12C.

A plurality of transparent regions 112 having a long straight shape are arrayed at a predetermined distance in an opaque region substrate 111 of a mask 110 for patterning a laser beam. One laser beam is passed through the mask 110, having a plurality of transparent regions 112 to pattern a plurality of laser beams.

The size of the silicon grain formed by SLS technique is controlled by the distance of each transparent region 112 and the total number of the transparent regions 112 in the mask 110.

Referring to Fig. 12A, a plurality of the selected narrow regions having a straight slit shape of the film are first irradiated with a laser beam patterned by the mask shown in Fig. 11 at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth proceeds from the unmelted regions of a-Si adjacent to the narrow strips which are fully-melted regions. The grain boundaries in directionally solidified materials are formed and are substantially perpendicular to the melted interface. Depending on the width of the molten region, lateral growth ceases when either (1) the two opposing growth fronts collide at the center, or (2) the molten region becomes sufficiently

supercooled so that a bulk nucleation of solids occur – whichever occurs first. Due to such considerations, the maximum lateral growth distance that can be achieved with a single pulse is limited to less than certain length, depending on the film thickness and the incident energy density.

5 As shown in Figs. 12A and 12B, a plurality of the polycrystalline regions 121 are formed by lateral grain growth and a plurality of the fine polycrystalline silicon regions 120-1 having bulk nucleation of solids are also formed.

Referring to Fig. 12B, the film is translated relative to the beam image over a distance less than the single-pulse lateral growth distance, and irradiated again. Lateral
10 growth recommences from the edges of the completely molten region, one of which is located within the grains grown 121 during the previous, the first irradiation, step. The length of the grains is increased beyond the single-pulse lateral growth distance. Reference numeral 122 denotes a plurality of polycrystalline regions formed by lateral grain growth and 120-2 denotes a plurality of the fine polycrystalline silicon regions
15 having bulk nucleation of solids.

Referring to Fig. 12C, the above-cited process, irradiating and solidifying, can be repeated indefinitely, leading to grains of any desired length. The final microstructure obtained in this fashion is shown. A plurality of the grains having a predetermined length, such as the distance between one transparent region and an adjacent transparent
20 region of the mask, are shown in Fig 12C. Polycrystalline silicon regions 125-1, 125-2 and 125-3 crystallized by SLS, using a plurality of the laser beams are also shown in Fig. 12C.

Accordingly, the large area film is crystallized in short time according to the third embodiment of the present invention. The larger the number of laser beams, the shorter
25 the crystallization time. In other words, the crystallization speed by using n laser beams is n -times faster than that by using only one laser beam. A plurality of the crystalline silicon regions is formed on the glass substrate in short time according to the third embodiment of the present invention

Figs. 13A - 13C are schematic drawings for explaining a method for crystallizing
30 a silicon film according to a fourth embodiment of the present invention, in which the

laser scanning for the lateral grain growth by SLS are performed two times, for example, once in a vertical direction and then a horizontal direction. The first laser scanning for lateral grain growth proceeds at a first direction to form a polycrystalline silicon region having first direction columnar grains and the second laser scanning for lateral grain growth proceeds at a second direction perpendicular to the first direction to form single crystalline regions by using one of the first direction columnar grains as seed for grain growth.

Referring to Fig. 13A, a plurality of the selected straight regions of the crystallized silicon film having first direction (I) columnar grains are irradiated with a plurality of the straight laser beams having the second direction perpendicular to the first direction. The straight laser beams are prepared by rotating the mask which was used in the third embodiment of the present invention by an angle of about 90 degrees. Subsequently, the lateral grain growth proceeds in the second direction (II) from the unmelted regions to the adjacent narrow strips, fully-melted regions by using one of the first direction columnar grains as a seed for grain growth. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melted interface. As a result, polycrystalline silicon regions 125-1, 125-2 and 125-3 crystallized by a method according to the third embodiment of the present invention are formed.

Referring to Fig. 13B, the above-cited process, irradiating and solidifying, can be repeated indefinitely, leading to grains of any desired length. As the lateral grain growth in the second direction proceeds, the seed grain grows more and more. The translating direction of the laser beam relative to the film is in the second direction (II).

Referring to Fig. 13C, a plurality of the seed grain grows dramatically to form a plurality of the single crystalline region G as a result of the crystallization. Accordingly, crystallized silicon film having very large size single crystalline regions could be formed on the glass substrate.

Fig. 14 and Fig. 15A to Fig. 15B are schematic drawings for explaining a method for crystallizing a silicon film according to a fifth embodiment of the present invention.

Fig. 14 shows a mask forming a laser beam pattern and Fig. 15A to Fig. 15B show a crystallized silicon film with laser beams patterned by the mask shown in Fig. 14.

A plurality of transparent regions or slits 142 having a long straight shape are arrayed in a row and in a column at a predetermined distance in opaque region substrate

5 141 of a mask 140 for patterning a laser beam.

The crystallized silicon film having a plurality of the single crystalline silicon regions arrayed in a row and in a column as shown in Fig. 15A to Fig. 15B is formed when the above-cited process, irradiating and solidifying, is repeated indefinitely, leading to grains of any desired length as in the fourth embodiment of the present invention. The
10 crystallized silicon film having a plurality of the columnar long grain as shown in Fig. 15A is formed by proceeding lateral grain growth in the first direction. The crystallized silicon film having a plurality of the single crystalline silicon region G as shown in Fig. 15B is formed by proceeding lateral grain growth in the first direction and then in the second direction perpendicular to the first direction.

15 Fig. 16 and 17 are schematic drawings for explaining a method for crystallizing a silicon film according to a sixth embodiment of the present invention. Fig. 16 shows a mask for forming a laser beam pattern and Fig. 17 shows a crystallized silicon film with laser beams patterned by the mask shown in Fig. 16. The sixth embodiment of the present invention discloses the method for crystallizing the large area of a silicon film by
20 SLS with a plurality of the laser beams having a continuous chevron-shape, the apexes of which are rounded as described in the second embodiment of the present invention.

A plurality of transparent regions 162 having a continuous chevron-shape of which the apexes are rounded as described in the second embodiment of the present invention are arrayed in a row or in a column at a predetermined distance in an opaque
25 region substrate 161 of a mask 160 for patterning a laser beam. Accordingly, one laser beam is passed through the mask 160 having a plurality of transparent regions 162 to pattern a plurality of laser beams.

The crystallized silicon film having a plurality of the single crystalline silicon regions arrayed in a row or in a column as shown in Fig. 17 is formed when the above-

cited process, irradiating and solidifying, is repeated, leading to grains of any desired length as in the second embodiment of the present invention.

The method for crystallizing the silicon film through SLS technique by using the laser beam having a continuous chevron-shape, the apexes of which are rounded, is described previously. A plurality of the single crystalline regions, formed and extended from the plurality of the apexes, are shown. As a result, the large area film is crystallized in short time by using a plurality of the laser beams according to the third to sixth embodiments of the present invention to form a large size of the silicon grain or single crystalline silicon region.

As described, the number and the pattern of the laser beams are controlled by the condition of the pattern of the transparent regions of the mask. Accordingly, the number and the pattern of the laser beams may be chosen accordingly to different applications.

Fig. 18A shows one of the various examples for the mask for patterning a laser beam. according to the seventh embodiment of the present invention and Fig. 18B to Fig. 18C are schematic drawings for explaining a method for crystallizing a silicon film using Th mask as shown in Fig. 18A.

The mask 180 has a first region 181 and a second region 182 in which a plurality of transparent regions are arrayed in opaque region substrate 180-1 for patterning a laser beam.

A plurality of long straight line shaped transparent regions 180-2 are arrayed in a first direction 189-1 at a first distance d_1 in the first region 181. A plurality of long horizontal line shaped transparent regions 180-3 are arrayed in a second direction 189-2 at a second distance d_2 in the second region 182. The first direction 189-1 is nearly perpendicular to the second direction 189-2.

One laser beam is passed through the mask 180 to pattern a plurality of laser beams.

Referring to Fig. 18B, the first region 181 of the mask 180 is aligned at a first base line 187-1 of a silicon layer.

And then, one laser beam is passed through only the first region 181 of the mask 180 to be patterned to a plurality of long straight line shaped laser beams. And, the silicon layer is first crystallized by SLS using the mask by carrying out the cited process in the third embodiment as shown in Fig. 12A to 12C in which irradiating and solidifying are repeated indefinitely.

The first SLS crystallization region 183-1 is formed by translating the silicon layer relative to the laser beams at a first distance d_1 during proceeding the SLS process by more than two shots of the laser. Herein, the first arrow 188-1 shows a direction of moving the mask 180 and the laser beams relative to the silicon layer.

And then, the first region 181 of the mask 180 is aligned at a sequin base line 187-2 of the silicon layer. And, a second SLS crystallization region 183-2 is formed by carrying out the same process as is applied for forming the first SLS crystallization region

These crystallization process is carried out repeatedly through the all substrate to form a plurality of the SLS crystallization regions.

The last SLS crystallization region 183-3 is shown in Fig 18B.

Referring to Fig. 18C, the second region 182 of the mask 180 is aligned at a third base line 187-3 of the silicon layer.

And, one laser beam is passed through only the second region 182 of the mask 180 to be patterned to a plurality of long horizontal line shaped laser beams. And then, the SLS silicon layer is second crystallized by SLS using the mask 180 by carrying out the cited process in the fourth embodiment as shown in Fig. 13A to 13C in which irradiating and solidifying are repeated indefinitely.

The first SLS single crystallization region 185-1 is formed by translating the SLS silicon layer relative to the laser beams at a second distance d_2 during proceeding the SLS process by more than two shots of the laser. Herein, the second arrow 188-2 shows a direction of moving the mask 180 and the laser beams relative to the silicon layer.

And then, the second region 182 of the mask 180 is aligned at a fourth base line 187-4 of the silicon layer. And, a second SLS single crystallization region 185-2 is

formed by carrying out the same process as is applied for forming the first SLS single crystallization region

These crystallization process is carried out repeatedly through the all substrate to form a plurality of the SLS single crystallization regions.

5 The last SLS single crystallization region 185-3 is shown in Fig 18C.

Fig. 19 and Figs. 20A to 20D are schematic drawings for explaining a method for crystallizing a silicon film according to an eighth embodiment of the present invention. Fig. 19 shows a mask forming a laser beam pattern and Figs. 20A to 20D show a crystallization process with laser beams patterned by the mask shown in Fig. 19.

10 A plurality of opaque regions 190-2 having a plurality of the dot shape are arrayed at a predetermined distance in a transparent region substrate 190-1 of a mask 190 for patterning a laser beam. Herein, the shape of the dot may be a circle shape or a hexagon shape and the like. For convenience, the phenomenon that the film is crystallized by one laser beam is described. Referring to Fig. 20A, a portion except the
15 selected dot region is first irradiated with a laser beam patterned by the mask shown in Fig. 19 at an energy density sufficient to induce complete melting.

The amorphous film is translated relative to the laser beam to the first direction over a distance less than a predetermined distance for second irradiating. While the film is translating, lateral grain growth proceeds from the unmelted regions, the dot region
20 201 which remains amorphous silicon adjacent to the fully-melted regions. The dot region 201, the unmelted amorphous silicon, is used as seeds and grows into the fully-melted regions. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. Reference number 202 denotes a dot region which will not be irradiated with second irradiating.
25 Depending on the width of the molten region, lateral growth ceases when either (1) the two opposing growth fronts collide at the center, or (2) the molten region becomes sufficiently supercooled so that bulk nucleation of solids occur – whichever occurs first. Due to such considerations, the maximum lateral growth distance that can be achieved with a single pulse is limited to less than a certain length, depending on the film thickness
30 and the incident energy density.

Referring to Fig. 20B, a portion except the selected dot region is irradiated for the second time at an energy density sufficient to induce complete melting. Herein the dot region is located in the crystallized silicon region. In this embodiment, the film is translated relative to the laser beam over a distance less than one pulse lateral grain growth.

The dot region which is not irradiated remains solid state of the polycrystalline silicon and has a limited number of silicon grains. In Fig. 20B, reference number 203 denotes a dot region which will not be irradiated with a third irradiating.

The amorphous film is translated relative to the laser beam to the second direction over a distance less than predetermined distance for third irradiating. While the film is translating, lateral grain growth proceeds from the unmelted regions, dot region 202 which remains polycrystalline silicon adjacent to the fully-melted regions. The dot region 202, which is unmelted polycrystalline silicon having three grains, is used as a seed and grows into the fully-melted regions. The grain boundaries in directionally solidified materials tend to form substantially perpendicular to the melted interface. Reference number 203 denotes a dot region which will not be irradiated with a third irradiation.

Referring to Fig. 20C, a portion except the selected dot region is irradiated at a third time at an energy density sufficient to induce complete melting. Herein the dot region is located in the crystallized silicon region. The film is translated relative to the laser beam over a distance less than one pulse lateral grain growth.

The dot region which is not irradiated remains solid state of the polycrystalline silicon and has a limited number of silicon grains than the previous step.

Accordingly, the more the above process carries out, the less the number of the grain is in dot region. Finally, the single grain remains in the dot region when the above processes are carried out an appropriate number of times.

The amorphous film is translated relative to the laser beam to a fourth direction over a distance less than predetermined distance for irradiating four. While the film is translating, lateral grain growth proceeds from the unmelted regions, dot region 203 in which the single crystalline grain remains adjacent to the fully-melted regions. The

unmelted single crystalline silicon dot region 203 is used as a seed and grows into the fully-melted regions. The single grain grows laterally. Reference number 204 denotes a dot region which will not be irradiated during the fourth irradiation.

Referring to Fig. 20D, a portion except the selected dot region 204 is fourth
5 irradiated at an energy density sufficient to induce complete melting. Herein the dot region is located in the crystallized silicon region. The film is translated relative to the laser beam over a distance less than one pulse lateral grain growth. The dot region 204 which is not irradiated remains solid state of the single crystalline silicon.

The film is translated relative to the laser beam to the next direction over a
10 distance less than predetermined distance for next irradiating. While the film is translating, lateral grain growth proceeds from the unmelted regions which constitutes the dot region 204 in which the single crystalline grain remains adjacent to the fully-melted regions. The unmelted single crystalline silicon dot region 204 is used as a seed and grows into the fully-melted regions. The single grain grows laterally.

15 Accordingly, as the above process is repeatedly carried out, the number grains is reduced in dot region. Finally, the single grain remains in the dot region when the above process is sufficiently carried out.

The size of the single crystalline silicon region is the same as the lateral grain growth. The length of the lateral grain growth depends on the thickness of the film and
20 the temperature of the film. Accordingly, the size of the single crystalline silicon region could be controlled according to the thickness and the temperature of the film.

In the case when the distance between the dot to dot is larger than the length of the lateral grain growth, each of the large single crystalline silicon regions is separated. This is why the length of the lateral grain growth is arranged to be larger than the
25 distance between the dot to the dot. Accordingly, when the distance between the dots is smaller than the length of the lateral grain growth, the polycrystalline silicon film having a plurality of the single crystalline silicon regions, each region having a grain boundary which is at the interface of the silicon grain and the next silicon grain.

In the above description, the case of the four irradiating and crystallization steps
30 are described as embodiments of the present invention. However, depending on the

process condition, the larger single crystalline silicon grain could be formed by using combination of one or more irradiating crystallization methods.

Fig. 21 shows the crystallization result of the silicon film according to the ninth embodiment of the present invention.

5 In the case when the distance between the dot to the dot is larger than the length of the lateral grain growth, each of the large single crystalline silicon regions is separated and fine crystalline silicon is shown.

However, when the distance between the dots is smaller than the length of the lateral grain growth, the polycrystalline silicon film having a plurality of the single
10 crystalline silicon regions, each region having a grain boundary which is at the interface of the silicon grain and the next silicon grain.

The shape and the location of the single crystalline silicon region is controlled by the array of the opaque regions of the mask. This is described referring to the following eighth and ninth embodiments of the present invention.

15 Figs. 22 and 23 are schematic drawings showing a method for crystallizing a silicon film according to a tenth embodiment of the present invention. Fig. 22 shows a mask forming a laser beam pattern and Fig. 23 shows a crystallization result with laser beam patterned by the mask shown in Fig. 22.

In this embodiment, a plurality of opaque regions 220-2 having a plurality of the dot shape are arrayed at a predetermined distance in a transparent region substrate 220-1
20 of a mask 190 for patterning a laser beam. The one dot is surrounded by the six dots. Herein, the shape of the dot is a circle shape or a hexagon shape and the like. The crystallized silicon film having a plurality of the hexagonal shaped single crystalline silicon regions arrayed is formed when the above cited process, irradiating and
25 solidifying, is repeated indefinitely, leading to grains of any desired length as in the seventh embodiment of the present invention. The one lateral growing silicon grain collides to the other six lateral growing silicon grains.

Figs. 24 and 25 are schematic drawings for explaining a method for crystallizing a silicon film according to an eleventh embodiment of the present invention. Fig. 24

shows a mask forming a laser beam pattern and Fig. 25 shows a crystallization result with laser beam patterned by the mask shown in Fig. 24.

In this embodiment, a plurality of opaque regions 240-2 having a plurality of the dot shape are arrayed at a predetermined distance in a transparent region substrate 240-1 of a mask 240 for patterning a laser beam. The one dot is surrounded by the four dots. Herein, the shape of the dot is a circle shape or a hexagon shape and the like. The crystallized silicon film having a plurality of the square shaped single crystalline silicon regions arrayed is formed when the above cited process, irradiating and solidifying, is repeated indefinitely, leading to grains of any desired length as in the seventh embodiment of the present invention. The one lateral growing silicon grain collides to the other four lateral growing silicon grains.

The higher the temperature of the film, the longer the solidification time. Accordingly, the length of the lateral grain growth is larger to form the larger single crystalline silicon region.

Accordingly, the shape and the size of the single crystalline silicon region is controlled by the array of the opaque regions of the mask, temperature of the film and the translating direction and the translating speed of the film relative to the laser beam.

When the distance between the opaque region to the opaque region of the mask is uniform, the size of the single crystalline silicon region is uniform, as in the eighth and ninth embodiment of the present invention.

Figs. 26A to 26E are schematic drawings for explaining a method for fabricating a TFT according to an embodiment of the present invention. A co-planar-typed TFT having a pixel electrode is taken as an example.

Referring to Fig. 26A, a buffer layer 261, such as a silicon oxide layer, is deposited on the insulating substrate 260, such as a glass substrate. An amorphous silicon layer is deposited on the buffer layer 261 and is crystallized by the SLS technique. Since the SLS technique is shown in the description of the first to ninth embodiments of the present invention, the description of the SLS technique will not be repeated. The buffer layer prevents the impurities of the insulating substrate to penetrate into the silicon thin film during the process of crystallization. A crystallized silicon thin film 262

having a dramatically large first silicon grain 262-1, a second silicon grain 262-2 and a third silicon grain 262-3 are shown in Fig 26A.

Referring to Fig. 26B, the crystallized silicon thin film is etched by photolithography to form an active layer 263. Since the first silicon grain, the second
5 silicon grain and the third silicon grain are large, the active layer is formed of one single silicon grain. Accordingly, a single crystalline silicon TFT could be fabricated on the insulating substrate, such as a glass substrate.

Referring to Fig. 26C, a first insulating layer and a first conductive layer are subsequently formed on the exposed surface of the substrate comprising the active layer
10 263. The first conductive layer is etched by photolithography to form a gate electrode 265 and the first insulating layer is etched to form a gate insulating interlayer 264. Source and drain regions 263S and 263D are formed by doping impurities in the exposed portions of the active layer. The channel region 263c is located between the source and the drain regions.

15 Referring to Fig. 26D, a second insulating layer 266 is deposited on the exposed surface of the substrate comprising the gate electrode. The second insulating layer is etched selectively by photolithography to expose the portions of the source and the drain regions. A second conductive layer is deposited on the exposed surface of the substrate and is etched selectively by photolithography to form source and drain electrodes 267S
20 and 267D.

Referring to 26E, a third insulating layer 268 is deposited on the exposed surface of the substrate comprising the source and drain electrodes. The third insulating layer 268 is etched selectively by photolithography to expose the portion of the drain electrode 267D. And a transparent conductive layer is deposited on the exposed surface
25 of the substrate and is etched selectively by photolithography to form a pixel electrode 269.

As described, a large single crystalline silicon region without defects could be formed in the insulating substrate by SLS technique with a laser beam having a chevron shape, the apex of which is round. And a large area silicon film is crystallized by SLS
30 technique in short time by using a plurality of the laser beam.

The crystallized silicon film having a plurality of the large single crystalline silicon regions could be formed by proceeding lateral grain growth at the first direction to form a silicon film having a plurality of the columnar long grain and proceeding lateral grain growth at the second direction perpendicular to the first direction through using the columnar long grain as seed for grain growth.

The size, pattern and location of the single silicon grain are decided by controlling the pattern of the laser beam and the translation distance of the silicon layer relative to the laser beam.

The embodiments enable one to fabricate a System-On-Panel (SOP) type LCD, in which a pixel part, a driver, a controller and a CPU circuit share the same substrate, whereby the fabrication process is simplified and the productivity is increased. Moreover, it is possible to fabricate portable LCD products, reduced in weight and size, since the space occupied by the controller and the CPU circuit is reduced.

It will be apparent to those skilled in the art that various modifications and variations can be made in a SOP-type liquid crystal display of the embodiments without departing from the spirit or scope of the inventions. Thus, it is intended that the present invention will cover the modifications and variations of this invention provided they come within the scope of the appended claims and equivalents.

It will be apparent to those skilled in the art that various modifications and variations can be made in the method for crystallizing an amorphous silicon layer and the method for fabricating a thin film transistor using the same of the embodiments without departing from the spirit or scope of the inventions. Thus, it is intended that the present invention covers the modifications and variations of the illustrated embodiments provided they come within the scope of the appended claims and equivalents.

CLAIMS

1. A method for crystallizing an amorphous silicon layer disposed on a substrate, the method comprising:
 - preparing a first laser pattern comprising a plurality of chevron-shaped lines, wherein the chevron-shaped lines are aligned in a first direction;
 - first-irradiating the amorphous silicon layer with a laser beam at an energy density sufficient to induce substantially complete melting to form a melted region and an unmelted region;
 - solidifying the melted region of the amorphous silicon layer with a lateral grain growth from the unmelted region to the melted region;
 - translating the amorphous silicon layer relative to the first laser pattern over a first distance; and
 - second-irradiating the amorphous silicon layer with the laser beams at an energy density sufficient to induce complete melting and crystallizing the irradiated portions of the amorphous silicon layer.
2. The method of claim 1, wherein the irradiating-solidifying-translating the amorphous silicon layer is performed at least two times.
3. The method of claim 1 or 2, further comprising the steps of preparing a second laser pattern comprising a plurality of chevron-shaped lines in a second direction perpendicular to the first direction of the first laser pattern and repeating the irradiating-solidifying-translating of the amorphous silicon layer using the second laser pattern at least two times.
4. The method of any preceding claim, wherein the first laser pattern is prepared by emitting a laser beam through a mask, the mask having a plurality of transparent regions in an opaque substrate.
5. The method of any preceding claim, wherein each one of the chevron-shaped lines has a curved apex.

6. A method for crystallizing an amorphous silicon layer, the method comprising:
preparing an amorphous silicon layer to be crystallized on a substrate;
preparing a plurality of laser beams arrayed with a predetermined distance between the laser beams, each laser beam having continuous chevron-shapes with rounded apexes;
first-irradiating a plurality of the selected portions of the amorphous silicon layer with the laser beams at an energy density sufficient to induce substantially complete melting to form a melted region and an unmelted region;
solidifying the melted region of the amorphous silicon layer with a lateral grain growth from the unmelted region to the melted region;
translating the amorphous layer relative to the beam image over a first distance in a second direction; and
second-irradiating a plurality of the selected portions of the amorphous silicon layer with the laser beams at an energy density sufficient to induce complete melting and crystallizing the irradiated portions of the amorphous silicon layer.

7. A method for fabricating a TFT which comprises an active layer, a gate insulating layer and a gate electrode, the method comprising:
depositing an amorphous silicon layer on an insulating material layer;
crystallizing the amorphous silicon layer with a laser beam by sequential lateral solidification technique, the laser beam shape having a plurality of chevrons with rounded apexes; and
etching the amorphous silicon layer to pattern the active layer.

8. The method of claim 7, further comprising the steps of forming a gate electrode and a gate insulating layer on the active layer and forming source and drain regions in the active layer.

9. A method for crystallizing an amorphous silicon layer disposed on a substrate, the method comprising:

irradiating the amorphous silicon layer with an energy source at an energy density sufficient to induce substantially complete melting to form a melted region and an unmelted region, wherein the energy source has a first pattern comprising a plurality of lines arranged adjacent to each other and separated by a predetermined distance in a first direction;

solidifying the melted region of the amorphous silicon layer with a lateral grain growth from the unmelted region to the melted region;

translating the amorphous silicon layer relative to the energy source over a first distance, wherein the translation of the energy source overlaps the melted region of the amorphous silicon layer; and

irradiating the amorphous silicon layer with the laser beams at an energy density sufficient to induce complete melting and crystallizing the irradiated portions of the amorphous silicon layer.

10. The method of claim 9, wherein the energy source has a second pattern comprising a plurality of lines arranged adjacent to each other and separated by a predetermined distance in a second direction.

11. The method of claim 9 or 10, wherein the energy source is prepared by emitting a laser beam through a mask, the mask having a plurality of transparent regions.

12. The method of any of claims 9 to 11, wherein each one of the plurality of lines of the first pattern includes chevron-shaped lines with curved apexes.

13. The method of any of claims 9 to 11, wherein each one of the plurality of lines of the first pattern is rectangular.

14. The method of claim 10, wherein each one of the plurality of lines of the second pattern includes chevron-shaped lines with curved apexes.

15. The method of claim 10, wherein each one of the plurality of lines of the second pattern is rectangular.

16. The method of any of claims 9 to 15, further comprising rotating the energy source with respect to the amorphous silicon layer so that first pattern is arranged in a second direction which is substantially perpendicular to the first direction.

17. The method of claim 16, wherein the energy source is prepared by emitting a laser beam through a mask and the rotating the energy source comprises rotating the mask.

18. A TFT manufactured according to the process of any one of the preceding claims.

19. A method for crystallizing an amorphous silicon layer as substantially described herein with reference to and/or substantially as illustrated in Figs. 7A to 25 of the accompanying drawings.

20. A method for fabricating a thin film transistor as substantially described herein with reference to and/or substantially as illustrated in Figs. 26A to 26E of the accompanying drawings.

21. A method substantially in accordance with any of the first to eleventh embodiments described and/or illustrated herein.



Application No: GB 9913336.5
Claims searched: 1-18

Examiner: SJ Morgan
Date of search: 29 September 1999

Patents Act 1977
Search Report under Section 17

Databases searched:

UK Patent Office collections, including GB, EP, WO & US patent specifications, in:

UK CI (Ed.Q): H1K (KLHA, KLXW)

Int CI (Ed.6): H01L 21/20

Other: Online: WPI, JAPIO, EPODOC, INSPEC

Documents considered to be relevant:

Category	Identity of document and relevant passage	Relevant to claims
A	WO 97/45827 A1 (COLUMBIA UNIVERSITY)	
A	US 5 496 768 (CASIO)	
X	"Single-crystal Si films for thin-film transistor devices", Applied Physics Letters, Vol 70, No. 25, 23/6/97, pp 3434-3436, SI James, RS Sposili, and MA Cowder.	1-4, 9-11, & 18
X	"Sequential lateral solidification of thin silicon films on SiO ₂ ", Applied Physics Letters, Vol 69, No 19, 4/11/96, pp 2864-2866, RS Sposili & SI James.	9-11, 13, 15, & 18

X Document indicating lack of novelty or inventive step
Y Document indicating lack of inventive step if combined with one or more other documents of same category.

& Member of the same patent family

A Document indicating technological background and/or state of the art.
P Document published on or after the declared priority date but before the filing date of this invention.
E Patent document published on or after, but with priority date earlier than, the filing date of this application.

(12) UK Patent Application (19) GB (11) 2 338 597 (13) A

(43) Date of A Publication 22.12.1999

(21) Application No 9913339.9

(22) Date of Filing 08.06.1999

(30) Priority Data

(31) 98021287

(32) 09.06.1998

(33) KR

(71) Applicant(s)

LG. Philips LCD Co Ltd
(Incorporated in the Republic of Korea)
20 Yoido-dong, Youngdungpo-ku, Seoul,
Republic of Korea

(72) Inventor(s)

Yun-Ho Jung

(74) Agent and/or Address for Service

Edward Evans & Co
Chancery House, 53-64 Chancery Lane, LONDON,
WC2A 1SD, United Kingdom

(51) INT CL⁶

H01L 21/20

(52) UK CL (Edition Q)

H1K KLHA K1CA K3E1M K3E5A K3F K3P6 K3P8 K3R1
K9C1 K9C2 K9C3 K9C9 K9D1 K9D2 K9L K9R1

(56) Documents Cited

EP 0456199 A2 EP 0178447 A2 WO 97/45827 A1
JP 090260684 A US 5767003 A

(58) Field of Search

UK CL (Edition Q) H1K KLHA KLXW
INT CL⁶ H01L 21/20
Online: EPODOC, JAPIO, WPI

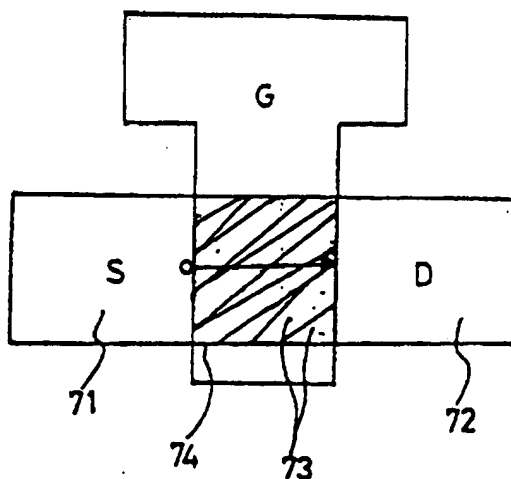
(54) Abstract Title

Method of forming a thin film transistor by laser induced crystallisation in a predetermined direction

(57) A thin film transistor (TFT) for a liquid crystal display is formed on a polycrystallised silicon layer. An amorphous layer is crystallised by sequential lateral solidification, a technique in which a laser beam is scanned over the layer. Successive scans overlap so that the crystal grains 73 can grow to an increased size, and are oriented in a first direction.

The layer is patterned to form an active layer which defines a channel region, with a channel direction inclined at an angle with respect to the crystal grain growth direction. A TFT array may be formed on the active layer.

FIG.7C



GB 2 338 597

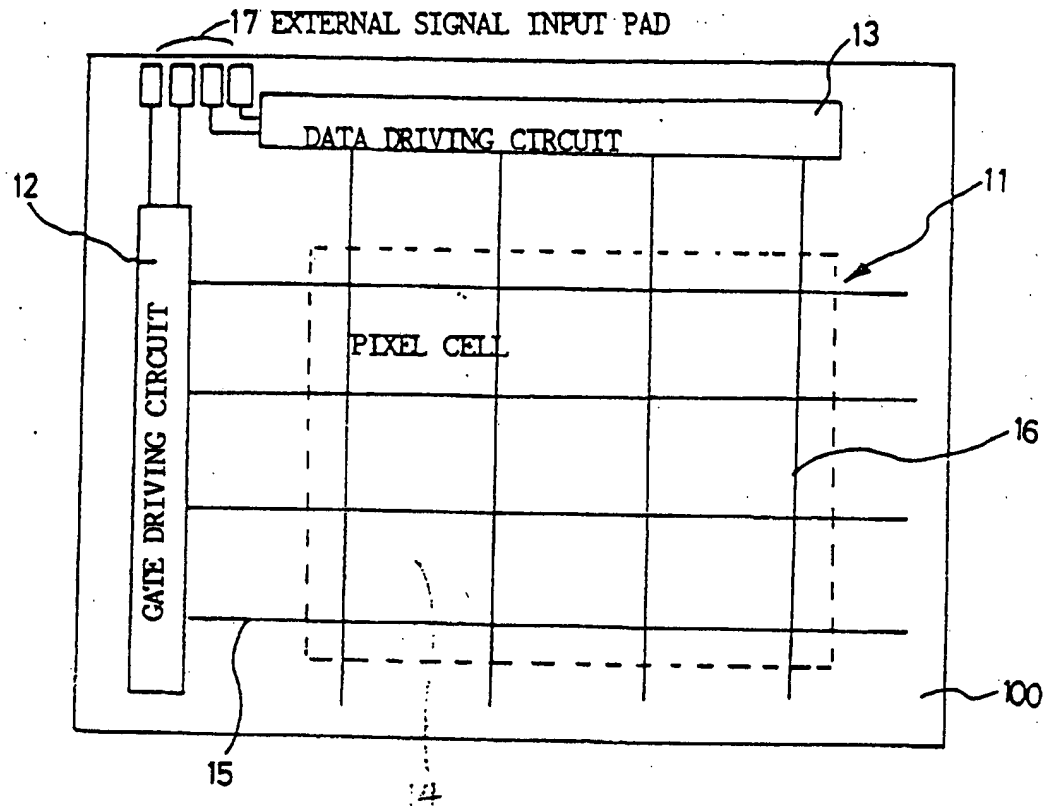
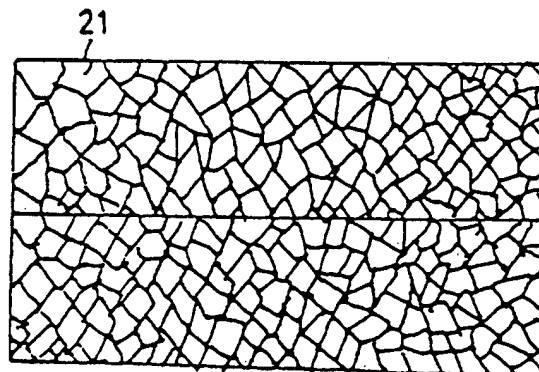
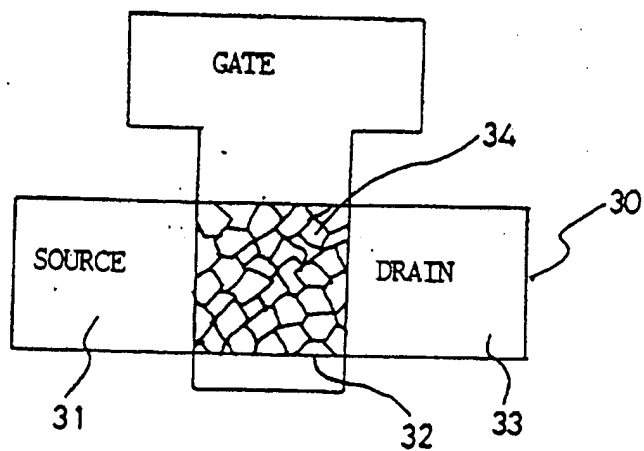
FIG. 1**FIG. 2 (PRIOR ART)**

FIG.3(PRIOR ART)

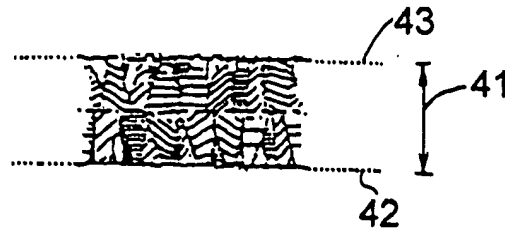


Fig. 4A

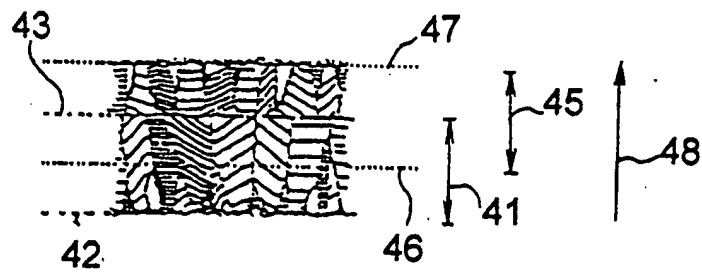


Fig. 4B

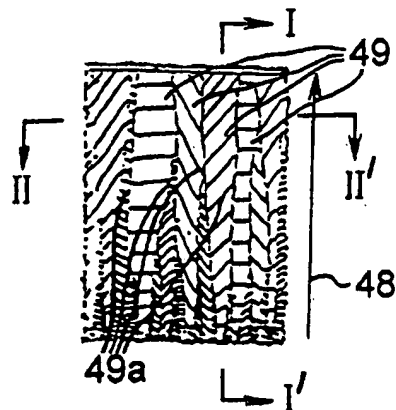


Fig. 4C

FIG. 5A

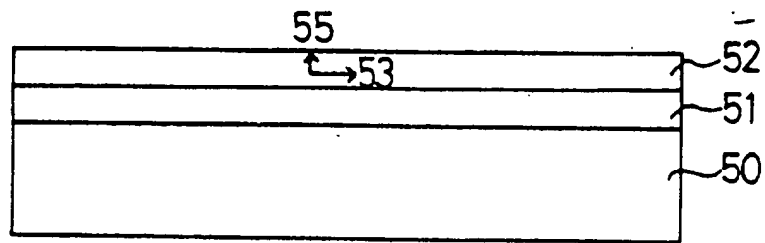


FIG. 5B

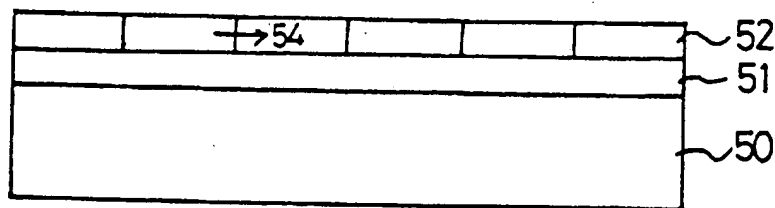


FIG. 6

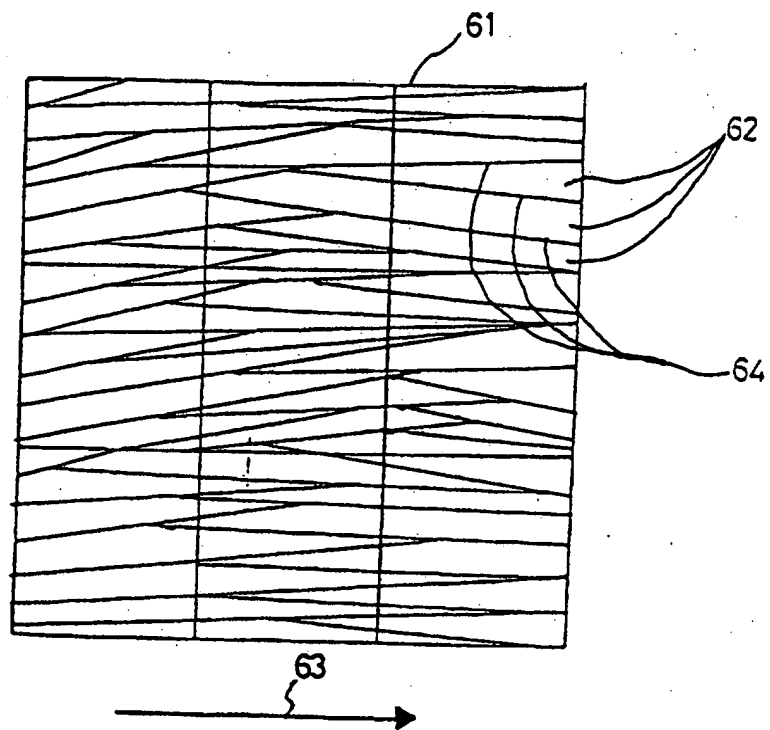


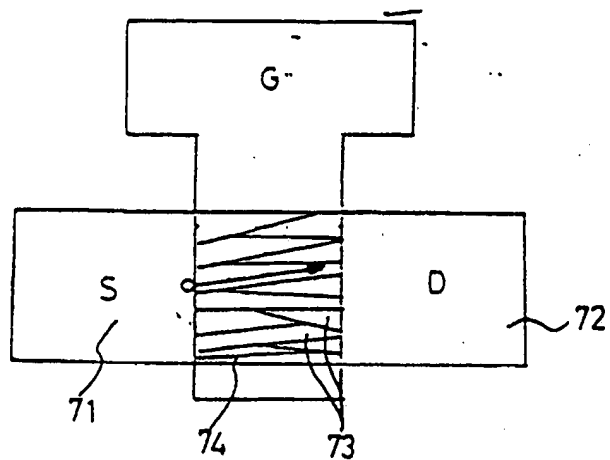
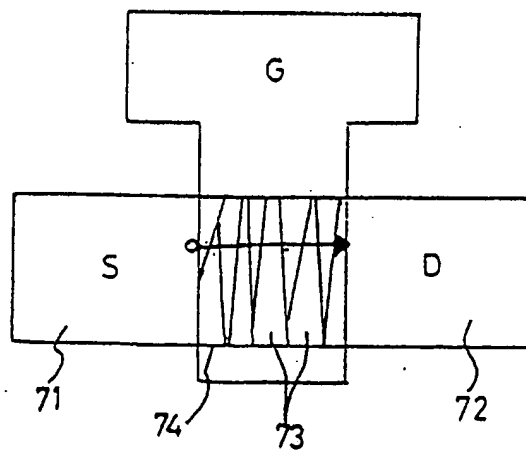
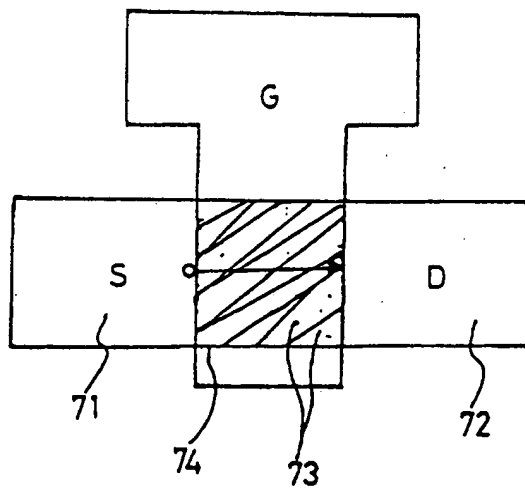
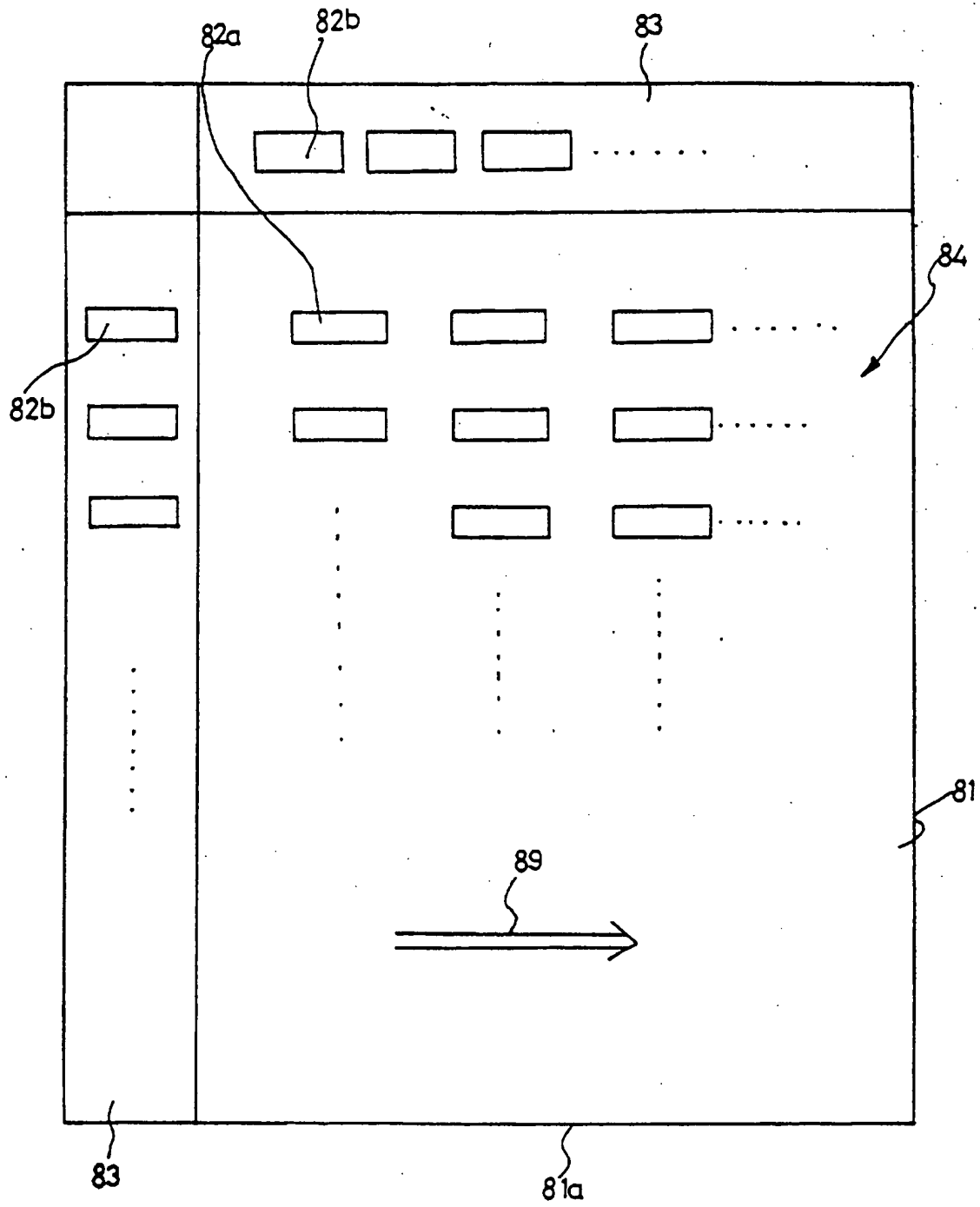
FIG. 7A**FIG. 7B****FIG. 7C**

FIG. 8



METHOD OF FABRICATING THIN FILM TRANSISTORS
FOR A LIQUID CRYSTAL DISPLAY

The present invention relates to a method of fabricating a thin film transistor for
5 a liquid crystal display device.

A liquid crystal display (LCD) device is fabricated by forming various devices
on a transparent insulated substrate, such as a glass substrate. To fabricate a thin film
transistor (TFT) on a weak heat-resistant or heat-sensitive substrate, such as a glass
10 substrate, an amorphous silicon layer or a polycrystalline silicon layer is first formed on
the substrate. An active layer for the TFT is then formed by etching the silicon layer.
Characteristics of charge carrier mobility are excellent when a polycrystalline silicon
layer is formed on the glass substrate. Accordingly, when a polycrystalline silicon layer
is used, devices for a driver and a pixel array of the LCD device are fabricated on the
15 same substrate simultaneously.

Fig. 1 is a schematic drawing of an LCD device on which a pixel array and a
driver circuit are simultaneously formed on the same substrate. The pixel array 11 lies
in the middle of the substrate 100, and a gate driver 12 and a data driver 13 are located
near two sides of the pixel array 11 on the substrate 100. The pixel array 11 comprises
20 a plurality of pixel cells 14 defined by a plurality of gate lines 15 connected to the gate
driver 12 and a plurality of data lines 16 connected to the data driver 13. The gate
driver 12 drives the pixel cells. The data driver 13 supplies the cells with data signals.
The gate driver 12 and the data driver 13 receive external signals through external
signal input terminals 17 and supply them to pixel cells 14. The drivers use inverters of

complementary TFTs to generate proper signals for the pixel cells 14.

Fig. 2 is a schematic drawing of silicon grains 21 in a polycrystalline silicon layer which is formed according to a related art. According to Fig. 2, an amorphous silicon layer is formed on a substrate. A laser beam is applied to the amorphous silicon layer and moves by a predetermined distance for each laser pulse. Accordingly, the substrate is scanned by the laser beam, during which the portion of the silicon layer irradiated with the laser beam is melted and crystallized by solidification. By controlling laser energy properly, the portion of the silicon irradiated with the laser beam is almost completely melted, with an unmelted portion remaining at an interface between the silicon layer and the substrate.

In the portion of the silicon layer irradiated with the laser beam, silicon grains grow laterally, rather than in the direction of the thickness of the layer, by using other portions of the silicon that remain unmelted as seeds. Depending on a state of the amorphous silicon layer and the laser energy supply, the seeds are located at an interface between the substrate. Therefore, a polycrystalline silicon layer having grains of irregular sizes at random locations is formed.

When fabricating a TFT of a coplanar type, an active layer is formed by patterning a polycrystalline layer formed on the insulated substrate using, e.g., photolithography. A gate insulating layer and a gate electrode are then formed on the active layer, and a source and a drain region are formed by doping the active layer with impurities to form a TFT for the LCD device.

Fig. 3 shows a schematic layout of a polycrystalline silicon TFT according to the related art. The grain pattern of the active layer has no significance on the channel direction because the silicon grains in the active layer are scattered irregularly on the

substrate. Referring to Fig. 3, a plurality of silicon grains 34 are included in an active layer 30 of the TFT. The charges moving from the source region 31 through the channel region 32 toward the drain region 33 of the TFT are greatly affected by the grain boundaries in the channel region. Hence, the charge carrier mobility of the polycrystalline silicon TFT is much smaller than that of a single crystalline silicon TFT. Moreover, physical characteristics of the TFT formed on the substrate are irregular since the polycrystalline silicon layer contains irregular grains.

Accordingly, circuit malfunctioning may occur in the gate and data drivers which include TFTs, causing external signals to be transferred unevenly to the gate and data lines. In addition, the TFTs formed irregularly in the pixel array may cause the image characteristics of the LCD to deteriorate.

Accordingly, the present invention is directed to a method of fabricating thin film transistors for a liquid crystal display device that substantially obviates one or more of the problems due to limitations and disadvantages of the related art.

An object of the present invention is to provide a method of fabricating TFTs for an LCD by which physical characteristics of TFTs on a substrate become uniform.

Additional features and advantages of the invention will be set forth in the description which follows, and in part will be apparent from the description, or may be learned by practicing the invention. The objectives and other advantages of the invention will be realized and attained by the structure particularly pointed out in the written description and claims hereof as well as the appended drawings.

To achieve these and other advantages and in accordance with the purposes of the present invention, as embodied and broadly described, a method of fabricating a

thin film transistor (TFT) for a liquid crystal display device having a driver and a pixel array formed on a substrate comprises the steps of forming a polycrystalline silicon layer on the substrate by growing silicon grains in a first direction from an amorphous silicon layer using a sequential lateral solidification technique; forming an active layer by patterning said polycrystalline silicon layer, said active layer defining a channel of the TFT having a direction inclined at a predetermined angle with respect to said first direction; and forming the TFT on the active layer.

According to another embodiment of the present invention, a method of fabricating a liquid crystal display (LCD) device having a driver and a pixel array formed on a substrate comprises the steps of forming a polycrystalline silicon layer on the substrate by growing silicon grains in a first direction from an amorphous silicon layer using a sequential lateral solidification technique; forming an active layer by patterning said polycrystalline silicon layer, said active layer defining a plurality of channel regions having a second direction inclined at a predetermined angle with respect to said first direction; and forming a plurality of thin film transistors (TFTs) on the active layer, the channel regions of the active layer forming the channels of the TFTs, wherein the TFTs are devices for the driver and the pixel array of the LCD device.

In another aspect of the present invention, a liquid crystal display (LCD) device comprises a gate drive circuit having a plurality of thin film transistors (TFTs); a data drive circuit having a plurality of TFTs; a plurality of gate lines and data lines connected to the gate and data drive circuits, respectively; and a pixel array having a plurality of pixel cells defined by the gate lines and data lines, each pixel cell having a TFT, wherein each TFT has a channel region formed of a thin polycrystalline silicon

layer by a sequential lateral solidification technique, the polycrystalline silicon layer having elongated silicon grains grown laterally in a predetermined direction and having substantially no grain boundaries in the direction of the thickness of the layer, and wherein the TFTs define a channel direction which is inclined at a predetermined angle
5 with respect to the growth direction of the silicon grains.

It is to be understood that both the foregoing general description and the following detailed description are exemplary and explanatory and are intended to provide further explanation of the invention as claimed.

10 Specific embodiments according to the invention will now be described, by way of example, with reference to the accompanying drawings, in which:

Fig. 1 is a schematic layout of an LCD device having a driver formed integrally on the device;

Fig. 2 schematically illustrates the state of the silicon grains in a polycrystalline
15 silicon TFT according to the related art;

Fig. 3 illustrates a layout of a TFT having a polycrystalline silicon layer shown in Fig. 2;

Figs. 4A to 4C illustrate a method for crystallizing an amorphous silicon film using the SLS technique;

20 Fig. 5A and Fig. 5B are cross-sectional views of a silicon layer of Fig. 4C along the lines I-I' and II-II', respectively;

Fig. 6 shows a state of the silicon grains of a polycrystalline silicon layer formed by sequential lateral solidification;

Figs. 7A - 7C show TFTs having a polycrystalline silicon layer as that shown in

Fig. 6; and

Fig. 8 shows a pattern of active layers of the TFTs on an entire substrate.

According to the present invention, an active layer of the TFT is fabricated by
5 patterning a polycrystalline silicon layer which is formed by growing silicon grains
using the technique of sequential lateral solidification. A method according to the
present invention for forming an LCD device having a driver and a pixel array formed
on the same substrate includes the steps of forming a polycrystalline silicon layer by
growing silicon grains in a first direction from an amorphous silicon layer using the
10 technique of sequential lateral solidification, forming an active layer by patterning the
polycrystalline silicon layer, wherein the active layer defines a channel direction
oriented at a predetermined angle with respect to the first direction, and forming the
gate, source and drain electrodes of the thin film transistor. Uniformity of the devices
are ensured when the predetermined angle is 0 degree or between 30 and 60 degrees
15 and when the channel directions of the TFTs are the same throughout the entire
substrate.

The preferred embodiments of the present invention will now be described in
detail, examples of which are illustrated in the accompanying drawings.

Figs 4A to 4C illustrate a method for crystallizing an amorphous silicon film
20 using the SLS technique. A technique of forming a single crystalline silicon layer on a
glass substrate by SLS is described in Robert S. Sposilli, M. A. Crowder, and James S.
Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956-957, 1997. The technique, using the fact
that silicon grains tend to grow vertically against the interface between liquid and solid
silicon, teaches that an amorphous silicon layer is crystallized by controlling the

magnitude of laser energy and an irradiation range of a moving laser beam to form silicon grains grow laterally up to a predetermined length.

SLS is one technique that forms the silicon layer, by applying laser to an amorphous silicon layer. Here, the displacement of the laser beam is shorter than the length of lateral growth of the crystal. Consequently, silicon particles which are longer than 10 are formed on a glass substrate. The foregoing technique is disclosed in "Crystalline Si Films For Integrated Active Matrix Liquid-Crystal Displays," MRS Bulletin, Volume XXI, Number 3, March 1996, pp. 39~48.

Moreover, the location, size, and shape of a crystal particle may be controlled by manipulating the shape of a slit through which a laser beam passes, which enables the formation of silicon particles that are larger than an active area of a TFT. Thus, it is possible to fabricate a TFT of single crystalline silicon manufactured by forming an active area of the TFT as a single crystal particle.

Referring to Fig. 4A, a narrow region 41 of the film having the shape of a straight slit bounded by dashed lines 42 and 43 is irradiated with a laser beam at an energy density sufficient to induce complete melting of the silicon. Subsequently, lateral grain growth proceeds from the unmelted regions adjacent the narrow strip region 41 which is fully melted. The grain boundaries in such directionally solidified materials tend to form in a direction substantially perpendicular to the interface between a unmelted and the melted regions. Depending on the width of the molten region, lateral growth cease when either one of the following occur, whichever is first: (1) the two opposing growth fronts collide at the center, or (2) the melted region becomes sufficiently supercooled so that bulk nucleation of solids occur. Because of these factors, the maximum lateral growth distance that can be achieved with a single laser pulse is limited to a certain length, which may be referred to as the single-pulse lateral

growth distance. The single-pulse lateral growth distance depends on the film thickness and the incident laser energy density.

Referring to Fig. 4B, the laser beam image is translated relative to the film in the direction indicated by the arrow 48 over a distance less than the single-pulse lateral growth distance. A narrow region 45 bound by dashed lines 46 and 47 is irradiated by a second laser pulse. After the second laser pulse, lateral grain growth recommences from the edges of the completely melted region 45. Since one of these edges, in this case the edge 46, is located within the silicon region grown during the previous irradiation step, the lengths of the silicon grains formed by the previous irradiation are extended by the second irradiation beyond the single-pulse lateral growth distance.

Referring to Fig. 4C, the above-cited irradiating and solidifying processes are repeated as many times as necessary to grow silicon grains of any desired length. The final microstructure of the silicon layer obtained in this fashion is shown in Fig. 4C, showing grains 49 extending in the direction of the laser beam scan 48, as well as grain boundaries 49a. The lengths of the silicon grains formed by the above SLS technique is remarkably large.

Figs. 5A and 5B show the cross-sectional drawings along the lines I-I and II-II of Fig. 4C. Here, a silicon layer 52, formed by SLS crystallization technique is superimposed on an insulating layer 51, which is in turn, located on an insulating substrate 50.

According to the SLS technique used herein, the silicon grains proceed by means of lateral grain growth. Thus, the grain boundaries in directionally solidified materials tend to form perpendicularly to the melt interface. A single pulse grain growth is larger than the thickness of the amorphous silicon film.

Therefore, the SLS silicon thin film 52, as shown in Fig. 5A, has no boundary in both a first direction 53, i.e., the crystallizing direction (in Fig. 4C), and a second

direction 55 which is perpendicular to the plane of the substrate. There is only one silicon grain shown in the silicon thin film 52 in Fig. 5A, which is a cross-sectional drawing along the line I-I in Fig. 4C.

However, the SLS silicon thin film 52 has a plurality of boundaries in a third direction 54, i.e., the perpendicular direction to the first direction 53, the crystallizing direction.

Therefore, a plurality of silicon grains may be shown in the silicon thin film 52 in Fig. 5B, which is a cross-sectional drawing along the line II-II in Fig. 4C.

Fig. 6 is a top view showing the whole surface of the SLS silicon layer. The SLS silicon layer 61 is formed using the SLS technique by growing silicon grains 62 in the direction of the laser beam scan 63. A plurality of grain boundaries 64 also extend in the same direction as the direction of the laser beam scan 63.

To fabricate a TFT of a coplanar type using a method according to the present invention, an active layer is formed by patterning the polycrystalline silicon layer formed on an insulated substrate. A gate insulating layer and a gate electrode are then formed, and a source and a drain region are formed by doping the active layer with impurities to form the TFT.

Figs. 7A - 7C show layouts of various examples of TFTs having polycrystalline silicon layers crystallized by using SLS and the patterning method according to the present invention. Three examples are shown, where the channel direction (defined by the direction that points from the source region 71 to the drain region 72) are at different angles with respect to the growth direction of the grains 73.

Fig. 7A shows a first TFT having a channel direction which is inclined 0 degree with respect to the growth direction of silicon grains 73 in the channel region 74.

Referring to Fig. 7A, the channel direction lies in parallel with the growth direction of silicon grains 73. There are minimum grain boundaries to inhibit the

mobility of electric charge carriers in the channel region. Accordingly, the TFT having the construction of Fig. 7A shows the same or comparable physical characteristics as a single crystalline silicon TFT.

Fig. 7B shows a second TFT having a channel direction which is inclined 90
5 degrees with respect to the growth direction of the silicon grains 73 in the channel region 74. Referring to Fig. 7B, a channel direction is formed to be perpendicular to a growth direction of silicon grains. The mobility of electric charge carriers is low as charge carriers moving through the channel region are inhibited by a plurality of grain boundaries. Accordingly, the TFT having the construction of Fig. 7B shows the same
10 or comparable physical characteristics as a TFT formed of polycrystalline silicon having small grains.

Fig. 7C shows a third TFT having a channel direction which is inclined 45 degrees with respect to the growth direction of silicon grains 73. While 45 degrees is illustrated in this example, any angle between 0 and 90 degrees may be used. In this
15 case, electric charge carriers moving through the channel region have to pass through a plurality of grain boundaries. The charge carrier mobility is good since the number of silicon grains in the channel region is smaller than that of the related art. The characteristics of the TFTs are uniform throughout the entire LCD device when the channel direction has an inclination between 30 to 60 degrees with respect to the growth
20 direction of the silicon grains. This is because the active layer in the channel regions of all the TFTs have approximately equal numbers of grain boundaries. A TFT having the above construction has physical characteristics and circuit performance better than those of a polycrystalline silicon TFT.

It is important for an LCD device to have semiconductor devices having

uniform characteristics in the driver and the pixel array. Image characteristics of the LCD improves significantly when signals for the gate and data lines are transferred to all pixels uniformly and when the pixels have uniform physical characteristics.

When an LCD device using a polycrystalline silicon layer having grains grown
5 laterally by the SLS method is to be fabricated, the TFTs should be formed such that the physical characteristics of the TFTs in the drive circuit and the pixel array are uniform. For this purpose, the first TFT shown in Fig. 7A which has the same characteristics as a single crystalline silicon TFT may be used for the driver and/or the pixel array.

Moreover, the third TFT shown in Fig. 7C which has an excellent electric
10 charge carrier mobility and the same number of grain boundaries among the TFTs may be used for the driver and/or the pixel array.

Fig. 8 illustrate patterns of an active layer for the first type of TFTs shown in Fig. 7A which ensure uniformity among the TFTs across the entire substrate 81. The active layer is a polycrystalline silicon layer of silicon grains grown a first direction 89
15 by crystallizing an amorphous silicon layer using SLS.

Each block 82a or 82b indicates an area of the active layer accommodating the channel region of a TFT. In the example illustrated in Fig. 8, the TFTs 82a in the pixel array 84 and the TFTs in the data and gate drive circuits 83 have channel regions that are in the same direction and are parallel to the crystallizing direction 89 by SLS.

20 As pointed out above, when TFTs are formed in an SLS silicon layer, it is important to form and arrange patterns of active layers where the channel directions are determined by the growth direction of the silicon grains. Uniformity of devices through the whole substrate is obtained by forming the TFTs so that their channels are oriented in the same direction.

In addition, TFTs having excellent physical characteristics are formed uniformly on the entire substrate by forming the TFTs so that their channel directions are inclined at a predetermined angle with respect to the growth direction of the silicon grains.

It will be apparent to those skilled in the art that various modifications and
5 variations can be made in the method of fabricating a thin film transistor for a liquid crystal display of the present invention without departing from the spirit or scope of the invention. Thus, it is intended that the present invention covers the modifications and variations of the illustrated embodiments provided they come within the scope of the appended claims and equivalents.

CLAIMS:

1. A method of fabricating a thin film transistor (TFT) for a liquid crystal display device having a driver and a pixel array formed on a substrate, said method comprising:

forming a polycrystalline silicon layer on the substrate by growing silicon grains in a first direction from an amorphous silicon layer using a sequential lateral solidification technique;

forming an active layer by patterning said polycrystalline silicon layer, said active layer defining a channel of the TFT having a second direction; and

forming the TFT on the active layer.

2. The method according to claim 1, wherein said first direction is inclined to said second direction by between about 30 and 60 degrees.

3. The method according to claim 1, wherein said first direction is inclined to said second direction by about 0 degrees.

4. The method according to any of claims 1 to 3, wherein said TFT is a device for the driver.

5. A method of fabricating a liquid crystal display (LCD) device having a driver and a pixel array formed on a substrate, comprising:

forming a polycrystalline silicon layer on the substrate by growing silicon grains in a first direction from an amorphous silicon layer using a sequential lateral solidification technique;

forming an active layer by patterning said polycrystalline silicon layer, said active layer defining a plurality of channel regions having a second direction; and

forming a plurality of thin film transistors (TFTs) on the active layer, the channel regions of the active layer forming the channels of the TFTs, wherein the TFTs are devices for the driver and the pixel array of the LCD device.

6. The method according to claim 5, wherein said first direction is inclined to said second direction by between about 30 and 60 degrees.

7. The method according to claim 5, wherein said first direction is inclined to said second direction by about 0 degrees.

8. A liquid crystal display (LCD) device comprising:
a gate drive circuit having a plurality of thin film transistors (TFTs);
a data drive circuit having a plurality of TFTs;
a plurality of gate lines and data lines connected to the gate and data drive circuits, respectively; and

a pixel array having a plurality of pixel cells defined by the gate lines and data lines, each pixel cell having a TFT,

wherein each TFT has a channel region formed of a thin polycrystalline silicon layer by a sequential lateral solidification technique, the polycrystalline silicon layer having elongated silicon grains grown laterally in a predetermined growth direction and having substantially no grain boundaries in the direction of the thickness of the layer, and wherein the TFTs define a channel direction.

9. The LCD device according to claim 8, wherein said growth direction is inclined to said channel direction by between about 30 and 60 degrees.

10. The LCD device according to claim 8, wherein said growth direction is inclined to said channel direction by about 0 degrees.

11. The LCD device according to any of claims 8 to 10, wherein channel

regions of the TFTs of the gate driver circuit have substantially the same direction as channel regions of the TFTs of the data driver circuit.

12. The LCD device according to any of claims 8 to 10, wherein channel regions of the TFTs of the gate driver circuit have substantially the same direction as the channel region of the TFT of each pixel cell.

13. The LCD device according to any of claims 8 to 10, wherein channel regions of the TFTs of the data driver circuit have substantially the same direction as the channel region of the TFT of each pixel cell.

14. The LCD device according to any of claims 8 to 10, wherein channel regions of the TFTs of the gate and data driver circuits have substantially the same direction as the channel region of the TFT of each pixel cell.

15. A method of fabricating a thin film transistor substantially as described herein with reference to and/or substantially as illustrated in Figs. 1 and 4A to 8 of the accompanying drawings.

16. A method of fabricating a liquid crystal display device substantially as described herein with reference to and/or substantially as illustrated in Figs. 1 and 4A to 8 of the accompanying drawings.

17. A liquid crystal display device substantially as described herein with reference to and/or substantially as illustrated in Figs. 1 and 4A to 8 of the accompanying drawings.



Application No: GB 9913339.9
Claims searched: All

Examiner: Matthew Lincoln
Date of search: 29 September 1999

Patents Act 1977
Search Report under Section 17

Databases searched:

UK Patent Office collections, including GB, EP, WO & US patent specifications, in:

UK Cl (Ed.Q): H1K (KLHA, KLXW)

Int Cl (Ed.6): H01L 21/20

Other: Online: EPODOC, JAPIO, WPI

Documents considered to be relevant:

Category	Identity of document and relevant passage	Relevant to claims
X	EP 0456199 A2 (ASAHI GLASS) Whole document	1, 4, 5, 8, 11 to 14
X	EP 0178447 A2 (FUJITSU) Page 9 line 18 to page 10 line 24, in particular	1, 3 to 5, 7, 8, 10 to 14
X	WO 97/45827 A1 (UNIVERSITY OF COLUMBIA) Third embodiment and figure 3B in particular	1, 3 to 5, 7, 8, 10 to 14
X	JP 090260684 (TOSHIBA) Please see English language equivalent US 5858807, whole document.	1, 4, 5, 8, 11 to 14
X	US 5767003 (NOGUCHI) Column 5 line 51 to column 6 line 13	1, 4, 5, 8, 11 to 14

X Document indicating lack of novelty or inventive step
Y Document indicating lack of inventive step if combined with one or more other documents of same category.

& Member of the same patent family

A Document indicating technological background and/or state of the art.
P Document published on or after the declared priority date but before the filing date of this invention.
E Patent document published on or after, but with priority date earlier than, the filing date of this application.

⑫ 公開特許公報(A) 平2-283036

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月20日

H 01 L 21/336
21/20
21/263
29/784

7739-5F

8624-5F H 01 L 29/78 3 1 1 Z

審査請求 未請求 請求項の数 1 (全7頁)

⑯ 発明の名称 半導体装置の製造方法

⑰ 特 願 平1-105007

⑱ 出 願 平1(1989)4月25日

⑲ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) (a) 絶縁性非晶質材料上に、シリコンを主体とする非晶質材料層を、部分的に膜厚が厚い領域が存在するように形成する工程、

(b) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(c) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に選択的に単結晶半導体膜を形成する半導体装置の製造方法に関する。

〔従来の技術〕

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子

を形成する試みが成されている。

近年、大型で高解像度の複晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような絶縁性非晶質材料上の高性能な半導体素子の実現が要望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例とすると、(1)プラズマCVD法等により形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)溶融再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザービーム等による熔融再結晶化は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121)

【発明が解決しようとする課題】

しかし、従来の技術では、多結晶シリコンの粒径、結晶粒界の存在する位置を十分に制御することが困難であった。従って、仮に大粒径の多結晶シリコンが形成できたとしても、結晶粒の内部に形成されたTFTと結晶粒界部にTFTのチャンネル領域が位置したTFTの間で特性が大幅に異なることから、TFTで構成した定電回路の動作速度が、結晶粒界部に位置する特性の悪いTFTの特性で制限されたり、最悪の場合は、回路が動

作しない等の重大な問題が発生した。

そこで、本発明はこの様な問題点を解決するもので、その目的とするところは、結晶粒界の位置を制御し、半導体素子を結晶領域に選択的に形成する製造方法を提供するものである。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に、シリコンを主体とする非晶質材料層を、部分的に膜厚が厚い領域が存在するように形成する工程、

(b) 光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程、

(c) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする。

【実施例】

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコンを主体とする非晶質材料層102を形成する工程である。該非晶質材料層の形成方法としては、プラズマCVD法、蒸着法、EB蒸着法、MBE法、スパッタ法、CVD法等で非晶質シリコンを成膜する方法と、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、Si, Ar, B, P, He, Ne, Kr, H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を非晶質化する等の方法がある。

(B)は、該非晶質材料層102をシード領域103を除いて、エッチングし薄膜化する工程である。シード領域は光吸収層の役割を担うため、シード領域以外の薄膜領域104と比べて、1000Å以上厚いことが望ましく、3000Å以上厚いことが特に望ましい。また、シード領域以外の薄膜領域の

膜厚は、200Å~3000Å程度が望ましい。特に、シード領域との膜厚比の違いを大きくした方が、光吸収率の違いによる温度勾配が大きくなるため、膜厚は200Å~1000Å程度が望ましい。また、TFTのオン電流を大きくするには、ゲート絶縁膜下のシリコン層厚を厚くした方がよい。また、シード領域のパターン寸法は、多結晶核の発生を抑えるために、数μm角程度よりも小さいことが望ましい。

(C)は、光を照射しながら、熱処理を行い、該非晶質材料層を結晶成長させる工程である。光を照射する目的は、シード領域の温度を他の領域と比べて高くして、シード領域から選択的に結晶成長が起こり易くすることにある。シード領域は、薄膜領域と比べて膜厚が厚いため、光の吸収率が大きく、温度が上昇し易い。光源としては、膜厚の違いによる光吸収の違いを有効に出すために、赤外光か赤外に近い可視光が望ましく、赤外線ランプやHe-Neレーザー等が適しているが、これ

に限らず、キセノンランプ、ハロゲンランプ、水銀ランプ、エキシマレーザ等を用いてもよい。シード領域が、膜厚の薄い領域（以下薄膜領域と記す）と比べて、50℃以上高温となるように光源の種類及び照射強度を最適化することが望ましい。熱処理温度は非晶質材料層の形成方法によってその最適値が異なるが、550℃～650℃程度が望ましい。熱処理時間は数時間から30時間程度である。尚、光照射は、熱処理を行っている間、常に行う必要はない。シード領域に結晶核が発生する前後まで、光を照射することが特に重要である。従って、光照射時間は、最初の数十分から数時間程度で十分である。また、光を連続照射すると、シード領域から熱が伝導し、薄膜領域も温度が上昇する為、シード領域以外でも結晶核が発生し易くなる傾向がある。この場合、一定時間光を照射した後、一定時間光照射を中断することで薄膜領域の温度上昇を抑える方法が特に有効である。例えば、パルス状のレーザ光照射したり、キセノンランプや赤外線ランプ等をフラッシュ点灯させ

型イメージセンサ等の半導体装置を低コストで作成できるほか、三次元IC等を形成する場合においても、下層部の素子に悪影響（例えば、不純物の拡散等）を与えずに、上層部に半導体素子を形成することが出来る。続いて、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。

本発明に基づく半導体装置の製造方法で作製した低温プロセスTFT（Nチャンネル）の電界効果移動度は、 $200 \sim 350 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、ガラス基板上に高性能なTFTを形成することが出来た。これは、本発明の製造方法により、選択的な結晶成長が再現性良くできるようになった結果可能となった。さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気半導体素子をさら

たり、チョッパー等でパルス光にして照射する等の方法で一定時間（例えば、数百ns～数百ms程度）照射した後、一定時間光照射を中断して温度を安定させた後で再び光を照射するというサイクルを繰り返すことで、シード領域以外の温度上昇を最小限に抑えることが出来る。

(D)は、結晶成長させたシリコン層105（105'は結晶粒界を示す）に半導体素子を形成する工程である。尚、第1図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、106はゲート電極、107はソース・ドレイン領域、108はゲート絶縁膜、109は層間絶縁膜、110はコンタクト穴、111は配線を示す。TFT形成法の一例としては、シリコン層105をパターン形成し、ゲート絶縁膜を形成する。該ゲート絶縁膜は熱酸化法で形成する方法（高温プロセス）とCVD法もしくはプラズマCVD法等で600℃程度以下の低温で形成する方法（低温プロセス）がある。低温プロセスでは、基板として安価なガラス基板を使用できるため、大型な液晶表示パネルや密着

す工程を設けると、欠陥密度が低減され、前記電界効果移動度はさらに向上する。

第2図及び第3図は、本発明の実施例における半導体装置の製造工程図の別の一例である。第2図は断面図、第3図は平面図である。

第2図及び第3図において、(A)は、第1図に示した実施例と同様に、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料201上にシリコンを主体とする非晶質材料層202を形成する工程である。

(B)は、第1図に示した実施例と同様に、該非晶質材料層202をシード領域203を除いて、エッチングし薄膜化する工程である。

(C)は、非晶質材料層の薄膜領域204を所定の形状にパターン形成する工程である。第2図及び第3図では該非晶質材料層を素子を形成する領域となる島状領域205と該島状領域205と該シード領域203を結ぶ連結領域206を少なくとも有する形状にパターン形成する場合を例としている。

(D)は、光を照射しながら、熱処理を行い、非

非晶質材料層の島状領域205を該シード領域203を起点として、選択的に結晶成長させる工程である。熱処理温度は550℃～850℃程度で数時間～30時間程度の熱処理を行う。

非晶質シリコン層を前述の如く島状領域205と連結領域208を有する形状にパターン形成しておく、シード領域で複数の結晶核が生成した場合でも、どちらか一方の優勢な(結晶成長速度が速い、又は、結晶核が早く発生した等の)結晶成長が細い連結領域で選択され、島状領域は単結晶化される。さらに、光吸収によってシード領域で発生した熱が、連結領域が細いために、島状領域まで伝わり難くなり、島状領域とシード領域の温度差がつき易いという利点もある。

第4図に結晶成長の模式図を示す。第4図において、401は島状領域、402は連結領域、403はシード領域、404及び405は結晶粒を示す。

又、連結領域で単一の結晶成長に選択されない場合でも第5図の結晶成長の模式図に示すように結晶粒界が存在する位置は大幅に制限される。第

5図において、501は島状領域、502は連結領域、503はシード領域、504は結晶粒界が存在する確率が高い位置であり、505は結晶粒界の存在する確率がほぼ零の領域である。508は両者の中間の領域(グレーゾーン)である。従って、半導体素子として、MOS型トランジスタやTFTを例とするならば、該素子のチャンネル領域が領域405に入るように素子を配置すれば、結晶粒界による素子特性の大幅なばらつきを無くすることができる。

(E)は、結晶成長させた島状領域205に半導体素子を形成する工程である。尚、第2図(E)では、半導体素子としてTFTを形成する場合を例としている。図において、207はゲート電極、208はソース・ドレイン領域、209はゲート絶縁膜、210は層間絶縁膜、211はコンタクト穴、212は配線を示す。TFT形成の形成方法は第1図の実施例と同様の方法で形成できる。前述のようにTFTのチャンネル領域213を結晶粒界の存在する確率がほぼ零の領域に配置することで結晶粒界による素子特性のばらつきを皆無にし、歩留りを大幅に向上させることができた。

例えば、非晶質材料層を形成後、シード領域以外をエッチング除去し、続いて、非晶質材料層を全面に形成する等の方法もある。

【発明の効果】

以上述べたように、本発明によればガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料上に単結晶シリコン等を選択的に結晶成長させ、結晶粒界が存在する位置を制御できるようになった。その結果、結晶化された領域に選択的に半導体素子を形成することが可能となった。本発明によれば、絶縁性非晶質材料上にSiウェハー上に形成した半導体素子に匹敵する高性能な半導体素子を形成できるようになった。大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

さらに、溶融再結晶化法等とは異なり、本発明はせいぜい850℃程度の低温の熱処理が加わるだけであるため、(1)基板として安価なガラス基板を使用できる。(2)三次元ICでは、下層

非晶質シリコン層のパターン形状は第2図に示した形状の他にも様々な形状が考えられる。例えば、第6図～第8図は本発明の実施例における連結領域の平面図の例を示す。第6図～第8図において、601,701,801はシード領域、602,702,802は島状領域、603,703,803は連結領域、604,605,704,705,804,805は結晶粒を示す。連結領域の幅にテーパーをつけたり、幅の狭い領域708を設ける等連結領域の形状を工夫することで、結晶成長の選択をより完全に行うことができる。又、連結領域等にP(リン)等の不純物を $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 程度ドーピングして結晶成長速度を10倍程度に上げるとは、熱処理時間の短縮となり、素子形成領域である島状領域をより広く結晶化することができ特に有効である。

尚、本実施例では、膜厚が厚い領域を部分的に形成する方法として、非晶質材料層を形成後、シード領域となる部分を除いて薄膜化する方法を示したが、本発明はこれに限定されるものではない。

部の素子に悪影響(例えば、不純物の拡散等)を与えずに上層部に半導体素子を形成することが出来る。等のメリットもある。

また、本発明は、実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に適用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を絶縁材料上に形成する場合に極めて有効な製造方法となる。

4. 図面の簡単な説明

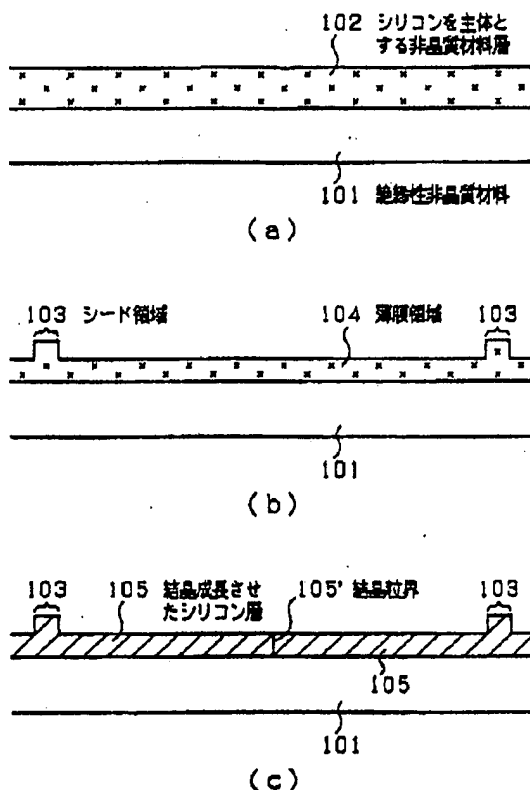
第1図(a)～(d)は本発明の実施例における半導体装置の製造工程図である。

第2図(a)～(e)及び第3図(a)～(e)は本発明の実施例における半導体装置の製造工程図であり、第2図は断面図、第3図は平面図である。

第4図及び第5図は結晶成長の模式図である。

第6図～第8図は本発明の実施例における連結領域の平面図である。

101,201 … 絶縁性非晶質材料

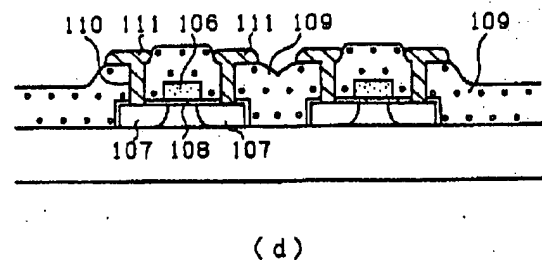


第 1 図

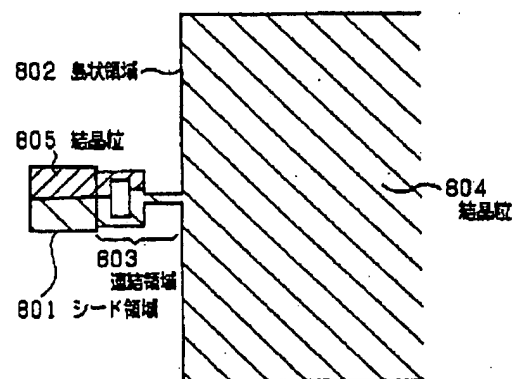
102,202 … 非晶質材料層
 103,203 … シード領域
 104,204 … 薄膜領域
 106,207 … ゲート電極
 107,208 … ソース・ドレイン領域
 108,209 … ゲート絶縁膜
 109,210 … 層間絶縁膜
 110,211 … コンタクト穴
 111,212 … 配線
 401,501,602,702,802 … 島状領域
 402,502,603,703,803 … 連結領域
 403,503,601,701,801 … シード領域

以 上

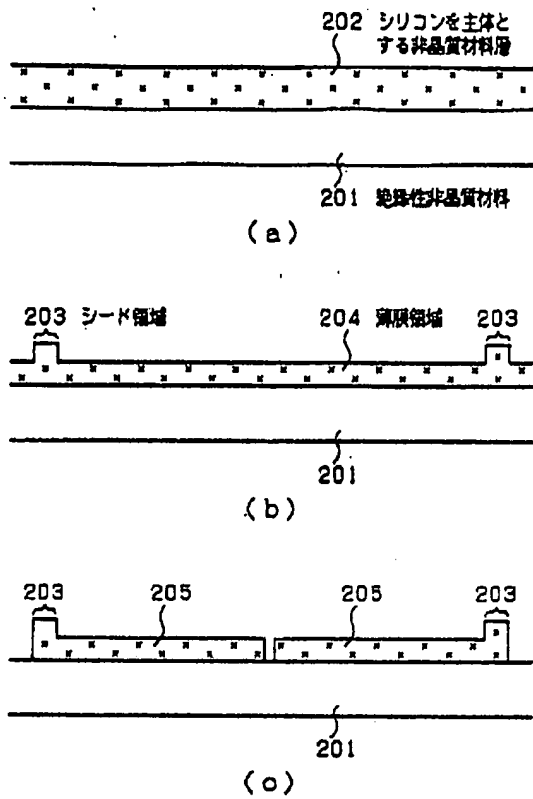
出願人セイコーエプソン株式会社
 代理人井理士鈴木喜三郎(他1名)



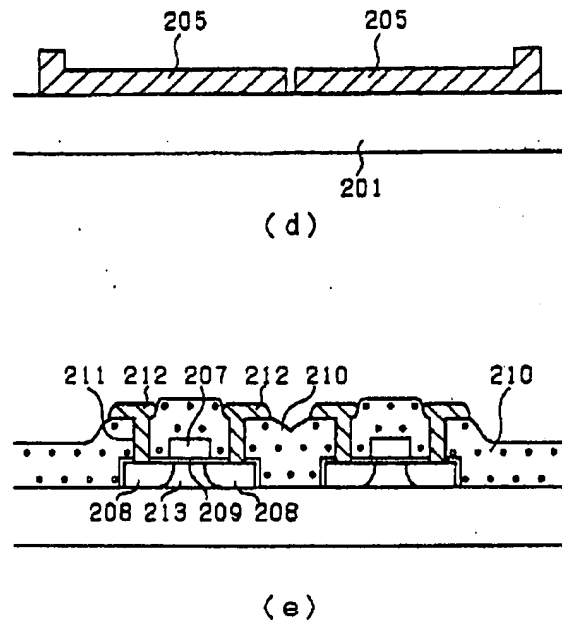
第 1 図



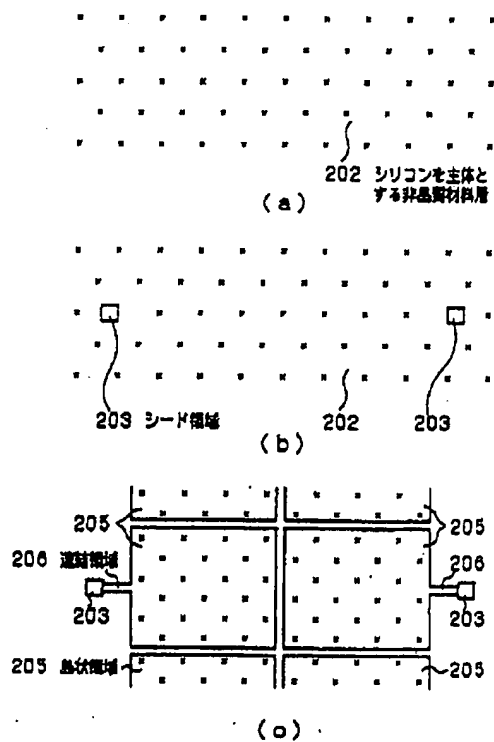
第 8 図



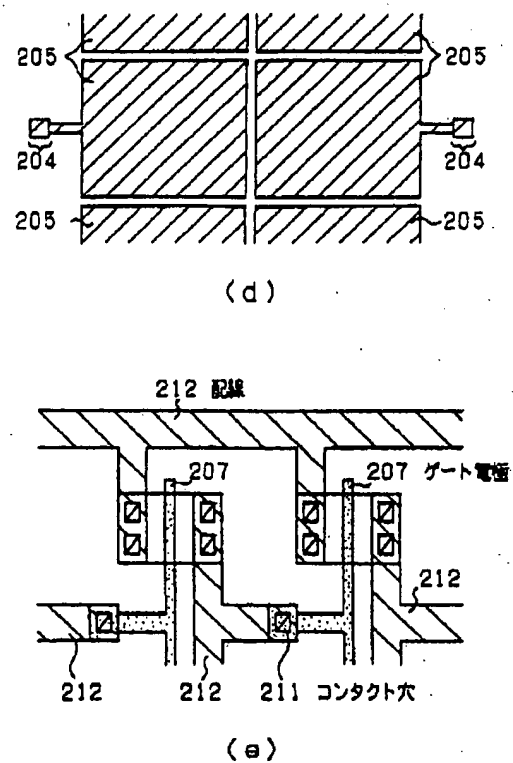
第 2 図



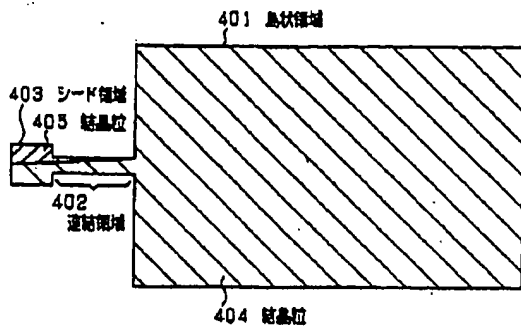
第 2 図



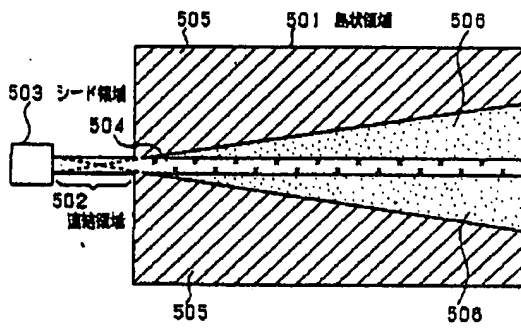
第 3 図



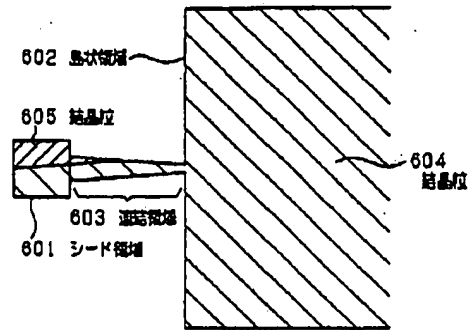
第 3 図



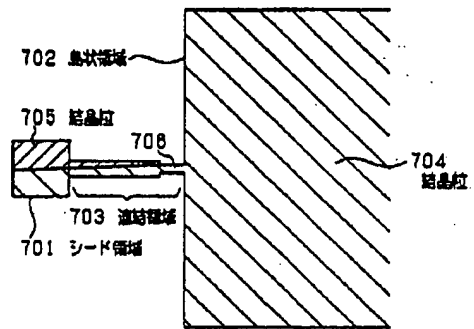
第 4 図



第 5 図



第 6 図



第 7 図

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-252048

(43)公開日 平成6年(1994)9月9日

(51)IntCl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/20		8122-4M		
C30B 28/12		8216-4G		
29/08	504 K	8216-4G		
30/00		8216-4G		

審査請求 有 請求項の数 2 OL (全 7 頁)

(21)出願番号 特願平5-33739

(22)出願日 平成5年(1993)2月23日

(71)出願人 390028004

株式会社ジーティシー

東京都中央区東日本橋1丁目6番5号

(72)発明者 栗山 博之

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

(72)発明者 木山 精一

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

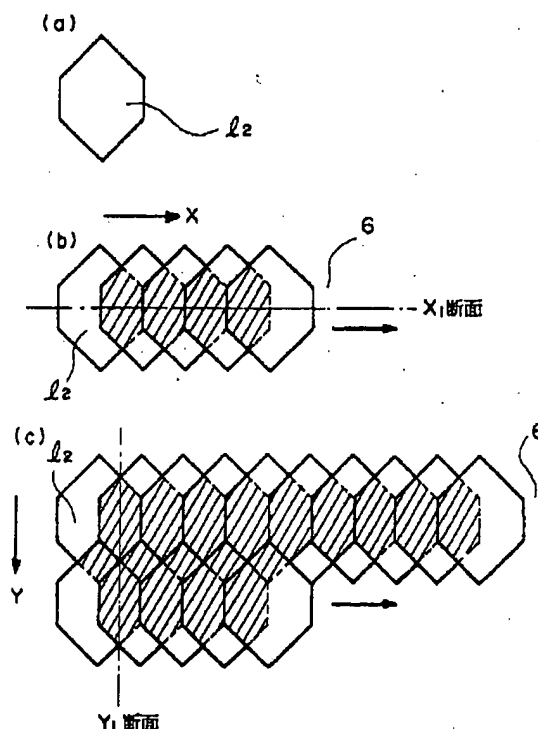
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 多結晶半導体薄膜の製造方法

(57)【要約】

【目的】 非晶質半導体薄膜の各部におけるレーザービームの重複量を等しくすることにより、該非晶質半導体薄膜全体を均一に多結晶化することができる多結晶半導体薄膜の製造方法を提供する。

【構成】 基板上に設けられた非晶質半導体薄膜6に、照射方向の断面形状が六角形のパルスエネルギービーム1₂を照射し、該パルスエネルギービーム1₂を前記六角形の所定の辺の配列方向に所定の面積を重複させつつ走査することを特徴とする。また、前記パルスエネルギービームの照射方向の断面形状を菱形とし、パルスエネルギービームを、前記菱形の対角線方向に所定の面積を重複させつつ走査することを特徴とする。



【特許請求の範囲】

【請求項1】 基板上に設けられた非晶質半導体薄膜にパルスエネルギービームを照射し、このパルスエネルギービームを前記非晶質半導体薄膜の面方向に走査することにより、該非晶質半導体薄膜を多結晶化する多結晶半導体薄膜の製造方法において、前記パルスエネルギービームの照射方向の断面形状を六角形とし、該パルスエネルギービームを、前記六角形の所定の辺の配列方向に所定の面積を重複させつつ走査することとを特徴とする多結晶半導体薄膜の製造方法。

【請求項2】 基板上に設けられた非晶質半導体薄膜にパルスエネルギービームを照射し、このパルスエネルギービームを前記非晶質半導体薄膜の面方向に走査することにより、該非晶質半導体薄膜を多結晶化する多結晶半導体薄膜の製造方法において、前記パルスエネルギービームの照射方向の断面形状を菱形とし、該パルスエネルギービームを、前記菱形の対角線方向に所定の面積を重複させつつ走査することとを特徴とする多結晶半導体薄膜の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ガラス基板等の絶縁性基板上に、低温プロセスを用いて均一な多結晶半導体薄膜を製造する方法に関するものである。

【0002】

【従来の技術】近年、液晶ディスプレイ用や密着型イメージセンサ等の駆動素子用の半導体材料として、薄膜半導体の研究が盛んに行なわれている。これは、この薄膜半導体が従来からの単結晶半導体と異なり、ガラス等の絶縁性基板に形成でき、かつ大面積化が容易という特徴を有するためである。従来、このような薄膜半導体としては、非晶質シリコン薄膜が主流であったが、移動度が非常に小さい($\mu_e = 0.1 \sim 1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)ために、その応用分野が制限されている。そこで、前記非晶質シリコン薄膜に替わる材料として、低温プロセスを用いて大面積の薄膜を形成することが可能な多結晶シリコン薄膜の研究が活発化している。この多結晶シリコン薄膜は、非晶質シリコン薄膜と比較して3桁近く高いキャリア移動度が得られる。したがって、多結晶シリコン薄膜の製造方法を確立することができれば、これまで、シリコンウエハーに作製していた集積回路(IC)チップを基板上に実装することができ、ワイヤボンディング等で接続していた周辺の駆動回路を同一基板上に薄膜駆動回路として一体化することができ、実装、配線等の製造コストの削減、コンパクト化を実現することができる。

【0003】多結晶シリコン薄膜の製造方法の1つに、エキシマレーザ等の短波長レーザ光を用いた再結晶化法がある。図5は、高エネルギービーム再結晶化装置の概

略構成図である。図において、1はエキシマレーザ、2はミラー、3はホモジナイザー等からなる均一光学系、4は石英窓5が設けられた真空チャンバーである。この高エネルギービーム再結晶化装置を用いて非晶質シリコン薄膜を多結晶化するには、まず、真空チャンバー4内の所定位置に非晶質シリコン薄膜6が形成されたガラス基板7を配置し、該真空チャンバー4内を排気し所定の真空度にする。この真空中に必要に応じてAr等の不活性ガスを導入する場合もある。次いで、エキシマレーザ1からレーザビーム(パルスエネルギービーム)1₁を出射する。このレーザビーム1₁は、ミラー2により反射され、均一光学系3を透過する際に照射方向の断面形状が矩形状とされるときにもビームが均一化され、石英窓5を透過し、ガラス基板7上の非晶質シリコン薄膜6に照射される。該非晶質シリコン薄膜6はレーザビーム1₁によりナノ秒オーダーで高速熱処理され、多結晶化される。

【0004】非晶質シリコン薄膜6が大面積である場合、図6に示す様に、レーザビーム1₁の照射方向の断面形状を正方形または長方形とし、該レーザビーム1₁を非晶質シリコン薄膜6の面内の2方向、すなわちX軸方向またはY軸方向へ走査することにより、該非晶質シリコン薄膜6を多結晶化し、多結晶シリコン薄膜8とする。この場合、多結晶シリコン薄膜8の均一化を図るために、図7(a)に示す断面形状が正方形のレーザビーム1₁を、図7(b)に示すように、レーザビーム1₁の所定の辺の配列方向(同図ではX軸方向)に所定の面積を重複させつつ走査させ、さらに、図7(c)に示すように、レーザビーム1₁の前記辺に隣接する所定の辺の配列方向(同図ではY軸方向)に所定の面積を重複させつつ移動させ、再度レーザビーム1₁をX軸方向に所定の面積を重複させつつ走査させる。以上の操作を繰り返し実施することにより、大面積の非晶質シリコン薄膜6を多結晶化することができる。

【0005】この再結晶化法は、レーザ光のパルス幅がナノ秒オーダーの高速熱処理であるために、再結晶化時間が極めて短く、表面のみの局所加熱となり、また、基板への熱影響がほとんど無いため、安価なガラス基板を用いることができる。また、非晶質シリコン薄膜を一旦溶融した後再結晶化するプロセスであるために、他の低温多結晶シリコン薄膜の製造方法において比較的よく用いられている、例えば、電気炉を用いて、600℃程度の温度で数十時間アニールする方法(固相成長法)と比較して、結晶粒内部に双晶等の欠陥が少ない結晶性に優れた薄膜を得ることができる。したがって、この薄膜を用いて作製した薄膜トランジスタ(TFT)において、高移動度の薄膜が容易に得られるために、最も有望視されている方法である。

【0006】

【発明が解決しようとする課題】しかしながら、この再

結晶化法においては、図7(c)に示すように、レーザビーム1₁をX軸方向及びY軸方向のそれぞれの方向へ、重複部k_x及び重複部k_yだけ重複させつつ走査させるために、X軸方向の重複量(パルス数)及びY軸方向の重複量(パルス数)は、重複部k_x及び重複部k_yと、重複部k_xと重複部k_yとが重なった重複部k_z各々において異なることとなる。多結晶シリコン薄膜には照射パルス数依存性があるために、レーザビーム1₁の重複量が各部分により異なった場合、各部分毎に結晶性も異なってしまうという性質がある。例えば、図7(c)では、非重複部k₀と重複部k_x、k_y、及び重複部k_x、k_yと重複部k_z各々の部分の結晶性が異なることとなり、したがって、作製したデバイスの特性が非重複部k₀、重複部k_x、k_y、重複部k_zそれぞれの部分において異なってしまうという問題があった。

【0007】そこで、図8に示すように、X方向の送りピッチを細かく取ればX方向の均一性を改善することができるが、Y軸方向の重複量が非重複部k₀と重複部k_zとにおいて異なるためにやはり不均一部分が生じてしまうという問題があった。

【0008】この発明は、上記の事情に鑑みてなされたものであって、非晶質半導体薄膜の各部におけるレーザビームの重複量を等しくすることにより、該非晶質半導体薄膜全体を均一に多結晶化することができる多結晶半導体薄膜の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、この発明は次の様な多結晶半導体薄膜の製造方法を採用した。すなわち、この発明の請求項1記載の多結晶半導体薄膜の製造方法は、基板上に設けられた非晶質半導体薄膜にパルスエネルギービームを照射し、このパルスエネルギービームを前記非晶質半導体薄膜の面方向に走査することにより、該非晶質半導体薄膜を多結晶化する多結晶半導体薄膜の製造方法において、前記パルスエネルギービームの照射方向の断面形状を六角形とし、該パルスエネルギービームを、前記六角形の所定の辺の配列方向に所定の面積を重複させつつ走査することを特徴としている。

【0010】また、請求項2記載の多結晶半導体薄膜の製造方法は、基板上に設けられた非晶質半導体薄膜にパルスエネルギービームを照射し、このパルスエネルギービームを前記非晶質半導体薄膜の面方向に走査することにより、該非晶質半導体薄膜を多結晶化する多結晶半導体薄膜の製造方法において、前記パルスエネルギービームの照射方向の断面形状を菱形とし、該パルスエネルギービームを、前記菱形の対角線方向に所定の面積を重複させつつ走査することを特徴としている。

【0011】

【作用】この発明の請求項1記載の多結晶半導体薄膜の製造方法では、前記パルスエネルギービームの照射方向

の断面形状を六角形とし、該パルスエネルギービームを、前記六角形の所定の辺の配列方向に所定の面積を重複させつつ走査する。これより、非晶質半導体薄膜の各部におけるレーザビームの重複量を等しくし、該非晶質半導体薄膜全体を均一に多結晶化する。

【0012】また、請求項2記載の多結晶半導体薄膜の製造方法では、前記パルスエネルギービームの照射方向の断面形状を菱形とし、該パルスエネルギービームを、前記菱形の対角線方向に所定の面積を重複させつつ走査する。これより、非晶質半導体薄膜の各部におけるレーザビームの重複量を等しくし、該非晶質半導体薄膜全体を均一に多結晶化する。

【0013】

【実施例】以下、図面を参照して、この発明の多結晶半導体薄膜の製造方法の各実施例について説明する。

(第1実施例) 図1はこの発明の第1実施例の多結晶シリコン薄膜の製造方法を示す概念図である。図1に示す多結晶シリコン薄膜の製造方法が図5に示す従来の多結晶シリコン薄膜の製造方法と異なる点は、レーザビーム(パルスエネルギービーム)1₁の照射方向の断面形状を六角形とし、レーザビーム1₁を、前記六角形の所定の辺の配列方向(図中X軸方向)に所定の面積を重複させつつ、非晶質シリコン薄膜6上を走査する点である。

【0014】以下、図1及び図5により、この多結晶シリコン薄膜の製造方法を更に詳しく説明する。まず、絶縁性基板上に非晶質シリコン薄膜を形成する。絶縁性基板としては、無アルカリガラスの表面にバッファ層としてのSiO₂膜が形成されたガラス基板7を用いる。該ガラス基板7の上に、プラズマCVD法、LPCVD法、スパッタ法等を用いて、厚みが300~1500オングストロームの非晶質シリコン薄膜6を形成する。プラズマCVD法等を用いた非晶質シリコン薄膜は、形成直後においては多量の水素を含有しているので、550℃付近の温度で脱水素化処理を行い、レーザ照射時に前記水素の突発的な離脱に起因する膜荒れを防ぐ必要がある。

【0015】次いで、真空チャンバー4内の所定位置に非晶質シリコン薄膜6が形成されたガラス基板7を配置し、該真空チャンバー4内を排気し所定の真空度にする。この真空中に必要な応じてAr等の不活性ガスを導入する場合もある。次いで、エキシマレーザ1からレーザビーム1₁を出射する。レーザビーム1₁の断面の大きさは、光学設計により、1辺の長さを1mm程度から15mm程度までの範囲内で任意に設定することが可能である。エキシマレーザ1としては、短パルスレーザである、F₁、ArF、KrF、XeCl、XeF等を用いたエキシマレーザが好適に用いられ、そのエネルギー密度としては、200~500mJ/cm²が好適である。

【0016】このレーザビーム1₁は、ミラー2により

反射され、均一光学系3を透過する際に照射方向の断面形状が六角形とされるときにもビームが均一化され、石英窓5を透過し、ガラス基板7上の非晶質シリコン薄膜6に照射される。該非晶質シリコン薄膜6はレーザビーム1₁によりナノ秒オーダーで高速熱処理され、多結晶化される。

【0017】この方法では、図1(b)に示すように、レーザビーム1₁を、該レーザビーム1₁の照射方向の断面形状である六角形の所定の辺の配列方向(図中X軸方向)に、該六角形の一对の対辺間の長さの1/2ずつ移動させて非晶質シリコン薄膜6上を走査させ、さらに、図1(c)に示すように、レーザビーム1₁を、前記六角形の対角線方向(同図ではY軸方向)に所定の面積を重複させつつ移動させ、再度レーザビーム1₁を、前記六角形の一对の対辺間の長さの1/2ずつ移動させて非晶質シリコン薄膜6上を走査させる。以上の操作を繰り返し実施することにより、大面積の非晶質シリコン薄膜6全体を均一に多結晶化することができる。

【0018】この方法では、非晶質シリコン薄膜6のX軸方向の重複量(パルス数)及びY軸方向の重複量(パルス数)共に2回ずつとなり、非晶質シリコン薄膜6の各部におけるレーザビームの重複量を大面積基板全域で等しくすることがわかる。したがって、該非晶質シリコン薄膜6全体を均一に多結晶化することがわかる。

【0019】図2は、上記実施例の多結晶シリコン薄膜にTFT素子を作製した場合の、図1中のX₁断面及びY₁断面各々の方向におけるTFT素子の特性分布を示す図(実施例)であり、図3は、従来の多結晶シリコン薄膜にTFT素子を作製した場合の、図7中のX₁断面及びY₁断面各々の方向におけるTFT素子の特性分布を示す図(従来例)である。

【0020】実施例では、X₁断面、Y₁断面ともに、電界効果移動度が一定しており、TFT素子の特性が均一であるのに対し、従来例では、X₁断面の重複部k₁の電界効果移動度が非重複部k₂に対して、同様にY₁断面の重複部k₁の電界効果移動度が重複部k₂に対して、それぞれ突出しており、TFT素子の特性が不均一であることがわかる。これらの図から、上記実施例の多結晶シリコン薄膜にTFT素子を作製した場合では、従来例と比較してTFT素子の均一性が大幅に向上していることがわかり、したがって、多結晶シリコン薄膜の結晶の均一性が従来と比べて大幅に向上していることは明白である。

【0021】以上説明した様に、この多結晶シリコン薄膜の製造方法によれば、非晶質シリコン薄膜6の各部におけるレーザビームの重複量を大面積基板全域において等しくすることができ、該非晶質シリコン薄膜6全体を均一に多結晶化することができる。したがって、この多結晶シリコン薄膜を用いてデバイスを作製した場合、基板全体で特性ばらつきのないデバイス及び回路を得るこ

とができるという効果がある。

【0022】なお、重複量をさらに細かくした場合においても、送りピッチを走査方向のビーム長の整数倍とすれば、同様の効果を得ることができる。また、重複量を上記のように1/2とし、全体を何度も走査してもかまわない。また、レーザビームエッジ部の特性不均一については、この箇所の形状をできるかぎり急峻にすることにより、すなわち、エッジ領域の面積をできるだけ小さくすることにより、レーザビームエッジ部における特性不均一を小さくすることができる。この場合、光学設計の最適化により、この領域の巾を20μm以下にすることも可能である。また、レーザ照射時の基板温度を400℃程度に加熱保持した状態でレーザアニールすることにより、結晶の不均一性をさらに問題のないレベルまで回避することができる。

【0023】(第2実施例)図4はこの発明の第2実施例の多結晶シリコン薄膜の製造方法を示す概念図である。図4に示す多結晶シリコン薄膜の製造方法が図1に示す第1実施例の多結晶シリコン薄膜の製造方法と異なる点は、レーザビーム1₁の照射方向の断面形状を菱形とし、該レーザビーム1₁を、前記菱形の対角線方向(図中X軸方向)に所定の面積を重複させつつ、非晶質シリコン薄膜6上を走査する点である。

【0024】この方法では、図4(b)に示すように、レーザビーム1₁を、該レーザビーム1₁の照射方向の断面形状である菱形の対角線方向(図中X軸方向)に、該菱形の対角線の長さの1/2ずつ移動させて非晶質シリコン薄膜6上を走査させ、さらに、図4(c)に示すように、レーザビーム1₁を、前記菱形の他の対角線方向(同図ではY軸方向)に該対角線の長さの1/2移動させ、再度レーザビーム1₁を、前記菱形の対角線方向(図中X軸方向)に、該菱形の対角線の長さの1/2ずつ移動させて非晶質シリコン薄膜6上を走査させる。以上の操作を繰り返し実施することにより、大面積の非晶質シリコン薄膜6全体を均一に多結晶化することができる。

【0025】この方法においても、非晶質シリコン薄膜6のX軸方向の重複量(パルス数)及びY軸方向の重複量(パルス数)共に2回ずつとなり、非晶質シリコン薄膜6の各部におけるレーザビームの重複量を等しくすることができ、したがって、該非晶質シリコン薄膜6全体を均一に多結晶化することがわかる。以上説明した様に、この多結晶シリコン薄膜の製造方法においても、上記第1実施例の多結晶シリコン薄膜の製造方法と同様の効果がある。

【0026】

【発明の効果】以上説明した様に、この発明の請求項1または2記載の多結晶半導体薄膜の製造方法によれば、非晶質半導体薄膜の各部におけるレーザビームの重複量を等しくすることができ、該非晶質半導体薄膜全体を均

一に多結晶化することができる。したがって、この多結晶シリコン薄膜を用いてデバイスを作製した場合、従来において問題とされていたレーザービームの重複量に起因する特性のバラツキを改善することができ、基板全体で特性ばらつきのないデバイス及び回路を得ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施例の多結晶シリコン薄膜の製造方法を示す概念図である。

【図2】本発明の第1実施例の多結晶シリコン薄膜にTFT素子を作製した場合のTFT素子の特性分布を示す図である。

【図3】従来の多結晶シリコン薄膜にTFT素子を作製した場合のTFT素子の特性分布を示す図である。

【図4】本発明の第2実施例の多結晶半導体薄膜の製造方法を示す概念図である。

【図5】高エネルギービーム再結晶化装置の概略構成図*

*である。

【図6】高エネルギービーム再結晶化法の概念図である。

【図7】従来の多結晶半導体薄膜の製造方法を示す概念図である。

【図8】従来の他の多結晶半導体薄膜の製造方法を示す概念図である。

【符号の説明】

1 エキシマレーザー

2 ミラー

3 均一光学系

4 真空チャンバー

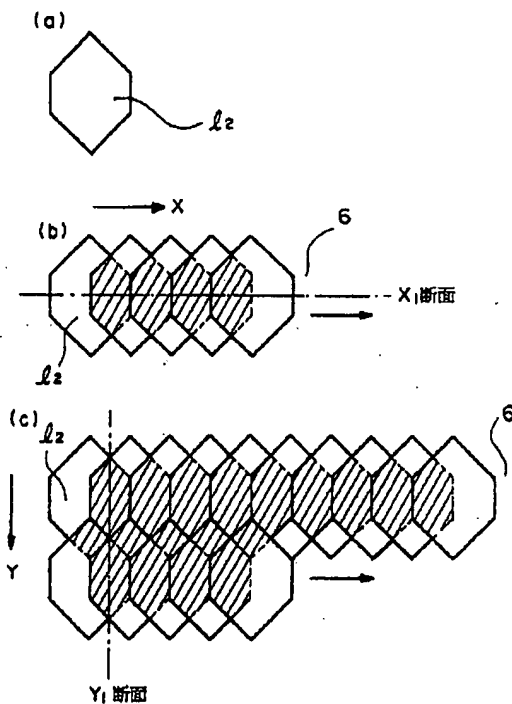
5 石英窓

6 非晶質シリコン薄膜（非晶質半導体薄膜）

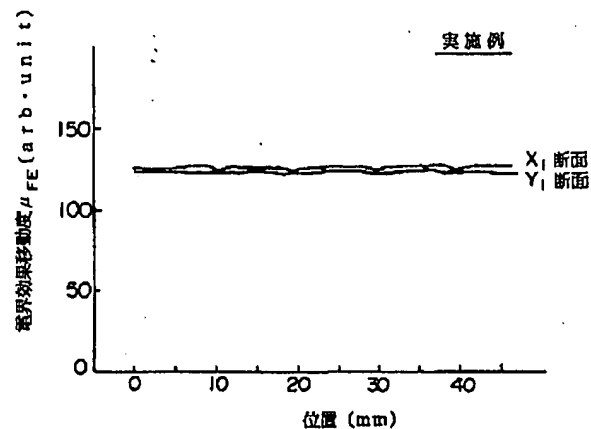
7 ガラス基板

1, 1, レーザビーム

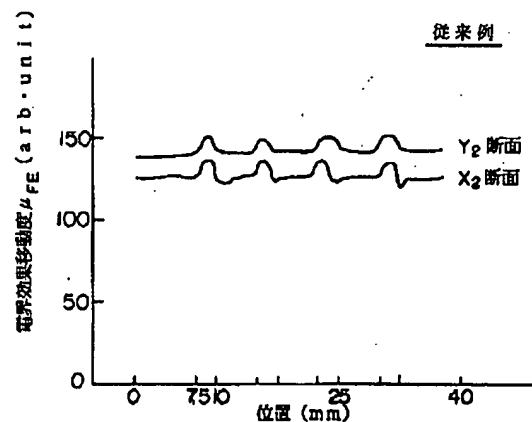
【図1】



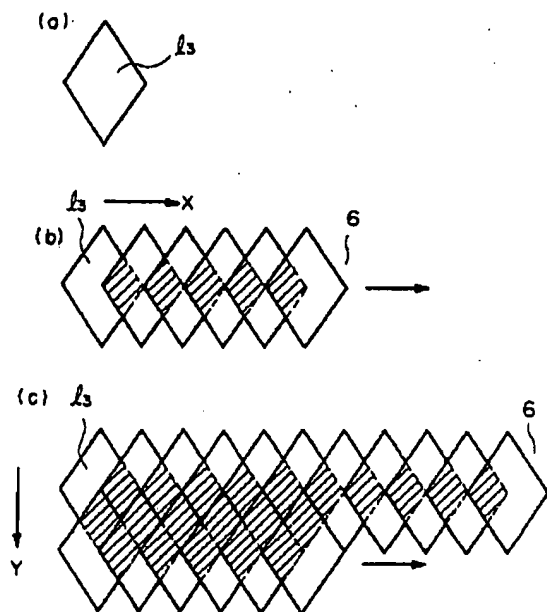
【図2】



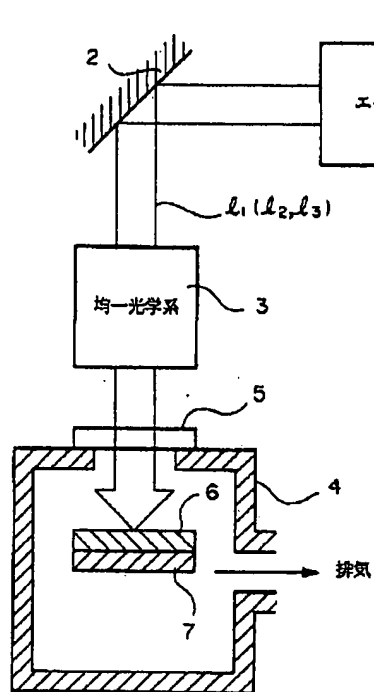
【図3】



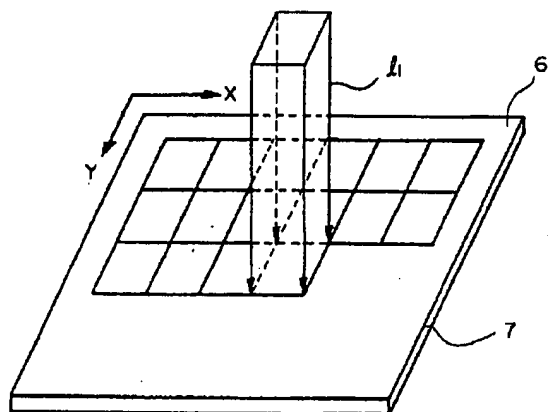
【図4】



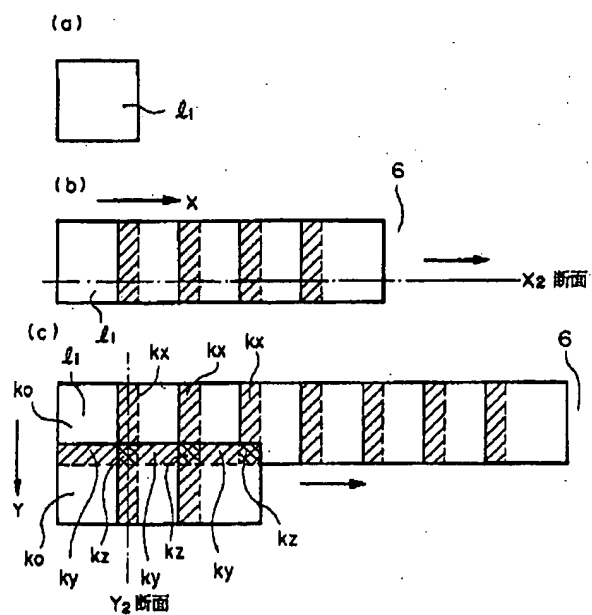
【図5】



【図6】



【図7】



【図8】

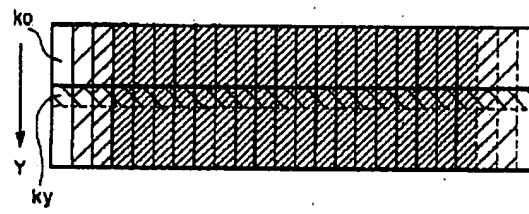
(a)



(b)



(c)



(12)

(43)

(22) Date of Filing 08.06.1999

(30) Priority Data

(31) 98021288

(32) 09.06.1998

(33) KR

(71) Applicant(s)

LG. Philips LCD Co Ltd

(Incorporated in the Republic of Korea)

20 Yoido-dong, Youngdungpo-ku, Seoul.

Republic of Korea

(72) Inventor(s)

Dae-Gyu Moon

(74) Agent and/or Address for Service

Edward Evans & Co

Chancery House, 53-64 Chancery Lane, LONDON

WC2A 1SD, United Kingdom

(51) INT CL⁶

H01L 21/20

(52) UK CL (Edition Q)

H1K KLHA K1CA K3E5A K3F K3P6 K3P8 K9C3 K9C9

K9D1 K9R1

(56) Documents Cited

US 5817548 A

US 5432122 A

(58) Field of Search

UK CL (Edition Q) H1K KLHA KLXW

INT CL⁶ H01L 21/20 21/336

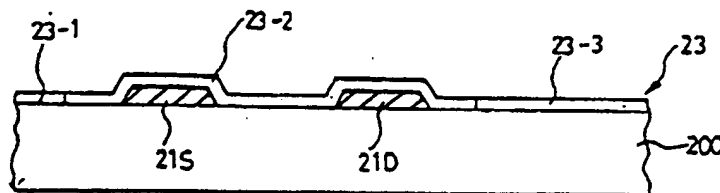
Online: WPI, JAPIO, EPODOC

(54) Abstract Title

Method for fabricating thin film transistor

(57) A method of fabricating a thin film transistor comprises crystallizing an amorphous silicon layer 22 having sloping surface and flat surface by SLS technique using a laser beam having predetermined energy density so as to melt the sloping surface as well as the flat surface of the amorphous silicon layer 22 to form a crystallized silicon layer 23 and forming the active layer by selectively etching the crystallized silicon layer. The laser beam is applied non-vertically to the sloping surface while the laser beam is applied vertically to the flat surface. Although the sloping surface and the flat surface of the amorphous silicon layer 22 are irradiated with laser beam having same laser energy density, the absorbed energy density of the sloping surface may be lower than that of the flat surface. The laser beam requires first energy density to substantially melt the sloping surface and second energy density to substantially melt the flat surface of the amorphous silicon 22. The amorphous silicon layer 22 is irradiated with the laser beam having the first energy density to substantially melt both the sloping and flat surfaces.

FIG. 2B



GB 2 338 343

FIG. 1A (Prior Art)

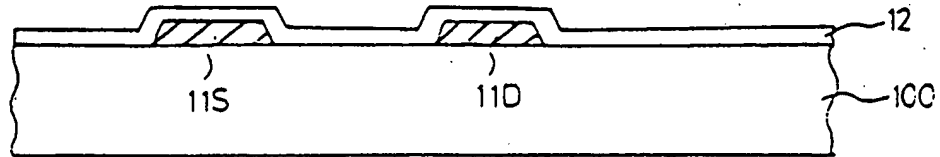


FIG. 1B (Prior Art)

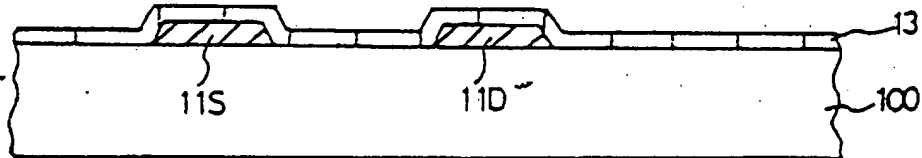


FIG. 1C (Prior Art)

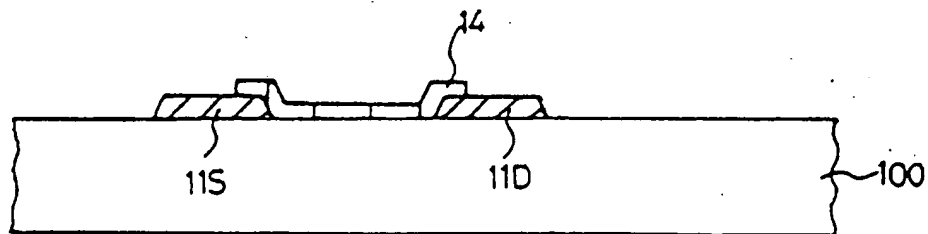


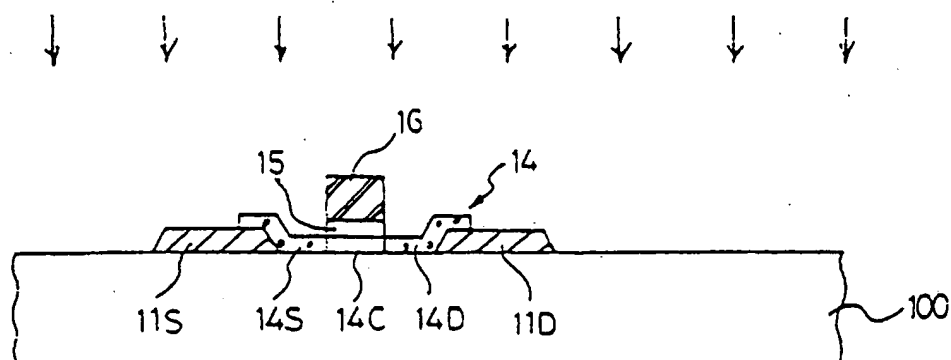
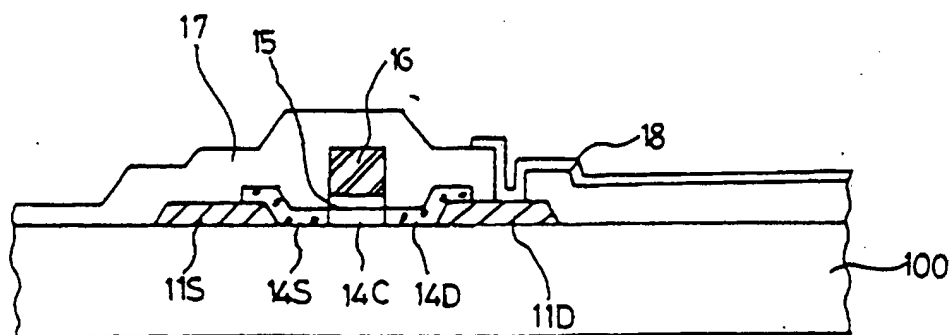
FIG. 1D(Prior Art)**FIG. 1E**(Prior Art)

FIG. 2A

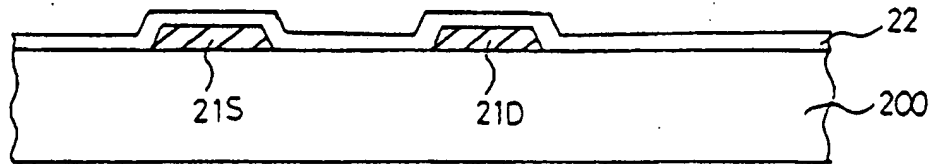


FIG. 2B

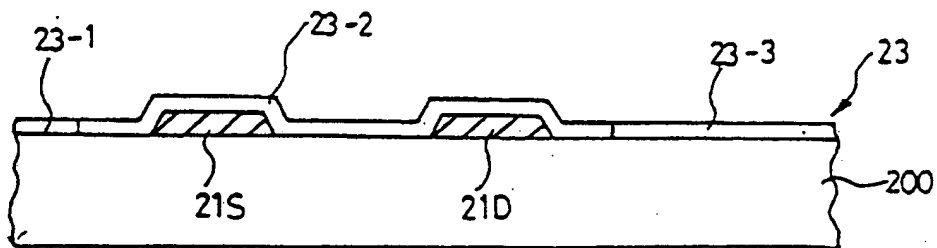


FIG. 2C

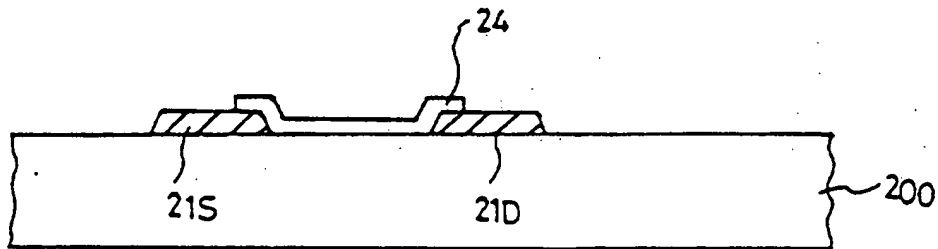


FIG. 2D

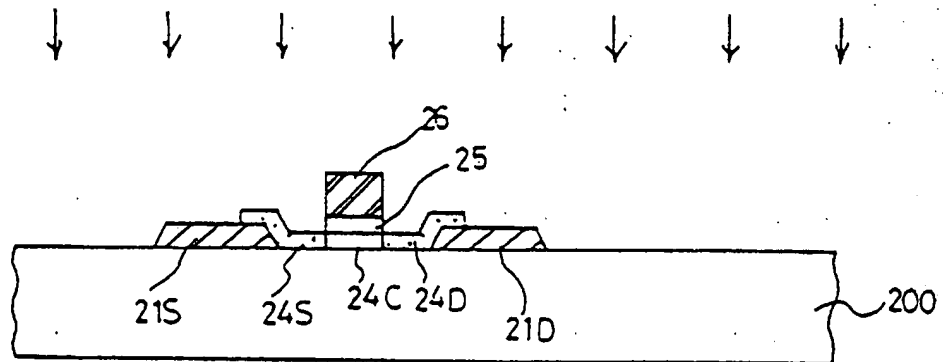


FIG. 2E

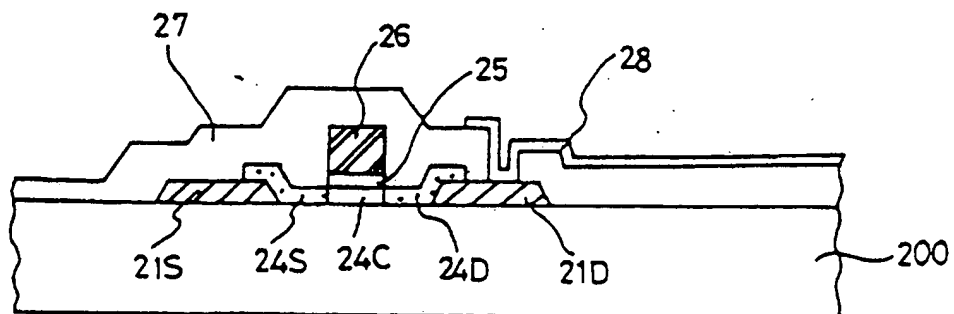


FIG.3

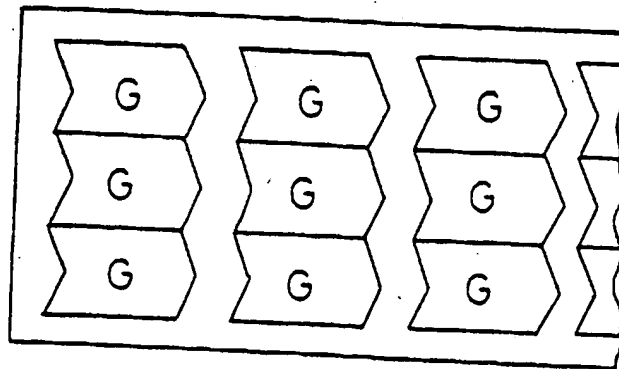


FIG.4

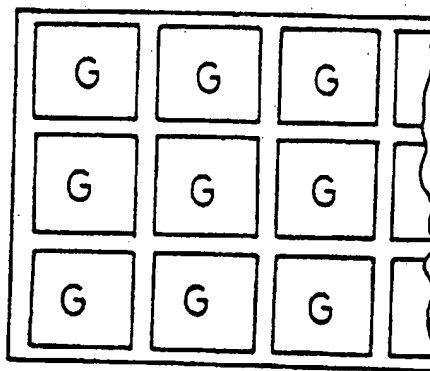


FIG.5

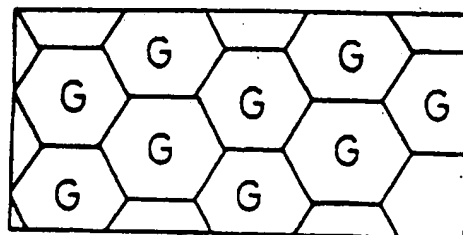


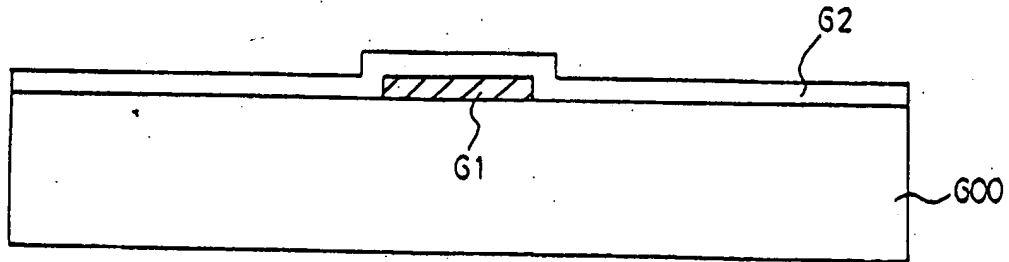
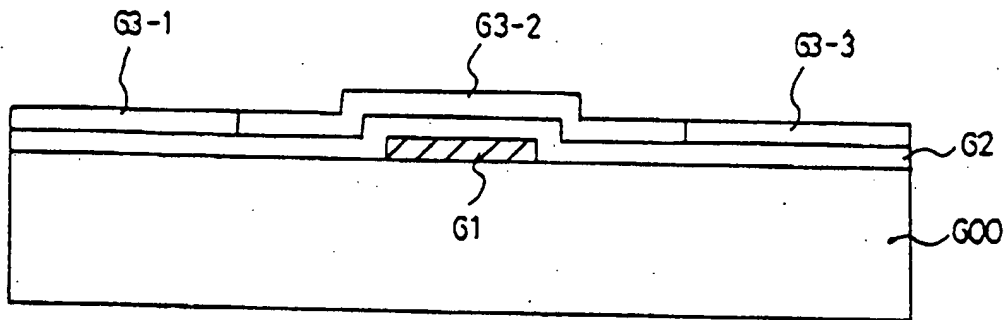
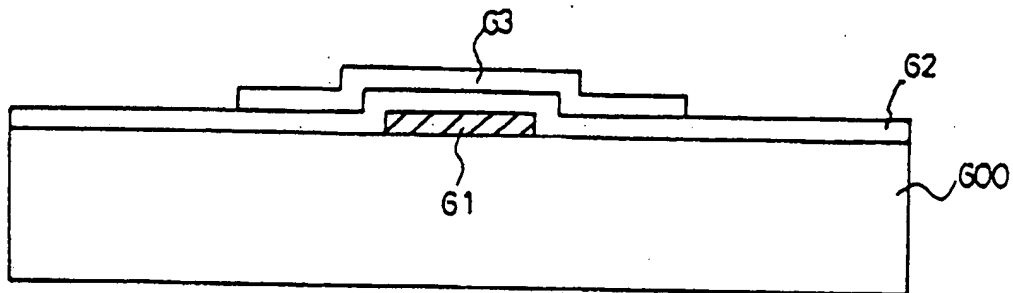
FIG. 6A**FIG. 6B****FIG. 6C**

FIG. 6D

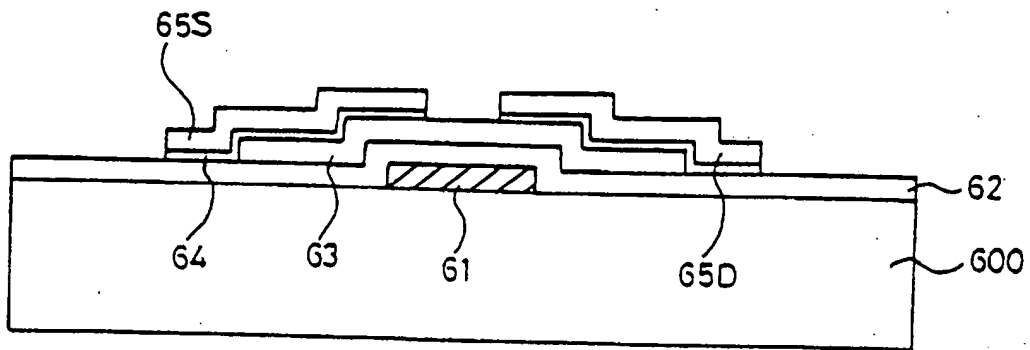
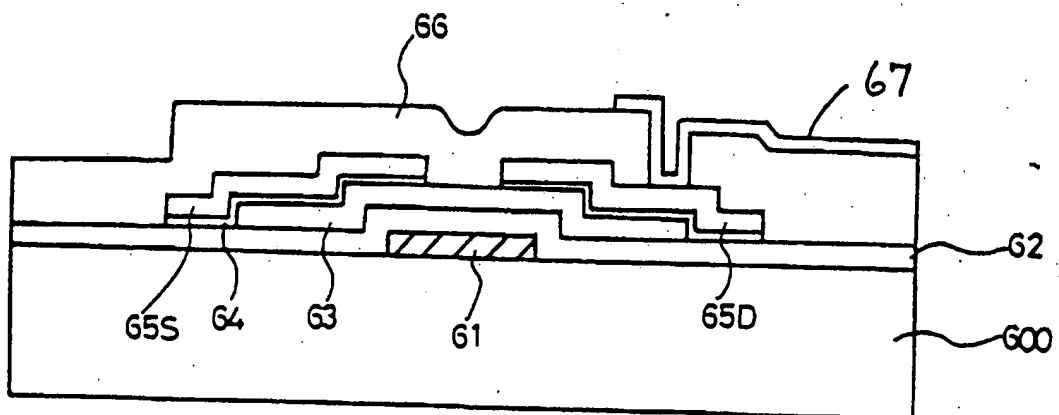


FIG. 6E



METHOD FOR FABRICATING THIN FILM TRANSISTOR

The present invention is related to a method for fabricating Thin Film Transistor (TFT), and more particularly, to a method for fabricating TFT, of which
5 an active layer is formed by crystallizing a silicon thin film, using Sequential Lateral Solidification (SLS).

In order to fabricate TFTs on a low heat-resistant substrate, such as a glass substrate, an amorphous
10 silicon layer or a polycrystalline silicon layer is deposited on the substrate and is etched by photolithography to form active layers for TFTs.

The mobility of a carrier is low in the amorphous silicon layer. Accordingly, amorphous silicon TFT is
15 difficult to be used as a device for driving circuits of a liquid crystal display (LCD). However, the mobility of a carrier is high in the polycrystalline layer. Accordingly, polycrystalline TFT could be used as a device for driving circuits of a liquid crystal display
20 (LCD), in which devices for pixel array and a device for driving circuits are formed simultaneously.

There are two techniques to form polycrystalline silicon film on a glass substrate. The first technique is that an amorphous silicon film is deposited on the
25 substrate and is crystallized under a temperature of 600 by Solid Phase Crystallization (SPC). The first technique needs a high temperature process. Therefore, it is difficult to form the polycrystalline silicon film layer on the glass substrate by the first technique.

30 The second technique is that an amorphous silicon film is deposited on the substrate and is crystallized by

thermal treatment using a laser. The second technique does not require a high temperature process. Therefore, the second technique is applied to form a polycrystalline silicon film on the glass substrate.

5 Fig. 1A to Fig. 1E are schematic drawings for explaining a method for fabricating a TFT according to prior art.

Referring to Fig. 1A, a source electrode 11S and a drain electrode 11D are formed on an insulating substrate 100. And an amorphous silicon layer 12 is deposited on the exposed surface of the substrate comprising the source electrode 11S and the drain electrode 11D. Herein the amorphous silicon layer 12 has steps and sloping surfaces, since the amorphous silicon layer 12 covers the protruding source and drain electrodes 11S and 11D.

Referring to Fig. 1B, the amorphous silicon layer is crystallized into a polycrystalline silicon layer 13 by carrying out a crystallization procedure using laser annealing. The method for crystallizing the amorphous silicon layer into the polycrystalline silicon layer 13 by applying a laser beam to the amorphous silicon layer is described as follows.

An active layer of the TFT is formed by the polycrystalline silicon layer having large silicon grains to decrease the effect of the grain boundary which prevents carriers from passing their channel.

A selected region of the amorphous silicon layer is first irradiated at an energy density to induce separated islands of amorphous silicon remaining and the other portions complete melting. The amorphous film is translated relative to the laser beam over a distance less than the predetermined distance for a second

irradiating. While the film is translating, the separated islands of amorphous silicon are used as seeds and grow into the molten silicon region, thereby to form a first polycrystalline silicon region. Herein, grain growth occurs from the interface between the liquid silicon region and the solid state amorphous silicon region into the liquid silicon region. This grain growth stops by making grain boundary when each grain collides. This process, the above-described process of the irradiating and crystallizing, was repeated over a total translation distance to crystallize the majority of the film.

Referring to Fig. 1C, the polycrystalline silicon layer is etched by photolithography to form an active layer 14. Referring to Fig. 1D, a gate insulating interlayer 15 and a gate electrode 16 are formed on the active layer 14. Source and drain regions 14S and 14D are then formed in the active layer 14 by doping impurities in the exposed portions of the active layer 14. The channel region 14C is formed between the source and the drain regions 14S and 14D.

Referring to Fig. 1E, a passivation layer 17 is deposited on the exposed surface of the substrate and is etched selectively to expose a portion of the drain electrode 11D. And a pixel electrode 18 is formed connecting the exposed portion of the drain electrode 11D on the passivation layer 17.

However, since the size of each silicon grain is non-uniform and the location of grain boundary is random in the active layer, device-to-device uniformity is degraded in TFTs fabricated according to the prior art. Therefore, the polycrystalline silicon layer could not be

applied to form devices for complicated circuits, while a single crystal silicon film could be applied to form them.

5

Accordingly, the present invention is directed to a method for crystallizing an amorphous silicon layer and a method for fabricating a TFT, that substantially obviates one or more of the problems due to limitations and disadvantages of the prior art.

Another object of the present invention is to provide a method for fabricating a TFT, the active layer of which is formed by crystallizing a silicon thin film, using steps by Sequential Lateral Solidification (SLS).

15 A further object of the present invention is to provide a method for fabricating a TFT, the active layer of which is formed by using a large single silicon grain.

Additional features and advantages of the invention will be set forth in the description which follows and in part will be apparent from the description, or may be learned by practice of the invention. The objectives and other advantages of the invention will be realized and attained by the structure particularly pointed out in the written description and claims hereof as well as the
20 appended drawings.

To achieve these and other advantages and in accordance with the purpose of the present invention, as embodied and broadly described, the present invention, a method for fabricating a TFT having an active layer
30 formed by crystallizing an amorphous silicon layer, comprises forming the active layer having sloping and flat surfaces by selective etching of the crystallized

silicon layer; crystallizing the amorphous silicon layer by SLS technique, using a laser beam having energy density so as to melt the sloping surface as well as the flat surface of the amorphous silicon layer.

5 In another aspect of the present invention, a method for fabricating a TFT comprises steps of: forming source and drain electrodes on a substrate; depositing an amorphous silicon layer on the exposed portion of the substrate comprising the source and the drain electrodes;
10 crystallizing the amorphous silicon layer by SLS technique; forming an active layer by etching the crystallized silicon layer through photolithography; forming a gate electrode and a gate insulating layer on the active layer; and forming source and drain regions in
15 the active layer by doping impurities selectively in the exposed portion of the active layer.

In another aspect of the present invention, a method for fabricating a TFT, comprising steps of: forming a gate electrode on a substrate; forming a gate insulating
20 layer on the exposed portion of the substrate comprising the gate electrode; depositing an amorphous silicon layer on the exposed portion of the gate insulating layer; crystallizing the amorphous silicon layer by SLS technique; forming an active layer by etching the
25 crystallized silicon layer through photolithography; and forming source and drain electrodes connecting the active layer electrically.

Specific embodiments will now be described, by way of example, with reference to the accompanying drawings,
30 in which:

Figs. 1A to 1E are schematic drawings of a TFT according to prior art;

Figs. 2A to 2E are schematic drawings of a TFT according to a first embodiment of the present invention;

Figs. 3 to 5 are schematic drawings of a three
5 silicon layer crystallized by SLS technique; and

Figs. 6A to 6E are schematic drawings of a TFT according to a second embodiment of the present invention.

10 Reference will now be made in detail to the preferred embodiment of the present invention, an example of which is illustrated in the accompanying drawings.

Fig. 2A to Fig. 2E are schematic drawings for explaining a method for fabricating a TFT according to a
15 first embodiment of the present invention. Referring to Fig. 2A, a source electrode 21S and a drain electrode 21D are formed on a insulating substrate 200. An amorphous silicon layer 22 is then deposited on the exposed surface of the substrate comprising the source electrode 21S and
20 the drain electrode 21D. Herein, the amorphous silicon layer 22 has steps and sloping surfaces, since the amorphous silicon layer covers the protruding source and drain electrodes 21S and 21D.

Referring to Fig. 2B, the amorphous silicon layer 22
25 is crystallized into a polycrystalline silicon layer 23 by using a sequential lateral solidification (SLS) technique. Herein, polycrystalline silicon layer has long columnar silicon grains.

SLS technique uses a phenomenon whereby the grain
30 boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. The SLS technique enables the

conversion of as-deposited amorphous or polycrystalline silicon films to a directionally solidified microstructure consisting of long, columnar grains (Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997).

Referring to Fig. 3 to Fig. 5, the method for crystallizing the amorphous silicon layer into the polycrystalline silicon layer by SLS technique is described as follows. For convenience of describing such technique, three techniques of the SLS method are taken as examples.

SLS is a technique that forms the silicon layer, by applying laser to an amorphous silicon layer. Here, the displacement of the laser beam is shorter than the length of lateral growth of the crystal. Consequently, silicon particles which are longer than 10 μm are formed on a glass substrate. The foregoing technique is disclosed in "Crystalline Si Films For Integrated Active Matrix Liquid-Crystal Displays," MRS Bulletin, Volume XXI, Number 3, March 1996, pp. 39~48.

Moreover, the location, size, and shape of a crystal particle may be controlled by manipulating the shape of a slit through which a laser beam passes, which enables the formation of silicon particles that are larger than an active area of a TFT. Thus, it is possible to fabricate a TFT of single crystalline silicon manufactured by forming an active area of the TFT as a single crystal particle.

Fig. 3 is schematic drawings for explaining the method for crystallizing the silicon film having large silicon grains according to a first example of the SLS technique. A plurality of the selected regions,

preferably chevron-shaped and having a round apex, of the film are irradiated at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth proceeds from the unmelted regions adjacent to the narrow strip to the fully-melted regions. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. Here, the grains formed at the apex of the chevron experience lateral growth not only in the translation direction, but also transverse to it, due to the fact that grain boundaries form roughly perpendicular to the melt interface. Thus, the negative curvature of the molten zone at the apex of the chevron leads to widening of the grain, such that a single crystal silicon grain region is induced.

The film is translated relative to the beam image over a distance less than the single-pulse lateral growth distance, such as approximately one-half of the single-pulse lateral growth distance, and irradiated again. Lateral growth recommences from the edges of the completely molten region, one of which is located within the grains grown during the previous irradiation step. The length of the grains is increased beyond the single-pulse lateral growth distance. Here, the grain formed at the apex of the chevron, a single crystal silicon region, widen. The above-cited process, irradiating and solidifying, can be repeated indefinitely, leading to grains of any desired length. The final structure obtained in this fashion is shown in Fig. 3. The grain formed at the apex of the chevron, a single crystal silicon region, widen dramatically.

Fig. 4 is schematic drawing for explaining the

method for crystallizing the silicon film having large silicon grains according to a second example of the SLS technique. A plurality of the selected narrow regions having a directionally straight shape of the film in a row are irradiated at an energy density sufficient to induce complete melting. Subsequently, lateral grain growth having columnar direction proceeds from the unmelted regions adjacent to the narrow strips to the fully-melted regions. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. And the film is translated relative to the beam image over a distance less than the single-pulse lateral growth distance, and irradiated again. Lateral growth recommences from the edges of the completely molten region, one of which is located within the grains grown during the previous irradiation step. The length of the grains is increased beyond the single-pulse lateral growth distance. And, the above cited process, irradiating and solidifying, can be repeated indefinitely, leading to grains of any desired length.

Then, a plurality of the columnar directional selected straight regions of the crystallized silicon film having columnar grains are irradiated. Herein the columnar direction is perpendicular to the row direction. Subsequently, lateral grain growth proceeds in the row direction from the unmelted regions adjacent to the narrow strips to the fully-melted regions, by using one of the first direction columnar grains as seed for grain growth. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melt interface. And, the above

cited process, irradiating and solidifying, can be repeated indefinitely, leading to grains of any desired length. As the lateral grain growth in row direction proceeds, the seed grain grows more and more. A
5 plurality of the seed grain grows dramatically to form a plurality of the single crystalline region G as the result of the crystallization. Thereby, crystallized silicon film having very large size of the single crystalline regions could be formed on the glass
10 substrate.

Fig. 5 is a schematic drawing for explaining the method for crystallizing the silicon film having large silicon grains according to a third example of the SLS technique. A portion, except a plurality of selected dot
15 regions, is first irradiated at an energy density sufficient to induce complete melting. The amorphous film is translated relative to the laser beam in a first direction over a distance less than one pulse lateral grain growth for second irradiating. While the film is
20 translating, the unmelted dot region of the amorphous silicon is used as seeds and grows into the fully-melted regions. The grain boundaries in directionally solidified materials tend to form so as to always be approximately perpendicular to the melted interface. In
25 addition, portion, except a plurality of selected dot regions, is second irradiated at an energy density sufficient to induce complete melting. Herein the dot region is located in the crystallized silicon region.

The dot region which is not irradiated remains a
30 solid state of the polycrystalline silicon and has a limited number of silicon grains. The amorphous film is translated relative to the laser beam in a second

direction over a distance less than one pulse lateral grain growth for third irradiating. While the amorphous film is being translated, the unmelted dot region of the polycrystalline silicon having three grains is used as
5 seed and grows into the fully-melted regions. A portion, except a plurality of the selected dot regions, is irradiated for a third time at an energy density sufficient to induce complete melting. Herein the dot region is located in the crystallized silicon region. The
10 dot region which is not irradiated remains a solid state of the polycrystalline silicon and has fewer silicon grains than the previous step. Accordingly, as the above process is further carried out, the number of grains in dot region is reduced. Finally, only a single grain
15 remains in the dot region when the appropriate number of above process is carried out.

The size of the single crystalline silicon region is the same as the lateral grain growth. The length of the lateral grain growth depends on the thickness of the film
20 and the temperature of the film. Accordingly, the size of the single crystalline silicon region could be controlled according to the thickness and the temperature of the film. When the distance between the dots is smaller than the length of the lateral grain growth, the
25 polycrystalline silicon film has a plurality of the single crystalline silicon region with grain boundary which is at the interface of the silicon grain and the adjacent silicon grains.

Referring to Fig. 2B, the amorphous silicon layer 22
30 is crystallized by the SLS technique as described above. A crystallized silicon thin film 23 having a dramatically large first silicon grain 23-1, a second silicon grain

23-2 and a third silicon grain 23-3 are shown in Fig 2B. Herein, the shape and translation distance of the laser beam must be controlled so that the boundaries of the grain to the grain is preferably not located in an active
5 layer of TFT which will be formed.

The laser beam is applied non-vertically to the sloping surface while the laser beam is applied vertically to the flat surface. Although the sloping surface and the flat surface of the amorphous silicon layer are irradiated with laser beam having same laser
10 energy density, the absorbed energy density of the sloping surface may be lower or higher than that of the flat surface. According, it is necessary to use a laser beam having the energy density so as to melt the sloping
15 surface as well as the flat surface of the amorphous silicon layer. For example, when the sloping surface of the amorphous silicon layer could be melted with laser beam having a first energy density or more and the flat surface of the amorphous silicon layer could be melted
20 with laser beam having a second energy density or more, it is necessary to use laser beam having the higher energy density of the two energy densities, the first energy density and the second energy density, so as to melt the sloping surface as well as the flat surface of
25 the amorphous silicon layer.

The necessary laser energy density is in proportion to the angle of the inclination of the amorphous silicon surface. The present embodiment is effectively applied to the case in which the silicon layer having sloping
30 portions with 45 degrees or less of the inclination angle is formed.

Referring to Fig. 2C, the crystallized silicon thin

film is etched by photolithography to form an active layer 24. Since the first silicon grain, the second silicon grain and the third silicon grain are dramatically large, the active layer is formed within one single silicon grain, particularly in the second silicon grain 23-2. Accordingly, a single crystalline silicon TFT could be fabricated on the insulating substrate, such as a glass substrate.

Referring to Fig. 2D, a gate insulating interlayer 25 and a gate electrode 26 are formed on the active layer. Then, a source region 24S and a drain region 24D are formed in the active layer by doping impurities in the exposed portions of the active layer. The channel region 24C is formed between the source region and the drain region.

Referring to Fig. 2E, a passivation layer 27 is deposited on the exposed surface of the substrate and is etched selectively to expose a portion of the drain electrode 21D. And a pixel electrode 28 is formed connecting the exposed portion of the drain electrode on the passivation layer.

Fig. 6A to Fig. 6D are schematic drawings for explaining a method for fabricating a TFT according to a second embodiment of the present invention.

Referring to Fig. 6A, a gate electrode 61 is formed on a insulating substrate 600. And a gate insulating interlayer 62 is deposited on the exposed surface of the substrate comprising the gate electrode. Herein, the gate insulating interlayer 62 has steps and sloping surfaces, since the gate insulating interlayer covers the protruding gate electrode 61.

Referring to Fig. 6B, an amorphous silicon layer is

deposited on the exposed gate insulating interlayer and is crystallized into a polycrystalline silicon layer 63 by an SLS technique described as the above. A crystallized silicon thin film 63 having a dramatically large first silicon grain 63-1, a second silicon grain 63-2 and a third silicon grain 63-3 are shown in Fig 6B. Herein, the shape and translation distance of the laser beam must be controlled so that the boundaries of the grain to the grain are not located in an active layer of TFT which will be formed.

As the above SLS technique proceeds, it is necessary to use a laser beam having the energy density sufficient so as to melt the sloping surface as well as the flat surface of the amorphous silicon layer.

Referring to Fig. 6C, the crystallized silicon thin film is etched by photolithography to form an active layer 63. Since the first silicon grain, the second silicon grain and the third silicon grain are dramatically large, the active layer 63 is formed in one single silicon grain. Accordingly, a single crystalline silicon TFT could be fabricated on the insulating substrate, such as a glass substrate.

Referring to Fig. 6D, a source and a drain electrodes 65S and 65D connect the active layer 63 electrically, thereby fabricating a stagger-type single crystalline silicon TFT on the substrate. Ohmic contact layers 64 could be formed in the interface of the active layer and the source and drain electrodes. And a passivation layer 66 is deposited on the exposed surface of the substrate and is etched selectively to expose a portion of the drain electrode 65D. And a pixel electrode 67 is formed connecting the exposed portion of

the drain electrode on the passivation layer.

According to the embodiments, the polycrystalline silicon layer having large silicon grains could be formed on the substrate by SLS technique. The
5 crystallized silicon layer is etched by photolithography to form the active layer of the TFT. Accordingly, coplanar or stagger-type single crystalline silicon TFT could be formed on the substrate by SLS technique.

The embodiments enable one to fabricate a System On
10 Panel (SOP)-type LCD, in which a pixel part, a driver, a controller and a CPU circuit is fabricated on the same substrate, whereby the fabrication process is simplified and the productivity is increased. Moreover, it is possible to fabricate a portable product of the LCD
15 reduced in weight and size, since the space occupied by the controller and the CPU circuit is reduced.

It will be apparent to those skilled in the art that various modifications and variations can be made in a SOP-type liquid crystal display of the present
20 embodiments without departing from the spirit or scope of the inventions. Thus, it is intended that the present invention will cover the modifications and variations of this invention provided they come within the scope of the appended claims and equivalents.

CLAIMS

1. A method for fabricating a TFT having an active layer, comprising:

crystallizing an amorphous silicon layer having a sloping surface and a flat surface by SLS technique using a laser beam having sufficient energy density to substantially melt the sloping surface and the flat surface of the amorphous silicon layer to form a crystallized silicon layer; and

forming the active layer by selectively etching the crystallized silicon layer.

2. The method according to claim 1, wherein the TFT is a stagger type TFT.

3. The method according to claim 1, wherein the TFT is an inverted stagger type TFT.

4. The method according to any of claims 1 to 3, wherein the energy density of the laser beam required to substantially melt the sloping surface is higher than that of the flat surface and the amorphous silicon layer is irradiated with the energy density required to substantially melt the sloping surface.

5. The method according to any of claims 1 to 4, wherein the energy density of the laser beam required to substantially melt the sloping surface is proportional to the angle of the sloping surface with respect to the flat surface.

6. The method according to any of claims 1 to 5, wherein the sloping surface is about 45 degrees or less with respect to the flat surface.

7. The method according to any of claims 1 to 6, wherein the laser beam requires first energy density to substantially melt the sloping surface and second energy density to substantially melt the flat surface of the amorphous silicon, and wherein the amorphous silicon layer is irradiated with the laser beam having the first energy density.

8. A method for fabricating a TFT, comprising:
forming source and drain electrodes on a substrate;
depositing an amorphous silicon layer on the exposed portion of the substrate having the source and the drain electrodes, the amorphous silicon layer forming at least one sloping surface and one flat surface;

crystallizing the amorphous silicon layer with a laser beam by using SLS technique, the laser beam having sufficient energy density to substantially melt the sloping surface and the flat surface of the amorphous silicon layer, wherein the sloping surface is generated from the amorphous silicon layer covering at least one of the protruding source and the drain electrodes;

forming an active layer by etching the crystallized silicon layer through photolithography;

forming a gate electrode and a gate insulating layer on the active layer; and

forming source and drain regions in the active layer by doping impurities selectively in the exposed portion of the active layer.

9. The method according to claim 8, wherein the laser beam requires first energy density to substantially melt the sloping surface and second energy density to substantially melt the flat surface of the amorphous silicon, and wherein the amorphous silicon layer is irradiated with the laser beam having the first energy density.

10. The method according to claim 8 or 9, wherein the energy density of the laser beam required to substantially melt the sloping surface is proportional to the angle of the sloping surface with respect to the flat surface.

11. The method according to any of claims 8 to 10, wherein the sloping surface is about 45 degrees or less with respect to the flat surface.

12. A method for fabricating a TFT, comprising:
forming a gate electrode on a substrate;
forming a gate insulating layer on the exposed portion of the substrate comprising the gate electrode;
depositing an amorphous silicon layer on the exposed portion of the gate insulating layer, the amorphous silicon layer forming at least one sloping surface and one flat surface;

crystallizing the amorphous silicon layer with a laser beam by using SLS technique, the laser beam having sufficient energy density to substantially melt the sloping surface and the flat surface of the amorphous silicon layer;

forming an active layer by etching the crystallized

silicon layer through photolithography; and forming source and drain electrodes on the active layer.

13. The method according to claim 12, wherein the sloping surface is generated from the amorphous silicon layer covering the protruding gate electrode.

14. The method according to claim 12 or 13, wherein the laser beam requires first energy density to substantially melt the sloping surface and second energy density to substantially melt the flat surface of the amorphous silicon, and wherein the amorphous silicon layer is irradiated with the laser beam having the first energy density.

15. The method according to any of claims 12 to 14, wherein the energy density of the laser beam required to substantially melt the sloping surface is proportional to the angle of the sloping surface with respect to the flat surface.

16. The method according to any of claims 12 to 15, wherein the sloping surface is about 45 degrees or less with respect to the flat surface.

17. A method of fabricating a TFT as substantially hereinbefore described with reference to and/or substantially as illustrated in any one of or any combination of Figs. 2A to 6E of the accompanying drawings.



Application No: GB 9913338.1
Claims searched: 1-16

Examiner: SJ Morgan
Date of search: 30 September 1999

Patents Act 1977
Search Report under Section 17

Databases searched:

UK Patent Office collections, including GB, EP, WO & US patent specifications, in:

UK Cl (Ed.Q): H1K(KLHA,KLXW)

Int Cl (Ed.6): H01L 21/20; 21/336

Other: Online: WPI, JAPIO, EPODOC

Documents considered to be relevant:

Category	Identity of document and relevant passage	Relevant to claims
A	US 5 817 548 (SONY)	
A	US 5 432 122 (GOLDSTAR)	

X Document indicating lack of novelty or inventive step
Y Document indicating lack of inventive step if combined with one or more other documents of same category.

& Member of the same patent family

A Document indicating technological background and/or state of the art.
P Document published on or after the declared priority date but before the filing date of this invention.
E Patent document published on or after, but with priority date earlier than, the filing date of this application.

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 067 593 A2

(12)

EUROPEAN PATENT APPLICATION

(43) Date of publication:

10.01.2001 Bulletin 2001/02

(51) Int. Cl.⁷: H01L 21/20

(21) Application number: 00250226.8

(22) Date of filing: 08.07.2000

(84) Designated Contracting States:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE

Designated Extension States:

AL LT LV MK RO SI

(30) Priority: 08.07.1999 JP 19402499

(71) Applicants:

- NEC CORPORATION
Tokyo (JP)
- SUMITOMO HEAVY INDUSTRIES CO., LTD.
Tokyo 141 (JP)

• ANELVA CORPORATION

Fuchu-shi Tokyo 183 (JP)

(72) Inventors:

- Tanabe, Hiroshi
Tokyo (JP)
- Akashi, Tomoyuki
Hiratsuka-shi, Kanagawa (JP)
- Watabe, Yoshimi
Kunitachi-shi, Tokyo (JP)

(74) Representative:

Patentanwälte Wenzel & Kalkoff
Grubensallee 26
22143 Hamburg (DE)

(54) Semiconductor thin film forming system

(57) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through a pattern formed on a photo mask, the system includes a mechanism (opt20') for uniformizing the light for exposure in a predetermined area on the photo mask. This system can provide a crystallized silicon film having a trap state density less than 10^{12} cm^{-2} and can provide a silicon-insulating film interface exhibiting a low interface state density.

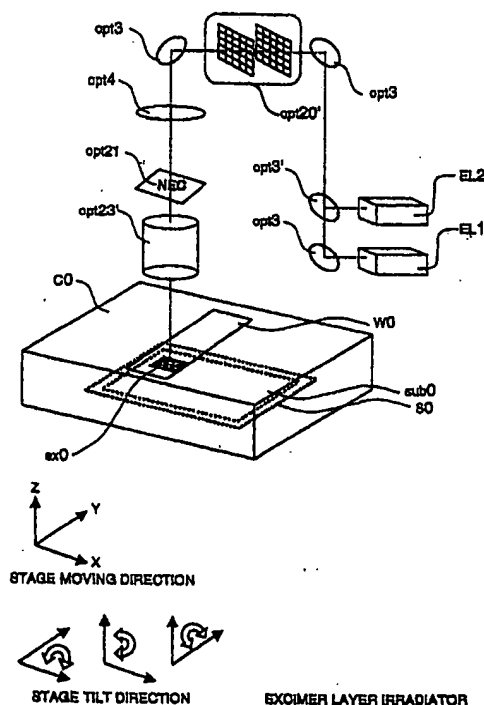


FIG.11

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] This invention relates to a system for the formation of a silicon thin film and a good-quality semiconductor-insulating film interface. Such silicon thin films are used for crystalline silicon thin film transistors, and such semiconductor-insulating film interfaces are employed for field effect transistors. The invention also relates to a semiconductor thin film forming system by the pulsed laser exposure method. Such semiconductors include, for example, silicon germanium (SiGe), silicon carbide (SiC), and other silicon compounds, and GaAs, GaN, CuInSe₂, ZnSe, and other compound semiconductors. In addition, the invention relates to a system for the manufacture of driving elements or driving circuits composed of the semiconductor thin films or field effect thin film transistors for displays and sensors, for example.

2. Description of the Related Art

[0002] Typical processes for the formation of a thin film transistor (TFT) on a glass substrate are a hydrogenated amorphous silicon TFT process and a polycrystalline silicon TFT process. In the former process, the maximum temperature in a manufacture process is about 300°C, and the carrier mobility is about 1 cm²/Vsec. Such a hydrogenated amorphous silicon TFT formed by the former process is used as a switching transistor of each pixel in an active matrix (AM) liquid crystal display (LCD) and is driven by a driver integrated circuit (IC, an LSI formed on a single crystal silicon substrate) arranged on the periphery of a screen. Each of the pixels of this system includes an individual switching element TFT, and this system can yield a better image quality with a less crosstalk than a passive matrix LCD. In such a passive matrix LCD, an electric signal for driving the liquid crystal is supplied from a peripheral driver circuit. In contrast, the latter polycrystalline silicon TFT process can yield a carrier mobility of 30 to 100 cm²/Vsec by, for example, employing a quartz substrate and performing a process at high temperature of about 1000°C as in the manufacture of LSIs. For example, when this process is applied to a liquid crystal display manufacture, such a high carrier mobility can yield a peripheral driver circuit on the same glass substrate concurrently with the formation of pixel TFTs for driving individual pixels. This process is therefore advantageous to minimize manufacture process costs and to downsize the resulting products. If the product should be miniaturized and should have a higher definition, the connection pitch between an AM-LCD substrate and a peripheral driver integrated circuit must be decreased. A conventional tab connection method or wire bonding method cannot significantly provide such a decreased connection pitch. However, if a process at high temperatures as in the above case is employed in the polycrystalline silicon TFT process, low softening point glasses cannot be employed. Such low softening point glasses can be employed in the hydrogenated amorphous silicon TFT process and are available at low costs. The process temperature in the polycrystalline silicon TFT process should be therefore decreased, and techniques for the formation of polycrystalline silicon films at low temperatures have been developed by utilizing a laser-induced crystallization technique.

[0003] Such a laser-induced crystallization is generally performed by a pulse laser irradiator having a configuration shown in Fig. 1. A laser light supplied from a pulse laser source 1101 reaches a silicon thin film 1107, a work, on a glass substrate 1108 via an optical path 1106. The optical path 1106 is specified by a group of optic devices including mirrors 1102, 1103, and 1105, and a beam homogenizer 1104. The beam homogenizer 1104 is arranged to uniformize spatial intensities of laser beams. Generally, the glass substrate on an X-Y stage 1109 is moved to irradiate an optional position on the substrate with a laser beam. The laser irradiation can be also performed by moving the optic device group or moving the optic device group and the stage in combination.

[0004] For example, J. Im and R. Sposili describe that a substrate is mounted on an X-stage, and a homogenizer is mounted on a Y-stage in Fig. 6 of "Crystalline Si films for integrated active-matrix-liquid-crystal displays", Materials Research Society Bulletin, vol. 21, (1996), 39 (Reference 1).

[0005] Laser irradiation is also performed *in vacuo* or in a high purity gaseous atmosphere. Where necessary, the system has a cassette 1110 and a substrate traveling mechanism 1111. The cassette 1110 houses glass substrates each with a silicon thin film, and the substrate traveling mechanism 1111 serves to move the substrate between the cassette and the stage to house the substrate in the cassette or to mount the substrate on the stage.

[0006] Japanese Patent Publication (JP-B) No. 7-118443 discloses a technique of irradiating an amorphous silicon thin film on an amorphous substrate with a short wavelength pulse laser light. This technique can crystallize amorphous silicon while keeping the overall substrate from high temperatures, and can produce semiconductor elements or semiconductor integrated circuits on large substrates available at low costs. Such large substrates are required in liquid crystal displays, and such substrate available at low costs may be glasses, for example. However, as is described in the above publication, the crystallization of an amorphous silicon thin film by action of a short wavelength laser light

requires an irradiation intensity of about 50 to 500 mJ/cm². However, the maximum emission output of a conventionally available pulse laser irradiator is at most about 1 J/pulse, and an area to be irradiated by a single irradiation is at most about 2 to 20 cm², by a simple conversion. For example, if the overall of a 47 cm x 37 cm substrate should be crystallized by action of laser, at least 87 to 870 points of the substrate must be irradiated with laser light. Likewise, the number of points to be irradiated with laser light increases with an increasing size of the substrate, for example, as in a 1 m x 1 m substrate. Such a laser-induced crystallization is generally performed by a pulse laser irradiator having a configuration shown in Fig. 1.

[0007] To form uniform thin film semiconductor elements on a large substrate by the above technique, an effective process is known as disclosed in Japanese Unexamined Patent Publication (JP-A) No. 5-211167 (Japanese Patent Application No. 3-315863). The process includes the steps of dividing the elements to portions smaller than the beam size of the laser and repeating a combination of irradiation with several pulses and movement of the area to be irradiated by step-and-repeat drawing method. In the process, the lasing and the movement of a stage (i.e., the movement of a substrate or laser beam) are alternatively performed, as shown in Fig. 2B. However, even according to this process, the variation of lasing intensity exceeds $\pm 5\%$ to $\pm 10\%$ when the irradiation procedure is repeated at a density of about 1 pulse per irradiated portion to 20 pulses per irradiated portion using a currently available pulse laser irradiator with a uniformity of lasing intensity of $\pm 5\%$ to $\pm 10\%$ (in continuous lasing). The resulting polycrystalline silicon thin film and polycrystalline silicon thin film transistor cannot therefore have satisfactorily uniform characteristics. Particularly, the generation of strong or weak light caused by an unstable discharge at early stages of lasing significantly invites such heterogeneous characteristics. This phenomenon is called spiking. As a possible solution to spiking, a process of controlling an applied voltage in a subsequent lasing with reference to the results of integrated strengths can be employed. However, according to this process, weak light is rather oscillated even though the formation of spiking is inhibited. Specifically, when irradiation periods and non-lasing periods alternatively succeed, the intensity of a first irradiated pulse in each irradiation period is most unstable and is varied, as shown in Fig. 3. In addition, the history of irradiation intensity differs from point to point to be irradiated. The resulting transistor element and thin film integrated circuit cannot have a significant uniformity in the substrate plane.

[0008] To avoid such spiking, a process is known to start lasing prior to the initiation of irradiation to an area for the formation of element, as shown in Fig. 2A. However, this technique cannot be applied to a process of intermittently repeating the lasing and the movement of stage. To avoid these problems, a process is proposed in Japanese Unexamined Patent Publication (JP-A) No. 5-90191. The process includes the steps of allowing a pulse laser source to continuously oscillate and inhibiting irradiation of a substrate with the laser light by an optic shielding system during the movement of the stage. Specifically, as shown in Fig. 2C, a laser is continuously oscillated at a predetermined frequency, and the movement of stage to a target irradiation position is brought into synchronism with the shielding of an optic path. By this configuration, a laser beam with stable intensity can be applied to a target irradiation position. However, although this process can stably irradiate the substrate with a laser beam, the process also yields increased excess lasing that does not serve to the formation of a polycrystalline silicon thin film. The productivity is decreased from the viewpoint of the life of an expensive laser source and excited gas, and the production efficiency of the polycrystalline silicon thin film is deteriorated with respect to power required for lasing. The production costs are therefore increased. When a substrate to be exposed to laser is irradiated with an excessively strong light as compared with target intensity, the substrate will be damaged. Such an excessively strong light is induced by an irregular irradiation intensity. In LCDs and other imaging devices, light passing through the substrate scatters in an area where the substrate is damaged, and the quality of image is deteriorated.

[0009] A Process for reducing and projecting a pattern on a photo mask onto a silicone thin film is disclosed by R. Sposili and J. Im in "Sequential lateral solidification of thin silicon films on SiO₂", Applied Physics Letters, vol. 69 (1996), 2864 (Reference 2), and by J. Im, R. Sposili, and M. Crowder in "Single-crystal Si films for thin film transistor devices", Applied Physics Letters, vol. 70, (1997), 3434 (Reference 3). The process disclosed in these publications performs approx. a 1:5 reduction projection alignment using a 308-nm excimer laser, a variable-energy attenuator, a variable-focus field lens, a patterned-mask, a two-element imaging lens, and a sub-micrometer-precision translation stage. By this configuration, the process attains a beam size and a travel pitch of a substrate stage, both of the order of micrometers. However, a laser beam applied onto the photo mask has a spatial intensity profile depending on the light source, and when the process is applied to the processing of a large substrate as mentioned above, the strength of a patterned light passing through the center of the mask and that passing through the periphery of the mask critically differ from each other. Accordingly, a crystalline silicon thin film having a desired uniformity cannot be significantly obtained. In addition, as an ultraviolet radiation with a short wavelength is reduced and projected, the focal depth of the beam is small and the irradiation depth is liable to shift due to warp or deformation of the substrate. With an increasing area of the substrate, the mechanical precision of the stage cannot be significantly ensured, and a little tilt of the stage or a displacement of the substrate on the stage disturb a target laser irradiation.

[0010] A process is known for the laser irradiation. In this process, a plurality of pulses are applied while the irradiation of each pulse is retarded. This process is disclosed by Ryoichi Ishihara et al. in "Effects of light pulse duration on

excimer laser crystallization characteristics of silicon thin films", Japanese Journal of Applied Physics, vol. 34, No. 4A, (1995), pp 1759 (Reference 4). According to this reference, the crystallization solidification rate of a molten silicon in a laser recrystallization process is 1 m/sec or more. To achieve a satisfactory growth of crystals, the solidification rate must be reduced. By applying a second laser pulse immediately after the completion of solidification, the second irradiation of laser pulse can yield a recrystallization process with a less solidification rate. In viewing a temperature change (a time-hysteresis curve) of silicon as shown in Fig. 4, the temperature of silicon increases with the irradiation of laser energy, for example, as a pulse with an intensity shown in Fig. 5. When a starting material is an amorphous silicon (a-Si), the temperature further increases after the melting point of a-Si, and when the supplied energy becomes less than the energy required for increasing the temperature, the material begins to undergo cooling. At the solidifying point of a crystalline Si, the solidification proceeds for a solidification time and then completes, and the material is cooled to atmospheric temperature. Provided that the solidification of silicon proceeds in a thickness direction from an interface between silicon and the substrate, an average solidification rate is calculated according to the following equation.

$$\text{Average solidification rate} = (\text{Thickness of silicon}) / (\text{Solidification time})$$

[0011] Specifically, if the thickness of silicon is constant, the solidification time is effectively prolonged to reduce the solidification rate. If the process maintains ideal conditions on thermal equilibrium, the solidification time can be prolonged by increasing an ideally supplied energy, i.e., a laser irradiation energy. However, as pointed out in the above reference, such increased irradiation energy invites the resulting film to become amorphous or microcrystalline. In an actual melting and recrystallization process, the temperature does not change in an ideal manner as shown in Fig. 4, and the material undergoes overheating when heated and undergoes supercooling when cooled, and attains a stable condition. Particularly, when the cooling rate in cooling procedure is extremely large and the material undergoes an excessive supercooling, the material is not crystallized at around its solidification point, and becomes an amorphous solid due to quenching and rapid solidification. Under some conditions, thin films are converted not into amorphous but into microcrystals, as shown in the above Reference 4. Such a microcrystalline thin film has an extremely small grain size as compared with a polycrystalline thin film or a single-crystal thin film. Thus, the microcrystalline thin film includes a multitude of grain boundaries each having a large grain boundary potential. If the thin film is applied to, for example, a thin film transistor, the resulting thin film transistor will have a decreased ON-state current or an increased OFF-state leak current.

[0012] Separately, processes are known, which include a step for the formation of a-Si thin film as a material to be irradiated with laser, a step for irradiating the thin film with a laser, a step for hydrogenation with plasma, and a step for the formation of a gate insulating film, in this order or in a modified order, while the material thin film is kept from exposure to the air. These processes are disclosed in the following publications.

[0013] Japanese Unexamined Patent Publication No. 5-182923 discloses a technique of subjecting an amorphous semiconductor thin film to a heat treatment and irradiating the treated thin film with a laser beam while keeping the thin film from exposure to the air.

[0014] Japanese Unexamined Patent Publication No. 7-99321 discloses a technique of moving a substrate having a laser-induced crystallized polycrystalline silicon thin film to a plasma-enhanced hydrogenation step and a formation step of a gate insulating film while keeping the substrate from exposure to the air.

[0015] Japanese Unexamined Patent Publication No. 9-7911 discloses a technique of moving a substrate having a laser-induced crystallized polycrystalline silicon thin film to a formation step of a gate insulating film while keeping the substrate from exposure to the air.

[0016] Japanese Unexamined Patent Publication No. 9-17729 discloses a technique of moving a substrate having a laser-induced crystallized polycrystalline silicon thin film to a formation step of a gate insulating film while keeping the substrate from exposure to the air. By this configuration, the surface of the polycrystalline silicon is kept from adhesion of impurities.

[0017] Japanese Unexamined Patent Publication No. 9-148246 discloses a technique of sequentially performing the formation of an amorphous silicon thin film, laser-induced crystallization, hydrogenation, and the formation of a gate insulating film, without exposing the work to air.

[0018] Japanese Unexamined Patent Publication No. 10-116989 discloses a technique of sequentially performing the formation of an amorphous silicon thin film, laser-induced crystallization, hydrogenation, and the formation of a gate insulating film, without exposing the work to air.

[0019] Japanese Unexamined Patent Publication No. 10-149984 discloses a technique of sequentially performing the formation of an amorphous silicon thin film, laser-induced crystallization, hydrogenation, and the formation of a gate insulating film, without exposing the work to air.

[0020] Japanese Unexamined Patent Publication No. 11-17185 discloses a technique of sequentially performing the formation of an amorphous silicon thin film, laser-induced crystallization, the formation of a gate insulating film, and the formation of a gate electrode, without exposing the work to air.

[0021] These concepts and techniques have been proposed to solve the following problems. Specifically, the surface of silicon formed by laser-induced crystallization is very active, and when the surface is exposed to air, impurities are liable to adhere to the surface. Deteriorated or dispersed characteristics of the resulting TFT may therefore result.

[0022] Accordingly, the present inventors compared the performance of an excimer laser-induced crystallization process and a silicon oxide film formation process in the same system (including transfer of the substrate to another system without exposing the substrate to the air) and with the film once exposed to the air. The results of this experiment revealed that the former technique can inhibit adhesion of dusts and particles and therefore greatly effectively improves yields of products. However, by increasing levels of cleanliness of clean room surroundings, equivalent advantages as above can be obtained to some extent. To improve the yields, a system including a film forming system and a cleaning mechanism of the substrate in the same system is most effective. This is because particles adhere to the substrate during film-formation under some conditions in an a-Si film forming step, and the film must be exposed to air to thereby be cleaned outside the system.

[0023] In contrast, differences in production processes do not significantly affect the performances of thin film transistors. The reasons for this may be supposed as follows. For example, K. Yuda et al. disclose a fixed oxide film charge density (10^{11} to 10^{12} cm⁻²) of a silicon oxide film and an interface state density (6×10^{10} cm⁻²eV⁻² or less) between a silicon substrate and the silicon oxide film in "Improvement of structural and electrical properties in low-temperature gate-oxides for poly-Si TFTs by controlling O₂/SiH₄ ratios", Digest of Technical Papers 1997 International Workshop on Active Matrix Liquid Crystal Displays, September 11-12, 1997, Kogakuin Univ., Tokyo, Japan, 87 (Reference 5). The above silicon oxide film is formed at a temperature of about 300°C to 350°C with plasma or formed through a heat treatment at about 600°C. The silicon substrate is generally subjected to an "RCA cleaning", is washed with water and is then introduced into a film forming system. In the RCA cleaning, the substrate is cleaned with an acidic solution, where necessary heated, such as a sulfuric acid-hydrogen peroxide mixture, a hydrochloric acid-hydrogen peroxide-water mixture, an ammonia-hydrogen peroxide-water mixture, or a hydrofluoric acid-water mixture. The aforementioned interface state density is obtained from a sample of a single-crystal silicon substrate that is exposed to air after the formation of a clean surface (cleaning) and is then moved to the film-formation step.

[0024] Focussing attention to a trap state density of the laser-induced crystallized silicon film, H. Tanabe et al. disclose a trap state density of a crystallized silicon of 10^{12} to 10^{13} cm⁻² in thin film transistors with laser-induced crystallized silicon films, in "Excimer laser crystallization of amorphous silicon films", NEC Research and Development, vol. 35, (1994), 254 (Reference 6). These transistors exhibit satisfactory properties of a field effect mobility of 40 to 140 cm²/Vsec.

[0025] The trap state density of the silicon film is significantly larger than the interface state density (or fixed oxide film charge density) of the silicon film. Specifically, to obtain satisfactorily advantages of a clean surface of a sample that is obtained by forming a silicon film and a gate insulating film in the same system without exposing the substrate to air, the performance (the trap state density) of the silicon film is still insufficient.

[0026] As a means for reducing damage by plasma and forming a gate insulating film of good quality, a remote plasma-enhanced chemical vapor deposition (CVD) process has been proposed. For example, Japanese Unexamined Patent Publication (JP-A) No. 5-21393 discloses a configuration in which a plasma generating chamber is separated from a substrate processing chamber. This configuration is supposed to attain such a low fixed oxide film charge density of 10^{11} to 10^{12} cm⁻² and a low interface state density of 6×10^{10} cm⁻²eV⁻² or less as mentioned above. However, this advantage is restricted by the performance, of a silicon film which is previously formed.

SUMMARY OF THE INVENTION

[0027] Accordingly, an object of the invention is to provide a process for forming a semiconductor thin film with a smaller trap state density by light irradiation and to provide a process and system for applying the above process to large substrates with a high reproducibility.

[0028] Another object of the invention is to provide a means for forming a satisfactory gate insulating film on the semiconductor thin film of good quality and to provide a system for producing a field effect transistor having a satisfactory semiconductor-insulating film interface, i.e., satisfactory properties.

(1) The invention provides, in a first aspect, a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through plural patterns formed on a photo mask. The system includes a mechanism for uniformizing the light to be applied in such a manner that the intensity of the light in a predetermined area on the photo mask distributes within a range of $\pm 11.2\%$ of the average intensity of the light in the area. According to the configuration, the exposure light is uniformized to a spatial uniformity of about $\pm 11.2\%$ or less with, for example, a beam homogenizer and is then applied onto the photo mask. At least the spatial distribution of peak intensity of the light projected and applied on the semiconductor thin film is uniformized to an identical extent with that of the intensity distribution on the photo mask. As

a result, the overall exposed regions of the semiconductor thin film can be modified by laser irradiation in a desired manner.

(2) In a second aspect, the invention provides a semiconductor thin film forming a system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through an exposure pattern formed on a photo mask, and the semiconductor thin film is formed on a substrate held on a substrate stage. The system includes a mechanism for sequentially scanning the semiconductor thin film with the patterned light by individually or concurrently driving the photo mask and the substrate stage. When an area on the substrate projected and irradiated with the light through the photo mask has a size smaller than that of substrate, the substrate is moved to an irradiation area by action of the substrate stage. A mask stage is moved with response to the irradiation of a laser beam while the substrate is fixed, and target regions of the thin film can be sequentially exposed to light.

(3) The invention provides, in a third aspect, a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through an exposure pattern formed on a photo mask. The system includes a focusing mechanism for obtaining the focus of the patterned light on the predetermined region of the semiconductor thin film when the semiconductor thin film is exposed to the projected patterned light. When the substrate is moved to an irradiated area by action of the substrate stage, the focus may be shifted and the focal position may differ between the center and the periphery of the substrate. The shift is caused by warp, deformation of the substrate, variation of thickness, or variation of the degree of verticality of the substrate stage relative to the exposure axis. Even in this case, the above configuration can adjust the focus as the need arises, and can exposure all over the substrate in a desired manner with a good reproducibility.

(4) According to a fourth aspect, the invention provides a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask. The system includes a tilt correcting mechanism (or a leveling mechanism) for correcting the tilt of the projected patterned beam relative to the semiconductor thin film. When the substrate is moved to an irradiated area by action of the substrate stage, the focal axis may be shifted and differ between the center and the periphery of the substrate, this shift is caused by warp, deformation of the substrate, variation of thickness, or variation of the degree of verticality of the substrate stage relative to the exposure axis. Even in this case, the above configuration can correct the tilt or level of the substrate as the need arises, and can exposure all over the substrate in a desired manner with a good reproducibility.

(5) The invention provides, in a fifth aspect, a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask. The system includes an alignment mechanism (or an alignment function) for aligning the patterned exposure beam relative to a mark formed on a substrate, on which the semiconductor thin film is deposited. By specifying an exposure area with reference to the alignment mark previously formed, a semiconductor thin film can be exposed and modified in a target region under target exposure conditions. For example, a channel region of a transistor alone can be exposed and modified. Specifically, source-drain and channel regions can be sequentially patterned and formed according to the modified regions in successive steps.

(6) In a sixth aspect, the invention provides a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through a pattern formed on a photo mask. The system includes a mechanism (or a function) for holding a substrate on a stage, the semiconductor thin film being deposited on the substrate. When an area on the substrate projected and irradiated with the light through the photo mask has a size smaller than that of substrate, the substrate is moved to an irradiated area by action of the substrate stage. A mask stage is moved according to the irradiation of a laser beam while the substrate is fixed, and target regions of the film are sequentially exposed to light. In this case, the substrate on the stage is displaced due to, for example, the movement of the substrate stage. Particularly when a rotation correction (θ correction) is required, corrections upon the dislocation of the substrate deteriorate the throughput, and the substrate must be fixed and held. When the substrate is heated on the stage, the substrate warps or bends due to heating, which causes shift of the focus or tilt of the substrate from the exposure axis. The above configuration can avoid these problems.

(7) In a seventh aspect, the invention provides a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask. The system includes a composing mechanism for composing a plurality of laser beams into the exposure beam.

(8) In the system just mentioned above, the plurality of laser beams is preferably first and second laser beams, and the composing mechanism preferably composes the first and second laser beams in such a manner that the second laser beam is applied onto the semiconductor thin film with a delay relative to the first laser beam.

Fig. 6 shows the relationship of the maximum cooling rate (Cooling rate, K/sec) obtained by mathematical cal-

5 culation with the threshold irradiation intensity between crystallization and microcrystallization. In this case, a 75-nm silicon thin film is irradiated with an excimer laser with a wavelength of 308 nm, and the threshold is obtained by a scanning electron microscopic (SEM) observation of the silicon thin film after laser irradiation. Fig. 5 shows an emission pulse shape of the laser used in the experiment. This pulse shape exhibits a long emission time 5 times or more that of a rectangular pulse with a pulse width of 21.4 nsec described in the Reference 6. Even a single pulse irradiation with the pulse shape in question is therefore expected to reduce the solidification rate as described in the Reference 6.

10 Fig. 7 shows a calculated temperature-time curve of silicon in laser recrystallization using the pulse shape in question. Specifically, Fig. 7 shows the temperature change of a silicon thin film 75 nm thick on a SiO_2 substrate when an XeCl laser having a wavelength of 308 nm is applied at an irradiation intensity of 450 mJ/cm^2 . About 60 nsec into the irradiation, a second emission peak nearly completes, and the temperature attains the maximum and then turns to decrease. In this connection, in the mathematical calculation, a melting-solidification point of amorphous silicon is employed as the melting-solidification point, and the behavior of the material round the solidification point differs from that in actual case. Particularly when a crystallized film is obtained, the crystallization completes at the solidification point of the crystalline silicon.

15 The curve has a large gradient upon the initiation of cooling, but has a very small gradient at about 100 nsec, i.e., at a third emission peak. At an elapsed time of 120 nsec, the light emission completely ceases, and the silicon is then solidified through another rapid cooling process. Generally, when a liquid is solidified through "quenching" which is greatly out of a thermal equilibrium process) a sufficiently long solidification time cannot be obtained to form a crystal structure, and the resulting solid is amorphous (non-crystal).

20 The maximum cooling rate was estimated from a temperature-time curve of silicon as shown in Fig. 7. Fig. 6 shows the estimated maximum cooling rates after the completion of light emission with respect to individual irradiation intensities. The figure shows that the cooling rate increases with an increasing irradiation intensity.

25 Separately, the structure of the silicon thin film after laser irradiation was observed with a scanning electron microscope. As a result, the grain size once increased with an increasing irradiation intensity, but microcrystallization was observed at a set irradiation intensity of about 470 mJ/cm^2 . When the film was irradiated with three laser pulses, the grain size markedly increased even at a set irradiation intensity of about 470 mJ/cm^2 , while a microcrystallized region partially remained (Fig. 8). This large increase of the grain size differs from the behavior of the grain size in the one-pulse irradiation. In this connection, actual irradiation intensity is 5% to 10% higher than the set level, typically in initial several pulses of excimer laser. The threshold intensity at which microcrystallization occurs can be therefore estimated as about 500 mJ/cm^2 .

30 Based on these results, the cooling rate at 500 mJ/cm^2 as shown in Fig. 6 is estimated, and microcrystallization is found to occur at a cooling rate of about $1.6 \times 10^{10} \text{ }^\circ\text{C/sec}$ or more. When the film to be irradiated is an a-Si film, the microcrystallization occurs at an irradiation intensity of about 500 mJ/cm^2 or more. Likewise, when the film to be irradiated is a poly-Si film, the microcrystallization may occur at an irradiation intensity about 30 mJ/cm^2 higher than that in the a-Si at the same cooling rate of about $1.6 \times 10^{10} \text{ }^\circ\text{C/sec}$. By controlling the cooling rate to $1.6 \times 10^{10} \text{ }^\circ\text{C/sec}$ or less, therefore, the resulting crystal can be kept from becoming microcrystalline or amorphous and can satisfactorily grow.

35 Next, the case is explained where a delayed second laser light is irradiated with a delay relative to a first laser light. As is described above, a laser light at a late light emission stage suppresses the increase of the cooling rate, and the cooling rate after the completion of light emission controls the crystallization. The last supplied energy is supposed to initialize precedent cooling processes. Specifically, by supplying additional energy, a precedent cooling process is once initialized and a solidification process is repeated again, even if the crystal becomes amorphous or microcrystalline in the precedent cooling process. This is probably because the interval of light irradiation is very short of the order of nanoseconds, and loss of the energy by thermal conduction to the substrate and radiation to the atmosphere is small. The energy previously supplied therefore remains nearly as intact. In this assumption, a long time interval sufficient to dissipate heat is not considered. Accordingly, by controlling the cooling rate after the completion of a second heating by the additionally supplied energy, the crystal is expected to grow satisfactorily. As shown in Fig. 9, the cooling rate is controlled to a desired level by controlling the delay time of the second laser irradiation.

40 Next, the spatial intensity distribution of an irradiated beam will be described below. In laser irradiation with plural slits, the spatial distribution in a slit and the spatial intensity distribution between slits should be preferably constant. However, these intensities vary plus or minus several percents to plus or minus twenty percents due to restriction of designing and production of such optic devices. At the worst, the intensities vary or distribute within a range of plus or minus several ten percents. Such a high variation is caused by the change of the excimer laser beam with time or consumption of the optical system, or adhesion of foreign substances to the optical system. Fig. 10 shows the change of the average crystal grain size d obtained from a microscopic photograph as shown in Fig. 8. The average crystal grain size d depends on the irradiation intensity and the number N of irradiation times (the

number of irradiated pulses), and is expressed by the formula $d = KN^n$, wherein K is a constant and n is an inclination. Fig. 10 indicates that the inclination n of the grain size change with respect to the number N of irradiation times changes on the border of an irradiation intensity of about 450 mJ/cm². When target production conditions are designed based on the irradiation intensity and the number N of irradiation times per irradiated site, it is preferred not to concurrently employ a condition where $n=1/4$ and a condition where $n=1/7$, both in the spatial intensity distribution. Even if the intensity spatially varies, irradiation of the film should be preferably performed in such a manner that the irradiation intensity falls in a range of, for example, 521 to 470 mJ/cm² (a range of $\pm 5.2\%$ of an average intensity of 495 mJ/cm²) or of 424 to 339 mJ/cm² (a range of $\pm 11.2\%$ of an average intensity of 381.5 mJ/cm²). By this configuration, a laser-crystallized Si thin film exhibiting a minimized difference in average grain size can be obtained.

(9) In an eighth aspect, the invention provides a semiconductor thin film forming system having a process chamber, and the process chamber serves to modify a predetermined region of a semiconductor thin film by exposing the semiconductor thin film on a substrate to a projected light patterned through a pattern formed on a photo mask. The system includes a mechanism for moving the substrate from the process chamber to a different process chamber without exposing the substrate to the atmosphere (or the air).

(10) In the system just mentioned in (9), the different process chamber is preferably an insulating film forming chamber for the formation of an insulating film on the substrate.

By forming a semiconductor film-gate insulating film in the same system without exposing the film to air, the trap state density of the semiconductor thin film becomes equal to or less than the interface state density, and the film can be sufficiently maintained clean to thereby yield a satisfactory semiconductor-insulating film interface.

(11) In the system according to the eighth aspect, the different process chamber may be preferably a semiconductor film forming chamber for the formation of a semiconductor film on the substrate.

(12) In the system according to the eighth aspect, the different process chamber may be preferably a heat treatment chamber for treating the substrate with heat.

(13) Preferably, the different process chamber in the system according to the eighth aspect is a plasma treatment chamber for subjecting the substrate to a plasma treatment by treating the substrate with plasma.

(14) In the system according to the eighth aspect, the process chamber is preferably a laser treatment chamber for modifying the predetermined region of the semiconductor thin film by exposing the semiconductor thin film on the substrate to a projected laser beam patterned through the pattern formed on the photo mask. The different process chamber is preferably another laser treatment chamber.

By these configurations, the invention can provide high-performance and multi-functional systems for the formation of semiconductors, can provide processes for producing thin film transistors with a high reproducibility, and can provide high-performance thin film transistors.

Specifically, the invention can provide 1) a highly stable semiconductor thin film processing system by which a cleaning process with cleaning solutions can be eliminated, 2) a multifunctional system by which a multitude of processes can be performed in the same system to yield a space-saving semiconductor processing system with a smaller area of the overall facilities, and 3) a process for producing a high performance thin film transistor at low costs, which can maintain the clean surface (interface) of silicon without the use of cleaning solutions.

(15) The different process chamber in the system indicated in one of (9) to (13) preferably includes a plasma generating source for generating plasma in a predetermined area of the different process chamber. The substrate is preferably placed in an area in the different process chamber other than the predetermined area.

(16) In the preferred system indicated in (13), the another process chamber includes a plasma generating source for generating plasma in a predetermined area of the different process chamber. The different process chamber serves to subject the substrate to the plasma treatment by reacting an excited gas with a different gas. The excited gas is excited by the plasma generated in the predetermined area. The different gas is introduced into the different process chamber without passing through the predetermined area.

[0029] By the configuration where the plasma generating chamber is separated from the substrate process chamber, damage induced by plasma can be reduced to yield a satisfactory gate insulating film. In addition, the trap state density of the semiconductor thin film becomes equal to or less than the interface state density, and a satisfactory semiconductor-insulating film interface can be obtained.

BRIEF DESCRIPTION OF THE DRAWINGS

[0030]

Fig. 1 is a schematic diagram of a conventional excimer laser annealer.

Figs. 2A to 2D are timing charts showing conventional and invented operation procedures of laser annealing.

Fig. 3 is a diagram showing the pulse to pulse stability of laser pulse intensities.

Fig. 4 is a diagram showing an illustrative temperature change of a silicon film.

Fig. 5 is a diagram showing an illustrative laser pulse shape.

Fig. 6 is a diagram showing the relationship between the irradiation intensity and the cooling rate, and the cooling rate at which the film becomes amorphous.

Fig. 7 is an illustrative diagram of calculated temperature changes of a silicon thin film.

Fig. 8 is a diagram showing crystal forms of silicon thin films corresponding to individual irradiation intensities.

Fig. 9 is a diagram showing the maximum cooling rate after the supply of a second pulse, and the cooling rate around the solidification point.

Fig. 10 is a diagram showing the relationship between the average crystal grain size and the process condition.

Fig. 11 is a diagram showing the overall configuration of an embodiment of the invented exposure system.

Fig. 12 is a diagram showing an embodiment (aligning process) of the invented exposure system.

Figs. 13A to 13E are diagrams showing an embodiment (mask projection process) of the invented exposure system.

Figs. 14A and 14B are diagrams showing embodiments (control procedures) of the invented exposure system.

Fig. 15 is a side sectional view showing the invented exposure system, transfer chamber, and plasma-enhanced CVD chamber.

Fig. 16 is a top view of the invented composite system including, for example, an exposure system, transfer chamber, and plasma-enhanced CVD chamber.

Fig. 17 is a side sectional view of the invented plasma-enhanced CVD chamber.

Figs. 18A to 18G2 are sectional views showing the invented process for producing TFT.

Figs. 19A to 19G2 are sectional views showing the invented process for producing TFT using alignment mark.

Figs. 20A to 20G2 are sectional views showing the invented process for producing TFT including the formation of an alignment mark.

Fig. 21 is a block diagram showing an embodiment of the control procedure for delayed pulse lasing with plural light sources according to the invention.

Figs. 22A to 22D are diagrams showing an embodiment of the control procedure for delayed pulse lasing from plural light sources according to the invention.

Fig. 23 is a diagram showing the invented laser annealer including a focusing system.

Fig. 24 is a schematic diagram of the invented composite system.

Fig. 25 is an enlarged view of the bellow shown in Fig. 24.

Fig. 26 is a diagram showing the relationship between the process chamber and the vibration isolation stage shown in Fig. 24.

Fig. 27 is an enlarged view showing the configuration of the vibration isolation stage shown in Fig. 26.

Fig. 28 is a sectional view of the invented vacuum linear actuator driving unit.

Fig. 29 is a vertical sectional view taken along with the line C-C in Fig. 28.

Fig. 30 is a diagram showing the schematic configuration of the driving unit shown in Fig. 28.

Fig. 31 is a top view of the invented mask stage driving mechanism.

Fig. 32 is a vertical sectional view taken along with the line B-B in Fig. 31.

Fig. 33 is a top view showing the invented stage unit including a pneumatic tilt mechanism, where a stage is dismounted.

Fig. 34 is a side sectional view of a pneumatic tilt mechanism for use in the invention.

Fig. 35 is a diagram showing the process and system for eliminating reflected light for use in the invention.

Fig. 36 is a vertical sectional view showing the configuration of an embodiment of the invented system.

Fig. 37 is an enlarged sectional view of different holes formed in a partition.

Fig. 38 is a vertical sectional view showing the configuration of another embodiment of the invented system.

Fig. 39 is a vertical sectional view showing the configuration of a further embodiment of the invented system.

Fig. 40 is a block diagram showing the configuration of the invented silicon oxide thin film forming system.

Fig. 41 is a graph showing an illustrative change of material gas supply.

Fig. 42 is a graph showing another illustrative change of material gas supply.

Fig. 43 is a schematic side sectional view of an embodiment of the invented thin film forming system.

Fig. 44 is a schematic side sectional view of the configuration of the modifier supply unit 8133 arranged in the transfer chamber of the system in Fig. 43.

Fig. 45 is a diagram of an embodiment of the composite optical system of plural beams for use in the invention.

Fig. 46 is a diagram of an embodiment of a composite optical system of plural beams for use in the invention.

Fig. 47 is a diagram showing an embodiment of a mask stage mechanism for use in the invention.

Figs. 48A and 48B are diagrams showing an embodiment of a mask stage mechanism for use in the invention.

Fig. 49 is a diagram showing the system and process for precision alignment for rectangular beams.

Fig. 50 is a diagram showing an illustrative alignment mark arrangement for use in the invention.

Fig. 51 is a perspective view showing the arrangement of an alignment mark.

Fig. 52 is a diagram showing the configuration of a laser annealer as an embodiment of the invention.

5 DESCRIPTION OF THE PREFERRED EMBODIMENT

[0031] The embodiments of the invention will now be illustrated in detail with reference to the drawings.

[0032] Fig. 11 shows an embodiment of the invention. Pulsed ultraviolet (UV) beams are supplied from a first excimer laser EL1 and a second excimer laser EL2 and are introduced via mirrors opt3 and opt3' and lenses opt4 to a homogenizer opt20'. The intensity profile of the beam is adjusted in the homogenizer so as to attain a target uniformity in a photo mask opt21, for example, an in-plane distribution of $\pm 5\%$. Original beams supplied from the excimer lasers may have an intensity profile or total energy which varies pulse to pulse. The system therefore preferably includes a mechanism for adjusting the spatial intensity distribution and pulse-to-pulse intensity variation on the photo mask to achieve a higher uniformity. The homogenizer generally includes a fly-eye lens or a cylindrical lens. The patterned light formed by the photo mask is applied via a reduction projection optical system opt23' and a laser inlet window W0 onto a substrate sub0 placed in a vacuum chamber C0. The substrate is mounted on a substrate stage S0, and a target region, for example, a pattern transfer region ex0, can be exposed to the patterned light by operating the substrate stage. In Fig. 11, the reduction projecting optical system is illustrated, but the system can include a 1:1 projecting optical system or an enlargement projecting optical system. An optional region on the substrate is irradiated with the patterned light by moving the substrate stage in X-Y direction in the figure. The photo mask is mounted on a mask stage (not shown), and the beam to be applied on the substrate can be controlled also by moving the photo mask within a region capable of exposing.

[0033] To apply a target patterned light onto the substrate under desired conditions, a mechanism is required. An illustrative mechanism will now be described. As an optical axis should be delicately and precisely adjusted, in the following example, the optical axis is once adjusted and then fixed, and the position of the substrate is adjusted to control the irradiation. For adjusting the position of the irradiated surface of the substrate relative to the optical axis, the position of the surface in a direction of the focus (Z direction) and the verticality relative to the optical axis must be corrected. Of the θ_{xy} tilt correction direction, θ_{xz} tilt correction direction, θ_{yz} tilt correction direction, X exposure region moving direction, Y exposure region moving direction, and Z focusing direction in the figure, the verticality relative to the optical axis is corrected by adjusting in the θ_{xy} tilt correction direction, θ_{xz} tilt correction direction, and θ_{yz} tilt correction direction. The position of the irradiated surface of the substrate is controlled to an appropriate position according to the focal depth of the optical system by adjusting the Z focusing direction.

[0034] Fig. 12 is an illustrative side sectional view of the adjustment and alignment mechanism of the substrate. The photo mask opt21, the reduction projection optical system opt23', and the laser inlet window W0 are arranged with respect to an exposure axis L0, as shown in the figure. The substrate sub0 placed in a vacuum chamber C0 is mounted on a heater H0 with a substrate adhesion mechanism, and a substrate-XYZ $\theta_{xy}\theta_{xz}\theta_{yz}$ -stage S0'. In this embodiment, a vacuum chamber is used, but actual light irradiation should be preferably performed in an atmosphere of, for example, an inert gas, hydrogen gas, oxygen gas, or nitrogen gas. The inside of the chamber is once evacuated and is then replaced with the above-mentioned gas. The pressure in the chamber may be around atmospheric (barometric) pressure. By using a heater with a substrate adhesion mechanism, the substrate can be heated at a temperature of from room temperature to about 400°C in light irradiation procedure. When the inside pressure is set around barometric pressure, the substrate can be stuck to the heater through a vacuum chucking mechanism. Accordingly, the misalignment of the substrate can be inhibited even if the substrate stage moves in the chamber, and the supplied substrate can be surely fixed to the substrate stage even if the substrate has some warp or bending. In addition, the shift of the focal depth due to heat-induced warp or bending can be minimized.

[0035] Laser interferometers I1 and I2 make alignment of the substrate and a measurement of the position of the substrate in Z direction, via a length measuring window W-I and a length measuring mirror opt-I. To align the substrate, the position of an alignment mark on the substrate is determined with an off-axis microscope m0, a microscope light source Lm, and a microscope element opt-m. A target exposure position can be determined using information about the substrate position obtained from the laser interferometer system. In Fig. 12, the off-axis alignment is illustrated, but the invented system can also employ through-the-lens alignment or through-the-mask (through-the-reticle) alignment. In the measurement, measurement errors can be averaged by making measurements from plural measuring points and determining a linear coordinate based on the measured data through the least square method.

[0036] Figs. 13A to 13E show the relationship between a mask pattern and an alignment mark. The mask includes a mask non-exposure area mask1 and a mask exposure area mask2. For example, when an excimer laser is used as the light source, a film that absorbs and reflects ultraviolet radiation is formed on a quartz substrate. The ultraviolet radiation passes through such a quartz substrate. The film is formed from, for example, aluminium, chromium, tungsten, or other metals, or is a dielectric multilayer film, and is then patterned by photolithography and etching processes to yield

the mask. According to a target pattern on the mask (indicated by the white areas in Fig. 13A), a silicon film is exposed to yield exposed Si portions (Si2) in a non-exposed Si (Si1) as shown in Figs. 13B and 13C. Where necessary, alignment and adjustment is conducted to make a mark on the mask mark1 agree with a mark on the substrate mark2 prior to exposure. A predetermined and designed region on the silicon thin film can be therefore exposed. In the thin film transistor forming process using a silicon thin film, if the exposure process is a first process requiring the alignment (i.e., no alignment mark is formed prior to the exposure process), an exposed mark mark3 should be preferably formed by exposure concurrently in the exposure process of the silicon thin film. By this procedure, an alignment mark can be formed using an optical color difference between a-Si and crystalline Si. By performing, for example, photolithography in a successive process with reference to the above alignment mark, transistors and other desired mechanisms and functions can be formed in target regions which are exposed and modified. Subsequent to the exposure process, an Si oxide film is formed on the silicon thin film and a target region of the silicon film is removed by etching. Fig. 13D and 13E show the state just mentioned above. A removed Si region (Si3) is a region where the laminated silicon film and Si oxide film are removed by etching. In this configuration, Si oxide films (Si4 and Si5) are laminated on the non-exposed Si (Si1) and the exposed Si (Si2). By forming island structures including a silicon film covered with an oxide film as stated above, desired channel-source-drain regions of a thin film transistor or alignment marks necessary for successive processes can be formed. In such a transistor, elements are separated from one another.

[0037] Figs. 14A and 14B are timing charts of essential control procedures. In the illustrative control procedure (1), the substrate is moved to a target exposure position by operating the substrate stage. Next, the exposure position is accurately adjusted by focusing or alignment operation. In this procedure, the exposure position is adjusted to achieve a target predetermined accuracy of error of, for example, about 0.1 μm to 100 μm . On completion of this operation, the substrate is irradiated with light. On completion of series of these operations, the substrate is moved to a successive exposure position. On completion of irradiation of all the necessary regions on the substrate, the substrate is replaced with a new one, and the second substrate to be treated is subjected to a series of the predetermined operations.

[0038] In the illustrative control procedure (2), the substrate is moved to a target exposure position by operating the substrate stage. Next, the exposure position is accurately adjusted by focusing or alignment operation. In this procedure, the exposure position is adjusted to achieve a target predetermined accuracy of error of, for example, about 0.1 μm to 100 μm . On completion of this operation, the mask stage starts to operate. In the chart shown in Fig. 14B, the substrate is irradiated with light after the initiation of the mask stage operation to avoid variation of moving steps during startup. Naturally, a region at a distance from the alignment position is to be exposed due to the movement of the stage, and an offset corresponding to the shift must be previously considered. To avoid unstable operations, the light source may be operated prior to the light irradiation to the substrate, and the substrate may be irradiated with light by opening, for example, a shutter. Particularly, when an excimer laser is employed as the light source and lasing periods and suspension periods are repeated in turn, several ten pulses emitted at early stages are known to be particularly unstable. To avoid irradiation with these unstable laser pulses, the beams can be intercepted according to the operation of the mask stage. On completion of irradiation of all the necessary regions on the substrate, the substrate is replaced with a new one, and the second substrate to be treated is subjected to a series of the predetermined operations.

[0039] In this connection, an a-Si thin film 75 nm thick was scanned with a 1 mm x 50 μm beam at a 0.5- μm pitch in a minor axis direction. When the scanning (irradiation) was performed using one light source at a laser irradiation intensity of the irradiated surface of 470 mJ/cm², a continuous single-crystal silicon thin film in the scanning direction was obtained. In addition, a beam from a second light source was applied with a delay time of 100 nsec to yield a laser irradiation intensity of the irradiated surface of 150 mJ/cm², a continuous single-crystal silicon thin film in the scanning direction was obtained, even at a scanning pitch of 1.0 μm . The trap state density in the crystallized silicon film was less than 10¹² cm⁻².

[0040] Fig. 15 is a side sectional view of an embodiment of the invented semiconductor thin film forming system. The system includes a plasma-enhanced CVD chamber C2, a laser irradiation chamber C5, and a substrate transfer chamber C7. In the system, the substrate can be transferred via gate valves GV2 and GV5 without exposing to an atmosphere outside the system. The transfer can be performed in vacua or in an atmosphere of an inert gas, nitrogen gas, hydrogen gas or oxygen gas, in high vacuum, under reduced pressure or under pressure. In the laser irradiation chamber, the substrate is placed on a substrate stage S5 with the aid of a chucking mechanism. The substrate stage S5 can be heated to about 400°C. In the plasma-enhanced CVD chamber, the substrate is placed on a substrate holder S2. The substrate holder S2 can be heated to about 400°C. The figure illustrates the following state. A silicon thin film Si1 is formed on a glass substrate Sub0, and the substrate is then brought into the laser irradiation chamber. The surface silicon thin film is modified into a crystalline silicon thin film Si2 by laser irradiation, and the substrate is then transferred to the plasma-enhanced CVD chamber.

[0041] Laser beams are brought into the laser irradiation chamber in the following manner. The laser beams are supplied from an excimer laser 1 (EL1) and an excimer laser 2 (EL2), pass through a first beam line L1 and a second beam line L2 and a laser composing optical system opt1, a mirror opt11, a transmissive mirror opt12, a laser irradiation optical system opt2, a homogenizer opt20, a photo mask opt21 mounted and fixed on a photo mask stage opt22, a pro-

jection optical system opt23, and a laser inlet window W1, and reach the substrate surface. In this figure, two excimer lasers are illustrated, but an optional number (one or more) of light sources can be employed in the system. The light source is not limited to the excimer laser and includes, for example, carbon gas laser, yttrium-aluminum-garnet (YAG) laser, and other pulse lasers. In addition, laser pulses can be made and applied onto the substrate by using argon laser or another continuous wave (CW) light source and a high speed shutter.

[0042] In the plasma-enhanced CVD chamber, a radio frequency (RF) electrode D1 and a plasma confinement electrode D3 constitute a plasma generating region D2 at a position at a distance from a region where the substrate is placed. For example, oxygen and helium are supplied to the plasma generating region, and a silane gas is supplied to the substrate using a material gas inlet system D4. By this configuration, a silicon oxide film can be formed on the substrate.

[0043] Fig. 16 is a top view of another embodiment of the invented semiconductor thin film forming system. A substrate transfer chamber C7 is respectively connected to a load-unload chamber C1, a plasma-enhanced CVD chamber C2, a substrate heating chamber C3, a hydrogen plasma treatment chamber C4, and a laser irradiation chamber C5 via gate valves GV1 through GV6. Laser beams are supplied from a first beam line L1 and a second beam line L2 and are applied to the substrate surface via a laser composing optical system opt1, a laser irradiation optical system opt2, and a laser inlet window W1. Gas supply systems gas1 to gas7, and ventilators vent1 to vent7 are connected to the individual process chambers and the transfer chamber. By this configuration, desired gas species can be supplied, and target process pressures can be set. In addition, the ventilation and degree of vacuum can be controlled. Substrates sub2 and sub6 to be processed are placed horizontally as indicated by dotted lines in the figure.

[0044] Fig. 17 is a schematic diagram of the plasma-enhanced CVD chamber C2. A radio frequency power source RF1 supplies a radio frequency electrode RF2 with power. As the frequency, a high frequency of 13.56 MHz or more is suitable. Plasma is generated between an electrode RF3 with gas supply holes, and the radio frequency electrode RF2. Radicals are formed by plasma reaction and are introduced through the gas supply holes of the electrode into a region where the substrate is placed. Another gas is introduced by a flat gas supply system RF4 without exposure to the plasma, and a gas phase reaction occurs to form a thin film on the substrate sub2. A substrate holder S2 is designed to heat the substrate from room temperature to about 500°C using, for example, a heater. A silicon oxide film can be formed by reacting oxygen radicals with silane gas. In this reaction, the ventilator vent2, the gas supply system gas2, an oxygen gas line gas21, a helium gas line gas22, a hydrogen gas line gas23, a silane gas line gas24, a helium gas line gas25, and an argon gas line gas26 are used as shown in the figure. When a silicon oxide film was formed at a substrate temperature of 300°C, at a pressure of 01 Torr, at an RF power of 100 W, at a silane flow rate of 10 standard cubic centimeter per minute (sccm), at an oxygen flow rate of 400 sccm, and at a helium flow rate of 400 sccm. The resulting silicon oxide film was found to have a satisfactory property of a fixed oxide film charge density of $5 \times 10^{11} \text{ cm}^{-2}$. A more satisfactory oxide film can be formed by increasing the ratio of the oxygen flow rate to the silane flow rate. The plasma-enhanced CVD chamber is not limited to a parallel plate RF plasma-enhanced CVD system as stated above. The CVD process also includes a CVD process under reduced pressure, a CVD process at normal pressure, or other processes without the use of plasma, as well as plasma-enhanced CVD processes using microwaves or electron cyclotron resonance effect.

[0045] Table 1 shows illustrative gas species required when the plasma-enhanced CVD system shown in Fig. 17 is used for the formation of thin films other than silicon oxide films.

Table 1

Illustrative combinations of gas species					
	SiO ₂ formation	Si ₃ N ₄ formation	Si formation	Si formation	Hydrogenation
gas21	O ₂	N ₂			
gas22	He	Ar		Ar	
gas23			H ₂	H ₂	H ₂
gas24	SiH ₄	SiH ₄	SiH ₄		
gas25	He	Ar		Ar	
gas26				SiF ₄	

[0046] A silicon nitride Si₃N₄ film can be formed by using nitrogen N₂ or ammonia with an argon Ar carrier gas, and silane SiH₄ with an argon carrier gas. A silicon thin film can be formed by using hydrogen H₂ and silane, or using hydrogen with an argon carrier gas and silicon tetrafluoride SiF₄ with an argon carrier gas. In addition to these film forming

processes, the plasma-enhanced CVD system can perform hydrogen plasma treatments of silicon thin films or of silicon oxide films.

[0047] Figs. 18A to 18G2 are process flow charts showing an application of the invented semiconductor thin film forming system to a production process of thin film transistors. The process includes the following steps.

5 [0048] In Step A (Fig. 18A), a glass substrate sub0 is cleaned to remove organic substance, metals, fine particles and other impurities. Onto the cleaned glass substrate, a substrate covering film T1 and a silicon thin film T2 are sequentially formed. As the substrate covering film, a silicon oxide film is formed to a thickness of 1 μm by low pressure vapor deposition (LPCVD) process at 450°C with silane and oxygen gases as materials. By using the LPCVD process, the overall exterior surface of the substrate can be covered with a film, except for a region where the substrate is held (this embodiment is not shown in the figure). Alternatively, the process can employ, for example, a plasma-enhanced CVD process using tetraethoxysilane (TEOS) and oxygen as materials, a normal pressure CVD process using TEOS and ozone as materials, or the plasma-enhanced CVD process shown in Fig. 17. An effective substrate covering film includes such a material as to prevent the diffusion of impurities in the substrate material. Such impurities adversely affect semiconductor elements. The substrate may comprise, for example, a glass having a minimized alkali metal concentration or a quartz or glass having a polished surface. The silicon thin film is formed to a thickness of 75 nm by LPCVD at 500°C with a disilane gas as a material. Under these conditions, the resulting film is to have a hydrogen atom concentration of 1 atomic percent or less, and the film can be prevented from, for example, roughening due to emission of hydrogen in the laser irradiation process. Alternatively, the plasma-enhanced CVD process shown in Fig. 17 or a conventional plasma-enhanced CVD process can be employed. In this case, a silicon thin film having a low hydrogen atom concentration can be obtained by adjusting the substrate temperature or the flow rate ratio of hydrogen to silane or the flow rate ratio of hydrogen to silicon tetrafluoride.

[0049] In Step B (Fig. 18B), the substrate prepared in Step A is subjected to a cleaning process to remove organic substances, metals, fine particles, surface oxide films and other unnecessary matters. The cleaned substrate is then introduced into the invented thin film forming system. The substrate is irradiated with a laser beam L0 to convert the silicon thin film to a crystallized silicon thin film T2'. The laser-induced crystallization is performed in a high purity nitrogen atmosphere of 99.9999% or more at a pressure of 700 Torr or more.

[0050] In Step C (Fig. 18C), after the completion of Step B, the process chamber is evacuated, and the substrate is then transferred via a substrate transfer chamber to a plasma-enhanced CVD chamber. As a first gate insulating film T3, a silicon oxide film is deposited to a thickness of 10 nm at a substrate temperature of 350°C from material silane, helium, and oxygen gases. Where necessary, the substrate is then subjected to hydrogen plasma treatment or to heating and annealing. Steps A to C are conducted in the invented thin film forming system.

[0051] In Step D (Fig. 18D), islands composed of laminated silicon thin film and silicon oxide film are then formed. In this step, the etching rate of the silicon oxide film should be preferably higher than that of the silicon thin film according to etching conditions. By forming a stepped or tapered pattern section as illustrated in the figure, the gate leak is prevented, and a thin film transistor having a high reliability can be obtained.

[0052] In Step E (Fig. 18E), the substrate is then cleaned to remove organic substances, metals, fine particles and other impurities, and a second gate insulating film T4 is formed to cover the above-prepared islands. In this example, a silicon oxide film 30 nm thick is formed by the LPCVD process at 450°C from material silane and oxygen gases. Alternatively, the process can employ, for example, the plasma-enhanced CVD process using tetraethoxysilane (TEOS) and oxygen as materials, the normal pressure CVD process using TEOS and ozone as materials, or the plasma-enhanced CVD process as shown in Fig. 17. Next, an n⁺ silicon film 80 nm thick and a tungsten suicide film 110 nm thick are formed as gate electrodes. The n⁺ silicon film should be preferably a phosphorus-doped crystalline silicon film formed by the plasma-enhanced CVD process or LPCVD process. The work is then subjected to photolithography and etching processes to yield a patterned gate electrode T5.

45 [0053] In Step F1 or F2 (Fig. 18F1 or 18F2), a doping region T6 or T6' is then formed using the gate as a mask. When a complementary metal oxide semiconductor (CMOS) circuit is prepared, an n⁺ channel TFT requiring an n⁺ region, and a p⁺ channel TFT requiring a p⁺ region are separately formed. The doping technique includes, for example, ion doping where injected dopant ions are not subjected to mass separation, ion injection, plasma-enhanced doping, and laser-enhanced doping. According to the application of the product or the used technique for doping, the surface silicon oxide film is remained as intact (Fig. 18F2) or is removed (Fig. 18F1) prior to doping.

50 [0054] In Step G1 or G2 (Fig. 18G1 or 18G2), an interlayer insulating film T7 or T7' is deposited, and a contact hole is formed, and a metal is deposited thereon. The work is then subjected to photolithography and etching to yield a metallic wiring T8. Such interlayer insulating films include, but are not limited to, a TEOS-based oxide film, a silica coating film, and an organic coating film that can provide a flat film. The contact hole can be formed by photolithography and etching with a metal. Such metals include low resistant aluminum, copper, and alloys made from these metals, as well as tungsten, molybdenum, and other refractory metals. The process including these steps can produce a thin film transistor having high performances and reliability.

[0055] Figs 18A to 18G2 illustrate an embodiment where an alignment mark is previously formed and laser irradi-

ation is performed with reference to the alignment mark. Figs. 20A to 20G2 illustrate another embodiment where an alignment mark is formed concurrently with laser irradiation. These embodiments are based on the TFT manufacture process flow, and are basically similar to the process shown in Figs. 18A to 18G2. The distinguishable points of these embodiments are described below.

5 [0056] In Fig. 19A, a glass substrate sub0 is cleaned to remove organic substances, metals, fine particles, and other undesired matters. On the cleaned substrate, a substrate covering film T1 and a tungsten silicide film are sequentially formed. The work is then patterned by photolithography and etching to form an alignment mark T9 on the substrate. A mark protective film T10 is formed to protect the alignment mark, and a silicon thin film is then formed.

10 [0057] In Fig. 19B, upon laser light exposure, a target region is exposed to light with reference to the alignment mark. The alignment in the successive step can be performed with reference to the preformed alignment mark or to an alignment mark formed by crystallized silicon thin film patterning (not shown).

[0058] In Fig. 20B, a crystallized alignment mark T9' is formed concurrently with Laser irradiation to the silicon thin film. The crystallized alignment mark is formed by utilizing a difference in modification between an exposed region and a nonexposed region.

15 [0059] In Fig. 20D, alignment in the photolithography process is performed by using the crystallized alignment mark T9'. The work is then subjected to an etching process to form islands composed of laminated silicon thin film and silicon oxide film.

[0060] Fig. 21 shows a laser annealer for heating and laser-annealing an amorphous semiconductor with synchronizing pulses. The annealer includes a laser unit 3110, a laser irradiation processing unit 3120, and a master controller 3130. The laser unit 3110 produces laser beams with a target wavelengths and waveforms. The laser irradiation processing unit 3120 actually subjects a substrate W to processing with the laser beam from the laser unit 3110. The master controller 3130 generally controls the operations of these units. The work substrate W is made from, for example, a glass plate. On the surface of the substrate, for example, an amorphous Si layer as an amorphous semiconductor is deposited. The laser beam processing converts an exposed region in the amorphous Si layer into a polycrystalline Si (poly-Si) layer.

20 [0061] The laser unit 3110 includes a pair of first and second lasers 3111 and 3112, and a laser controller 3113. The lasers 3111 and 3112 produce pulsed laser beams. The laser controller 3113 respectively controls the excitation timings of the lasers 3111 and 3112 to produce a pair of pulsed laser beams with an appropriate differential time, and serves as a delay controller. The first laser 3111 is a main laser, and the substrate W is first irradiated with a laser beam from the first laser 3111. The second laser 3112 is a subsidiary laser and the substrate W is irradiated with a laser beam from the second laser 3112 after the irradiation of the first laser. Each of the laser beams from the first and second lasers 3111 and 3112 is appropriately adjusted to have an optimum differential time and power for the processing of the substrate W. Both pulsed laser beams PL are superimposed via a composing optical system 3170 to yield a synchronizing pulsed beam for processing.

35 [0062] The laser controller 3113 comprises, for example, a computer and a signal shaping circuit. Specifically, the laser controller includes a reference pulse generating circuit 3151, a delay time setting circuit 3152, an arithmetic circuit 3153, a trigger pulse generating circuit 3154, first and second photosensors 3161 and 3162, a pair of amplifiers 3163 and 3164, and a delay time detecting circuit 3155. The reference pulse generating circuit 3151 produces a reference pulse. The delay time setting circuit 3152 previously sets an interval of generation, i.e., differential time, of a pair of the pulsed laser beams PL that constitute the synchronizing pulsed laser beam. The arithmetic circuit 3153 sets the excitation timings of the first and second lasers 3111 and 3112 with reference to a signal output from, for example, the delay time setting circuit 3152, and generates a command signal corresponding to the excitation timings. The trigger pulse generating circuit 3154 receives the output of the command signal from the arithmetic circuit 3153 and generates first and second trigger signals to trigger the first and second lasers 3111 and 3112. The first and second photosensors 3161 and 3162 respectively serve for high speed photoelectric conversion of laser outputs from the first and second lasers 3111 and 3112 and serve as photodetectors. The amplifiers 3163 and 3164 respectively amplify the outputs from the first and second photosensors 3161 and 3162. The delay time detecting circuit 3155 receives photo detection signals from both amplifiers 3163 and 3164 and detects a differential time between both photo detection signals.

40 [0063] The delay time setting circuit 3152 sets such a differential time (hereinafter referred to as "set differential time t1") that the waveform of the synchronizing pulsed beam is optimum for the processing of the substrate W. The synchronizing pulsed beam is formed by superimposing the laser beams from the first and second lasers 3111 and 3112. The set differential time t1 can be set by externally entering from, for example, a keyboard or by reading out a set level previously stored according to the type of the substrate W.

55 [0064] The arithmetic circuit 3153 generates a command signal S2 corresponding to the set differential time t1 set in the delay time setting circuit 3152. The arithmetic circuit 3153 also calculates a corrected differential time t2 from the set differential time t1 and generates a command signal S2' corresponding to the corrected differential time t2. The corrected differential time t2 is calculated with reference to the output of a measured differential time t3 from the delay time detecting circuit 3155.

[0065] The trigger pulse generating circuit 3154 receives the command signal S2 or S2' produced from the arithmetic circuit 3153 and subjects the signal to an appropriate processing. When triggered by the reference pulse from the reference pulse generating circuit 3151, the trigger pulse generating circuit 3154 respectively generates first and second trigger signals Tr1 and Tr2 with a time delay or shift of the differential time t1 (t2) to trigger the first and second lasers 3111 and 3112.

[0066] The delay time detecting circuit 3155 cuts a pair of photodetection signals from the amplifiers 3163 and 3164 with a predetermined threshold, and detects a delay time t3 between a pair of laser beams produced by the first and second lasers 3111 and 3112. The delay time t3 is determined with reference to a difference of start-up timings of the signals.

[0067] Into the laser irradiation processing unit 3120, the synchronizing pulsed laser beam is launched. The synchronizing pulsed laser beam comes out from the laser unit 3110 and is composed via a composing optical system 3170 including, for example, mirrors 3171 and 3172, and a half mirror 3173. The laser irradiation processing unit 3120 comprises a reduction projection optical system 3121, a stage 3122, and a stage driving unit 3123. The reduction projection optical system 3121 converts the synchronizing pulsed laser beam into a beam having a target profile and energy density distribution and projects the processed beam onto the substrate W. The stage 3122 supports the substrate W and moves with the substrate W in scanning operation. The stage driving unit 3123 controls the operations of the stage 3122.

[0068] The operations of the laser annealer shown in Fig. 21 will be illustrated below. The master controller 3130 controls the laser controller 3113 to make the first and second lasers 3111 and 3112 to generate a pair of pulsed laser beams PL with a delay time of the set differential time t1. Both pulsed laser beams PL are superimposed via the composing optical system 3170 to yield a synchronizing pulsed laser beam for processing having a predetermined waveform, and the synchronizing pulsed laser beam is applied onto the substrate W. The synchronizing pulsed laser beam is triggered by the reference pulse from the reference pulse generating circuit 3151, and the irradiation of the synchronizing pulsed laser beam onto the substrate W is repeated in a cycle corresponding to the cycle of the reference pulse.

[0069] In this procedure, the delay time t3 produced by the delay time detecting circuit 3155 is monitored to find a shift Δt of the actual delay time t3 from the set differential time t1. Thus, the corrected differential time t2 is calculated from Δt and t1 according to the following equation.

$$t2 = t1 - \Delta t = 2 \times t1 - t3$$

The corrected differential time t2 is set as a new set point. By this procedure, the pair of pulsed laser beams PL with a time delay substantially identical to the set differential time t1 can be generated from the first and second lasers 3111 and 3112. Specifically, if a delay time t3' produced by the delay time detecting circuit 3155 is out of a predetermined range (upper limit and lower limit) due to response characteristics or changes with time of the first and second lasers 3111 and 3112, a new corrected differential time t2' is calculated from a new shift $\Delta t'$ and t1 [$t2' = t1 - \Delta t'$] and is set as a new set point. By repeating these procedures, the time interval of the pair of pulsed laser beams PL constituting the synchronizing pulsed laser beam can be maintained constant. Specifically, even if the lasers 3111 and 3112 have different characteristics from each other, and the response time from the trigger to exciting the laser varies due to changes with time or changes in operation conditions, a synchronizing pulsed laser beam having a stable waveform can be applied onto the substrate W.

[0070] Figs. 22A to 22D are timing charts illustrating operation timings of the system shown in Fig. 21. Fig. 22A shows the trigger signal Tr1 produced from the pulse generating circuits 3151 and 3154. Fig. 22B shows the pulsed laser beam PL launched from the first pulse laser 3111. Fig. 22C shows the trigger signal Tr2 produced via the delay time setting circuit 3152 and the arithmetic circuit 3153 from the trigger pulse generating circuit 3154 (these circuits are referred to as "trigger delay circuits"). Fig. 22D shows the pulsed laser beam PL launched from the second pulse laser 3112. As is obvious from these figures, when a delay time Ts is set in the trigger delay circuits 3154 and 3152, a desired pulse time interval Td (= Td2-Td1+Ts+Tc) can be theoretically obtained.

[0071] Next, a system and a process for focusing will be described as an embodiment of the invention.

[0072] Fig. 23 is a diagram showing the overall configuration of a laser annealer including the focusing system according to the embodiment. This laser annealer serves to subject a work W to be processed to a heat treatment. The work W comprises a glass plate and a semiconductor thin film of, for example, amorphous Si formed on the glass plate. The laser annealer includes a laser source 3710, an irradiation optical system 3720, a stage 3730, a stage driving unit 3740, and a master controller 3780. The laser source 3710 produces an excimer laser and other laser light AL for heating the semiconductor thin film. The irradiation optical system 3720 converts the laser light AL into a line or spot and launches the laser beam onto the work W at a predetermined illumination, and serves as a processing optical system. The stage 3730 supports and holds the work W, is smoothly movable in the X-Y plane, and is capable of tilting around the X and Y axes. The stage driving unit 3740 is a driving means for moving or tilting the stage 3730 with the work W mounted thereon to a necessary degree relative to, for example, the irradiation optical system 3720. The master con-

troller 3780 generally controls the operations of individual components of the laser annealer. In this configuration, the stage 3730 and the stage driving unit 3740 constitute a stage unit, and are housed in a chamber 3790. The chamber 3790 serves to evacuate the work W and its surroundings and to adjust the atmosphere surrounding the work W. The chamber 3790 is placed via a vibration isolator 3792 on a floor.

[0073] The laser annealer further comprises, as a focusing unit, a traveling distance measuring sensor 3750, a tiltmeter 3760, and a non-contact displacement gauge 3770, in addition to the stage 3730, the stage driving unit 3740, and the master controller 3780. The traveling distance measuring sensor 3750 detects the travel of the stage 3730 as an optical or electric signal. The tiltmeter 3760 detects the height and tilt of the stage 3730 relative to the stage driving unit 3740 as optical or electric information. The non-contact displacement gauge detects signals corresponding to the height and tilt of the work W relative to the irradiation optical system 3720.

[0074] The irradiation optical system 3720 includes a homogenizer 3720a, a mask 3720b, and a projection lens 3720c. The homogenizer 3720a ensures the laser light AL to have a uniform distribution. The laser light AL is launched from the laser source 3710 via a mirror 3715 into the homogenizer 3720a. The mask 3720b has a slit for throttling the laser light AL from the homogenizer 3720a into a predetermined beam form. The projection lens 3720c reduces and projects the slit image from the mask 3720b onto the work W. The irradiation optical system 3720 is arranged to face the work W via a process window 3790a in the chamber 3790, and is fixed to the chamber 3790 by a member not shown.

[0075] The stage driving unit 3740 includes a tilting unit 3742 and an XY stage unit 3744. The tilting unit 3742 makes the stage 3730 tilt around the X and Y axes. The XY stage unit 3744 allows the stage 3730 together with the tilting unit 3742 to smoothly move in the X-Y plane. The tilting unit 3742 comprises three supporting members 3742a and a supporting member driving unit 3742b. The supporting members 3742a each have a cylinder housed in a bellow and are capable of expanding and contracting to an optional length. The supporting member driving unit 3742b operates the supporting members 3742a to expand and contract. By adjusting the lengths of the three supporting members 3742a through the supporting member driving unit 3742b, the tilt and distance of the stage 3730 relative to the irradiation optical system 3720 can be appropriately finely adjusted. Specifically, the work W can be adjusted relative to the irradiation optical system 3720 in the position (distance) in the Z axis direction, tilt angle θ_X around the X axis, and tilt angle θ_Y around the Y axis. The three tiltmeters 3760 extend from the tilting unit 3742 side to immediately below the stage 3730 and are eddy current sensors or electrostatic capacitance sensors. The outputs from these sensors accurately show to what degree the stage 3730 tilts relative to the stage driving unit 3740.

[0076] The non-contact displacement gauge 3770 is a laser displacement gauge, and includes a projecting unit 3771 and a light receiving unit 3772. The projecting unit 3771 is a projection means for launching a detective light DL to a flat region as a measuring target T on the work W. The light receiving unit 3772 receives a regularly reflected light RL from the measuring target T, and produces information about the incident position of the regularly reflected light RL. The projecting unit 3771 and the light receiving unit 3772 are arranged to face each other with the interposition of the irradiation optical system 3720. Specifically, the projecting unit 3771 launches the detective light DL in a direction inclining at a predetermined angle relative to the optical axis of the irradiation optical system 3720. Into the light receiving unit 3772, the reflected light RL enters in a direction. This direction inclines in an opposed direction to the detective light DL at the predetermined angle relative to the optical axis of the irradiation optical system 3720. The master controller 3780 also serves as an arithmetic means for obtaining measurements including information corresponding to the height of the measuring target T, with reference to the information about the incident position detected in the light receiving unit 3772. Thus, the master controller 3780 constitutes a portion of the non-contact displacement gauge 3770.

[0077] The projecting unit 3771 comprises a light source for generating the detective light and a projecting optical system, and launches a spot beam of the detective light DL through the process window 3790a to the measuring target T on the work W. The light receiving unit 3772 includes an image-forming optical system and a line sensor. The image-forming optical system gathers the reflected light RL from the measuring target T, and the gathered reflected light RL enters the line sensor. The line sensor extends in the X-Z plane in a direction perpendicular to the optical axis of the reflected light RL, and detects changes of the vertical position (height) of the work W. This configuration utilizes the fact that the height of the work W is in a linear relationship with a position detecting signal from the line sensor. However, when the work W inclines relative to the optical axis of the irradiation optical system 3720, the output of the non-contact displacement gauge 3770 reflects not only the vertical position (height) of but also the tilt of the work W. The tilt of the work W is corrected using the tilting unit 3742 to bring the normal line of the work W in parallel with the optical axis of the irradiation optical system 3720. At this point, the three supporting members 3742a constituting the tilting unit 3742 are expanded or contracted to an identical degree to adjust the distance between the work W and the irradiation optical system 3720. This procedure will be described in detail later.

[0078] The measuring targets T1, T2, and T3 are located at apexes of a regular triangle. Each of the measuring targets is arranged at an identical distance from a processing region (in the figure, the center of the work W) on the work W. By controlling the XY stage unit 3744, the detective light DL from the projecting unit 3771 can be sequentially launched into each of the measuring targets T1, T2, and T3 on the work W. When the tilt of the work W is to be cor-

rected, the tilting unit 3742 is operated so as to average the outputs of the light receiving unit 3772 on the individual measuring targets T1, T2, and T3. The arrangement of the measuring targets T1, T2, and T3, and the total number of such measuring targets can be appropriately modified according to, for example, a required precision. Especially, if the work W has warp or other deformations on its surface, three or more measuring targets must be newly selected for each processing region to be measured in the vicinity of the processing region in question. The above-described measuring targets T1, T2 and T3 have only to be flat surfaces, and require no specific mark as far as they can produce a regularly reflected light.

[0079] The operations of the laser annealer according to the present embodiment will now be illustrated. Initially, the work W is transferred to and mounted on the stage 3730 in the laser annealer. The work W on the stage 3730 is aligned relative to the irradiation optical system 3720. The irradiation optical system 3720 serves to guide the annealing laser light AL. Next, the mask 3720b of the irradiation optical system 3720 is moved, or the stage 3730 is appropriately moved relative to the irradiation optical system 3720. Concurrently with this procedure, the laser light AL from the laser source 3710 is converted into a line or spot and is launched onto the work W. On the work W, an amorphous Si or another amorphous semiconductor thin film is formed, and a desired region of the semiconductor is annealed and recrystallized by irradiation and scanning of the thin film with the laser light AL. The resulting semiconductor thin film has satisfactory electric characteristics.

[0080] The alignment operation of the height and tilt of the work W on the stage 3730 relative to the irradiation optical system 3720 will now be illustrated in further detail. Initially, three apexes of a regular triangle centering on a processing region of the work W are defined as the measuring targets T1, T2, and T3. By controlling the XY stage unit 3744, the work W is appropriately moved in the X-Y plane to sequentially move each of the measuring targets T1, T2, and T3 on the work to a measuring point of the non-contact displacement gauge 3770. During this procedure, the detective light DL is launched from the projecting unit 3771 into each of the measuring targets T1, T2, and T3. The reflected light RL from each of the measuring targets T1, T2, and T3 is converted into a signal corresponding to the incident position in the light receiving unit 3772. In the master controller 3780, measurements about the heights of the individual measuring targets T1, T2, and T3 are obtained with reference to the signals about the incident positions from the light receiving unit 3772. The measurements obtained from the three points T1, T2, and T3 are supposed to include errors due to the tilt of the work W. In this procedure, these errors are neglected, and the tilt angles θX and θY of the work W are adjusted by the tilting unit 3742 so as to control the heights of the three points T1, T2, and T3 to an identical level. Then, the work W is appropriately moved in the X-Y plane by the action of the XY stage unit 3744, and measurements about the heights of the individual measuring targets T1, T2, and T3 on the work W are obtained. By repeating the height measuring and the adjustment of the tilt angles of the three points T1, T2, and T3 in the above manner, tilt-induced errors in height measurements are gradually decreased. Ultimately, when the measurements of the three points T1, T2, and T3 agree with each other, $\theta X=0$ and $\theta Y=0$, i.e. the tilt of the work becomes zero. At this stage, any one measurement of the heights constitutes the height of the processing region on the work W. Ultimately, the tilting unit 3742 is operated as a Z stage to move the stage 3730, i.e., the work W up or down to a target height.

[0081] The invention is illustrated with reference to the embodiments as above, but these embodiments are not intended to limit the scope of the invention. For example, the system can include three or more non-contact displacement gauges 3770. In this case, the individual non-contact displacement gauges 3770 are arranged to make measurements of three different points on the work W concurrently. This configuration can rapidly correct the tilt of the work W without moving the work W by action of the XY stage unit 3744.

[0082] In the above embodiment, the tilting unit 3742 is operated as the Z stage. However, the system can include an independent Z stage to completely separately adjust the tilt and height of the work W.

[0083] The above embodiment employs a work W comprising a glass substrate and a semiconductor thin film formed thereon. However, the work may be made of any material as far as the material can produce a regularly reflected light.

[0084] The above focusing system is installed in a laser annealer for annealing the semiconductor layer on the work W with the laser light AL. The focusing system can be also applied to not only annealers for semiconductor materials but also pulsed laser processors by appropriately modifying the configurations of, for example, the laser source 3710 and the irradiation optical system 3720. Such pulsed laser processors can serve to, for example, modify, cut or weld various materials.

[0085] Fig. 24 is a schematic diagram of the configuration of a composite system according to the invention. The illustrated system includes a CVD system 3910 as a primary processing unit, and a laser annealer 3920 as a secondary processing unit. The CVD system 3910 forms a film on a glass substrate (work), and the laser annealer 3920 subjects the film-formed glass substrate to laser annealing.

[0086] The laser annealer 3920 comprises a sealable process chamber 3921. The process chamber 3921 houses a processing stage 3922 for mounting a glass substrate 3901 after film-formation. A ceiling of the process chamber 3921 has a process window 3923 for passing a laser beam from the following laser irradiating system. The upper space of the process chamber 3921 houses a frame 3924 constituting the laser irradiating system 3925.

[0087] The laser irradiating system 3925 receives a laser beam produced by a laser 3926 via a reflecting mirror 3927, shapes the laser beam to have a predetermined profile and apply the shaped laser beam to focus on the glass substrate 3901. In this system, only a configuration for a rectangular beam is described. Another configuration for a long beam will be described later.

5 [0088] The laser irradiating system 3925 includes, for example, a mask stage 3928 supporting a mask, an optical lens system 3929, and a sensor 3930 as components for a rectangular beam. The sensor 3930 serves to detect the position of focus of the beam on the glass substrate 3901 and is used for precisely adjusting the position of focus.

[0089] The laser annealer 3920 is placed on a floor 3950 via plural vibration isolation stages as mentioned below.

10 [0090] The CVD system 3910 is connected to the process chamber 3921 via a transfer chamber 3970. The transfer chamber 3970 houses a substrate moving robot 3960 as a moving mechanism. Especially, as shown in Fig. 25, the process chamber 3921 is to be connected to the transfer chamber 3970 with the interposition of the bellow 3971. The connection portion between the process chamber 3921 and the transfer chamber 3970 is a place where the substrate moving robot 3960 holds the glass substrate in the CVD system 3910 and delivers the substrate to the process chamber 3921. To maintain the inside of the process chamber 3921 *in vacuo* or at a constant pressure, the connection portion must be cut off from the air, and the bellow 3971 performs this function. The transfer chamber 3970 requires a gate valve mechanism to inhibit the communication between the CVD system 3910 and the process chamber 3921. Such gate valve mechanisms are well known and are not illustrated herein.

15 [0091] Next, the configuration of the vibration isolation stages, essential units of the invented vibration isolation system, will be illustrated with reference to Figs. 26 and 27. Each of the vibration isolation stages 3940 comprises an upper seating 4241, and an air damper 4242 connected via a vibration isolation rubber 4243 to the upper seating 4241. On the upper seating 4241, the process chamber 3921 is mounted. To the air damper 4242, compressed air is supplied from a compressor 4244 via a control valve 4245. The air damper 4242 includes a piston unit 4246 and a first stopper member 4247. The piston unit 4246 moves up and down according to the supplied compressed air. The first stopper member 4247 defines a lower limit position of the piston unit 4246 during vibration.

20 [0092] The upper seating 4241 comprises a second stopper member 4148. The second stopper member 4148 defines on-off of operations of the vibration isolation stages 3940, and specifies an upper limit position of the vibration isolation stages 3940, specifically, an upper limit position in a height direction of a casing which houses the air damper 4242. The casing which houses the air damper 4242 includes a position detector 4149 for detecting a relative distance between the casing and the second stopper member 4148. The position detector 4149 also serves to limit the displacement of the casing or the process chamber as follows. If the process chamber 3921 or the casing which houses the air damper 4242 displaces to a degree exceeding a predetermined allowable range, a portion of the position detector 4149 is engaged with the second stopper member 4148, and this engagement limits the displacement as shown in Fig. 26.

25 [0093] A detective signal is sent out from the position detector 4149 to a controller 42100 as a feedback signal. The controller 42100 controls the control valve 4245 with reference to the relative distance between the second stopper member 4148 and the position detector 4149 indicated by the detective signal. The controller 42100 thus operates the vibration isolation stages 3940 to eliminate the vibration of the process chamber 3921.

30 [0094] Particularly, when the controller 42100 detects that the relative distance becomes equal to or less than a predetermined level, for example, that a portion of the position detector 4149 comes in contact with the second stopper member 4148, the controller 42100 stops the control operation to the control valve 4245 to cease the vibration isolation function. Contact of a portion of the position detector 4149 with the second stopper member 4148 means that up-and-down movements of the upper seating 4241 or of the air damper 4242 exceed the allowable range. In this connection, the second stopper member 4148 is configured in such a manner that the position of the second stopper member in a vertical direction can be changed by a screw or another adjusting means.

35 [0095] As is thus described, each of the vibration isolation stages 3940 has a feedback control function. According to this function, the vibration isolation stage 3940 controls the pressure of the compressed air which defines the vibration isolation property to thereby eliminate vibration, when the relative distance between the second stopper member 4148 and the position detector 4149 changes. In addition, if the up-and-down movements of the upper seating 4241 or of the air damper 4242 exceed the allowable range, the vibration isolation stage 3940 deactivates the feedback control function. The position of the second stopper member 4148 can be adjusted up and down by hand, and a position at which the vibration isolation function is stopped can be optionally set.

40 [0096] Specifically, the vibration isolation stage 3940 exerts its function from a point where the piston unit 4246 comes in contact with the first stopper member 4247 to a point where a portion of the position detector 4149 comes in contact with the second stopper member 4148. If the distance between these two points is set at 200 μm , the vibration isolation stage 3940 functions within a range of up-and-down movements of $\pm 100 \mu\text{m}$.

45 [0097] Operations in a high precision scanning with rectangular beams will now be described. When rectangular beams are used for processing, the vibration in the process chamber 3921 is mainly derived from a vibration travels from the CVD system 3910 or the floor 3950. This vibration has an amplitude of at most plus or minus several ten micrometers, and the bellow 3971 does not displace to a significant degree due to scanning. To surely activate the

vibration isolation function in scanning operation with a rectangular beam, the relative distance between the second stopper member 4148 and the position detector 4149 in the vibration isolation stage 3940 should be set at a level somewhat larger than an expected displacement. For example, the relative displacement is set at 200 μm . In this case, vibrations from the floor 3950 are absorbed by the plural vibration isolation stages 3940 through the feedback control function, and vibrations from the CVD system 3910 are absorbed by the bellow 3971.

[0098] Next operations in a low precision scanning with long beams will be described. When long beams are used for processing, the processing stage 3922 in the process chamber 3921 moves, and the location of center of gravity of the processing stage 3922 in the process chamber 3921 shifts, and the overall process stage is liable to tilt to a great degree. If the tilt is small, the same vibration isolation function works as in the processing with rectangular beams. However, if the tilt is large, the second stopper member 4148 limits the function and the vibration isolation stage 3940 stops its function. If the vibration isolation stage 3940 does not function, the process chamber 3921 and the bellow 3971 integrally move, and the relative position between the process chamber 3921 and the bellow 3971 does not shift. Accordingly, the bellow 3971 is not destroyed even if it undergoes large displacement. In this connection, the scanning precision with long beams allows large vibrations several ten times that in scanning with rectangular beams, and such vibrations do not affect the scanning precision.

[0099] Subsequently, an embodiment of the mechanical configuration of the invented vacuum linear actuator mechanism will be illustrated in detail with reference to Figs. 28 and 29. A configuration suitable for use in a vacuum chamber for laser annealing will be described herein. Such a vacuum chamber is symbolically indicated by dashed lines 43100 in Fig. 30, and includes any vacuum chamber as far as it is usable in an atmosphere at a pressure from atmospheric pressure to about 1.0×10^{-8} Torr.

[0100] The vacuum chamber 43100 houses a stage base 4309 as a fixed base member at the bottom. At both side ends of the stage base 4309, Y axis linear bearings 4315 and 4320 are mounted. The Y axis linear bearings 4315 and 4320 extend in parallel with each other in the Y axis direction, and serve to linearly guide a Y axis base 4314 which is assembled on these bearings. At both side ends of the Y axis base 4314, a pair of X axis linear bearings 4307 are mounted. The X axis linear bearings 4307 extend in parallel with each other in the X axis direction, and serve to linearly guide an X axis base 4306 assembled on these bearings. To the X axis base 4306, a trolley 4403 is attached. The trolley 4403 supports a stage 4302 including a heating heater. On the stage 4302, a work (e.g., a glass) 4301 is placed.

[0101] The X axis base 4306 is driven by a pair of X axis linear motors 4408. The X axis linear motors 4408 are arranged on the Y axis base 4314 adjacent to the X axis linear bearings 4307. The position of the X axis base 4306 is detected by an X axis linear encoder 4410. The X axis linear encoder 4410 is arranged on the Y axis base 4314 adjacent to one of the X axis linear motors 4408. This configuration serves to directly drive the X axis base 4306 and to directly detect its position. This eliminates deterioration of precision due to backlash according to conventional technologies, and can yield quick responses.

[0102] The Y axis base 4314 is driven by two linear motors 4318 and 4323. The linear motors 4318 and 4323 are placed on the stage base 4309 and can be independently controlled. The position of the Y axis base 4314 is detected at two points opposite to each other by two linear encoders 4316 and 4321. The linear encoders 4316 and 4321 are arranged on the stage base 4309 adjacent to the linear motors 4318 and 4323, respectively. This configuration also eliminates deterioration of precision due to backlash and can yield quick responses, as in the X axis. In addition, the position in the Y axis direction is detected by the linear encoders 4316 and 4321 at two points at opposite ends of the Y axis base 4314. This configuration can detect and control minute rotation of the Y axis base 4314 with reference to a difference between individual measurements. The minute rotation of the Y axis base 4314 means a rotation around the Z axis which is perpendicular to X- and Y-axes, and is hereinafter referred to as "rotation θ around the Z axis".

[0103] To prevent heat irradiated by the heater of the stage 4302 from transferring into the X axis base 4306 and the Y axis base 4314, a water-cooled plate 4304 is arranged between the trolley 4403 and the X axis base 4306. The X axis base 4306 also includes a water-cooling mechanism to prevent troubles in, for example, the linear bearings, due to radiant heat from the heater of the stage 4302. In addition, coils of individual linear motors evolve heat during operation of the stage. Thus, the individual linear motors include X axis motor coil cooling plates 4411 and Y axis motor coil cooling plates 4319 and 4324, respectively, and these cooling plates cool the coils of the linear motors. Likewise, to prevent damage or deterioration of precision due to thermal deformation, the X axis linear encoder 4310 and Y axis linear encoders 4316 and 4321 include, respectively, an X axis encoder cooling plate 4412 and Y axis encoder cooling plates 4317 and 4322. These plates maintain the encoders at constant temperatures.

[0104] The system further includes a cable guide 4413 corresponding to the X axis linear encoder 4410, and cable guides 4325 respectively corresponding to the Y axis linear encoders 4316 and 4321. These cable guides guide cables for detective signals from the X axis linear encoder 4410 and the Y axis linear encoders 4316 and 4321 to a fixed unit, as these encoders move.

[0105] An embodiment of the invented mask stage driving mechanism will be illustrated below with reference to Figs. 31 and 32. The configuration of the stage will now be described from top to bottom in turn. The stage includes a base plate 4601 fixed to a fixed unit not shown. The base plate 4601 has a large round opening in the center. The base

plate 4601 includes a cross roller bearing 4703 mounted at the edge of the opening, and comprises a θ axis movable unit 4604 arranged on its lower surface side. The θ axis movable unit 4604 is rotatably arranged around the θ axis, i.e., the Z axis via the cross roller bearing 4703. The θ axis movable unit 4601 also has an opening at its center corresponding to the opening of the base plate 4601. Under the θ axis movable unit 4604, the stage includes a Y axis movable unit 4707. The Y axis movable unit 4707 is movably arranged in the Y axis direction via a pair of Y axis linear bearings 4707. The Y axis linear bearings extend in parallel with each other in the Y axis direction. The Y axis movable unit 4707 also has an opening at its center corresponding to the opening of the base plate 4601.

[0106] The Y axis movable unit 4707 comprises an X axis movable unit 4610 in a space formed for ensuring the arrangement of the Y axis linear bearings 4706. Lifting air bearings 4611 and yaw-guide air bearings 4615 and 4616 guide the X axis movable unit 4610 in the X axis direction. The X axis movable unit 4610 also has an opening at its center corresponding to the opening of the base plate 4601.

[0107] Specifically, the X axis movable unit 4610 is positioned between the θ axis movable unit 4604 and the Y axis movable unit 4707 and is arranged movably in the X axis direction via plural lifting air bearings 4611. The lifting air bearings 4611 are arranged on a surface of the Y axis movable unit 4707 facing the X axis movable unit 4610. The lifting air bearings 4611 serve to float the X axis movable unit 4610 by blowing a compressed air to the lower surface of the X axis movable unit 4610. The mechanism shown in the figures includes three lifting air bearings 4611 arranged at angular intervals of 120 degrees.

[0108] The X axis movable unit 4610 is composed of a magnetic material. The Y axis movable unit 4707 further comprises attraction magnets 4618 at plural points on the surface facing the X axis movable unit 4610. In this example, a total of nine magnets 4618, i.e., each three magnets around three lifting air bearings 4611, are arranged. In addition, the X axis movable unit 4610 has two edges in parallel with the X axis direction. By using these edges, the yaw-guide air bearings 4615 and 4616 arranged on the Y axis movable unit 4707 guide the X axis movable unit 4610 in the X axis direction. Each two yaw-guide air bearings 4615 and 4616 are arranged for each of the edges of the X axis movable unit 4610. In addition, the two yaw-guide air bearings 4616 for one edge of the X axis movable unit 4610 respectively include pre-load pistons 4620 in combination to apply a pre-load onto the one edge. With the X axis movable unit 4610, a mask stage 4730 is combined via a boss 4710-1. The mask stage 4730 has an opening at its center and projects from the lower side of the Y axis movable unit 4707, and has a supporting unit for a mask 4714 at its bottom. The opening of the mask stage 4730 is somewhat smaller than the opening of the base plate 4601.

[0109] The mask stage is thus configured to have three degrees of freedom in the X, Y, and θ axes. The output axis of a θ axis driving motor 4605 moves in the axial direction according to the rotation of the θ axis driving motor 4605 to push a θ axis driving plate 4619. This operation allows the θ axis movable unit 4606 to rotate counterclockwise around the Z axis relative to its center. The output axis of the θ axis driving motor 4605 is not fixed to the driving plate 4619. A traction spring 4617 is therefore arranged between the base plate 4601 and the θ axis movable unit 4604 to apply a pre-load in a clockwise direction. This configuration prevents backlash and irregular rotation due to, for example, friction of the cross roller bearing 4703. The rotation angle of the θ axis movable unit 4604 is determined by a hollow rotary encoder 4702 to ensure its precision. The rotary encoder 4702 is combined to a rotation axis 4704-1, and the rotation axis 4701-1 is mounted on the θ axis movable unit 4604 and integrally rotates therewith. Thus, the rotation precision of the θ axis movable unit 4604 is ensured.

[0110] A Y axis linear motor 4608 is arranged between the edge of the θ axis movable unit 4604 and the edge of the Y axis movable unit, and drives the Y axis movable unit 4707 in the Y axis direction. The position of the Y axis movable unit 4707 is determined by a Y axis linear encoder 4709 arranged in the vicinity of the Y axis linear motor 4608. An X axis linear motor 4713 drives the X axis movable unit 4610. The X axis linear motor 4713 is arranged under the Y axis movable unit 4707, and its movable part is connected to the boss 4710-1 to drive the X axis movable unit 4610 and the boss 4710-1 in the X axis direction. The position of the X axis movable unit 4610 is determined by an X axis linear encoder 4612 arranged between the lower side of the Y axis movable unit 4707 and the boss 4710-1.

[0111] The guide mechanism of the X axis movable unit 4610 will be illustrated in further detail below. In an actual operation, a laser light is applied onto a work (not shown) placed under the mask using the opening of the center as an optical path, while the work is scanned with the laser light at a constant speed. The X axis movable unit 4610 therefore requires a high trackability and alignment accuracy (registration). Accordingly, the guide mechanism of the X axis movable unit 4610 employs hydrostatic bearings, and comprises two vertical (radial) and horizontal guide mechanisms. The lifting air bearings 4611 mounted on the Y axis movable unit 4707 and the guide surface of the X axis movable unit 4610 constitute the hydrostatic bearing for vertical guiding. Particularly, to ensure a gap (about 5 to 10 μm) to obtain a high guide rigidity, a pre-load is applied by attraction of the plural magnets 4618 mounted on the Y axis movable unit 4707.

[0112] Generally, air bearings are fixed to a movable unit side. However, in this mechanism, lifting air bearings 4611 are fixed not to the X axis movable unit 4610 but to the Y axis movable unit 4707 which constitutes a base for the X axis movable unit 4610. This configuration utilizes a short stroke necessary for the X axis movable unit 4610, and reduces the weight of the X axis movable unit 4610 and decreases the number of connected air-supply tubes to the air bearings. Such air-supply tubes disturb the movement of the X axis movable unit 4610.

[0113] Two pairs of the yaw-guide air bearings 4615 and 4616 mounted on the X axis movable unit 4610 constitute the hydrostatic bearing for horizontal guiding of the X axis movable unit 4610. These two pairs of yaw-guide air bearings 4615 and 4616 sandwich the X axis movable unit 4610. The two yaw-guide air bearings 4615 are respectively supported by expanding bolts 4621. Each of the expanding bolts 4621 is mounted on the X axis movable unit 4610 and its tip is in contact with the yaw-guide air bearing 4615. By adjusting the degree of protrusion of each expanding bolt, the horizontal position of the X axis movable unit 4610 can be controlled.

[0114] The yaw-guide air bearings 4616 are arranged in an opposite side to the yaw-guide air bearings 4615, and are supported by pre-load pistons 4620 with a constant force. This configuration can maintain constant hydrostatic bearing gaps without being affected by, for example, thermal deformation, mechanical processing precision, and assembling errors of the X axis movable unit 4610, the Y axis movable unit 4707, and other components.

[0115] All the support points of the air bearings are spherically supported by ceramic balls. Even if the parallelism between the air bearing surface and a counter surface is lost due to waviness, thermal deformation, and other deformation of the counter surface, such loss in parallelism can be absorbed to some extent.

[0116] Figs. 33 and 34 each show a schematic diagram of a stage unit for a vacuum chamber including the invented pneumatic tilt mechanism. The stage unit is placed in a vacuum chamber that can obtain vacuum or reduced pressure. In these figures, the vacuum chamber is not shown.

[0117] The invented pneumatic tilt mechanism includes a base 5102, three bellows cylinders 5104-1, 5104-2, and 5104-3, and a plate spring 5103 on the base 5102 to support a stage 5201. The bellows cylinders are pneumatically driven. The plate spring 5103 is in the shape of a cross. The stage 5201 includes a platform on its lower side, and the center (intercept) of the plate 5103 is fixed to the platform with, for example, bolts. Four edges of the plate spring 5103 are respectively fixed via supports 5202-1 to the base 5102.

[0118] Each of the bellows cylinders 5104-1, 5104-2, and 5104-3 includes a pneumatic cylinder sealed by bellows. Even if the air leaks from the pneumatic cylinder, this configuration can prevent the leak air from migrating into the vacuum chamber.

[0119] The pneumatic tilt mechanism allows the plate spring 5103 to support the stage 5201, and permits the bellows cylinders 5104-1, 5104-2, and 5104-3 to expand and contract by supplying a compressed air to the bellows cylinders 5104-1, 5104-2, and 5104-3. The pneumatic tilt mechanism thus adjusts the height and tilt of the stage 5201.

[0120] Fig. 35 illustrates the configuration of an irradiation optical system 5420. A laser light AL is launched from a laser source (not shown) into a homogenizer 5421. The homogenizer 5421 includes first to fourth cylindrical lens arrays CA1 to CA4, and a condenser lens 5521a. The cylindrical lens arrays CA1 to CA4 serve to independently control vertical and horizontal beam sizes. The condenser lens 5521a serves to condense the laser light. The first and third cylindrical lens arrays CA1 and CA3 have a curvature in a cross section in parallel with the paper plane, and the second and fourth cylindrical lens arrays CA2 and CA4 have a curvature in a cross section perpendicular to the paper plane.

[0121] The laser light AL is launched from the homogenizer 5421 via a turning mirror 5525 into a mask assembly 5422. The mask assembly 5422 includes a mask 5522a, a reflecting member 5522b, and a field lens 5522c. The mask 5522a has a pattern on its lower surface 5580. The pattern is to be irradiated with the laser light AL and to be applied to a work W. The reflecting member 5522b inhibits the laser light AL from entering the periphery of a light transmitting region (i.e., opening) of the pattern of the mask 5522a and from causing reflected light. The field lens 5522c adjusts the pupil position. The reflecting member 5522b is arranged at an angle to the mask 5522a, and a reflected light RL from an upper surface 5581 of the reflecting member 5522b exits in a direction out of an optical axis OA and enters a beam damper 5526 via the field lens 5522c. The field lens 5522c can be considered to constitute a portion of the homogenizer 5421.

[0122] The laser light AL passed through the mask 5522a enters a projection lens 5423. The projection lens 5423 reduces and projects, i.e., forms an image and move, a slit image onto a processing surface of the work W. The slit image is a transmitted patterned light formed on the mask 5522a which is illuminated by the laser light AL.

[0123] Next, a first embodiment of the CVD system according to the invention will be illustrated with reference to Figs. 36 and 37. In the CVD system shown in Fig. 36, a silicon oxide film as a gate insulating film is formed on a conventional TFT glass substrate 7111, using, preferably, silane as a material gas. A casing 7112 of the CVD system is a vacuum casing, and the inside of the casing is maintained at a desired degree of vacuum during film forming operation by action of an evacuating mechanism 7113. The evacuating mechanism 7113 is connected to an evacuating port 7112b-1 formed in the vacuum casing 7112.

[0124] The vacuum casing 7112 houses a partition 7114 at midpoint in a vertical direction. The partition 7114 is composed of a conductive material and is arranged in a nearly horizontal position, and has, for example, a square plane shape. The periphery of the partition 7114 is in contact with a peripheral wall of the vacuum casing 7112. The partition 7114 serves to separate the inside of the vacuum casing 7112 to two chambers, i.e., upper and lower chambers. The upper chamber forms a plasma-generating space 7115, and the lower chamber forms a film forming space 7116. The partition 7114 has a target specific thickness, and an overall flat form. The plane shape of the partition 7114 is similar to the horizontal sectional shape of the vacuum casing 7112. The partition 7114 has an inner space 7124.

[0125] The glass substrate 7111 is placed on a substrate supporting mechanism 7117 in the film forming space 7116. The glass substrate 7111 is substantially in parallel with the partition 7114 and is arranged in such a manner that its film forming surface (upper surface) faces the lower surface of the partition 7114. The potential of the substrate supporting mechanism 7117 is maintained at a grounding potential identical to the potential of the vacuum casing 7112.

5 The substrate supporting mechanism 7117 further includes a heater 7118 inside thereof. The heater 7118 serves to maintain the temperature of the glass substrate 7111 at a predetermined level.

[0126] The configuration of the vacuum casing 7112 will now be described. The vacuum casing 7112 comprises an upper casing 7112a and a lower casing 7112b for easier assembling of the casing. The upper casing 7112a forms the plasma generating space 7115, and the lower casing 7112b forms the film forming space 7116. When the upper and lower casings 7112a and 7112b are assembled into the vacuum casing 7112, the partition 7114 is interposed between the both casings. The partition 7114 is mounted in such a manner that the periphery of the partition comes in contact with a lower insulating member 7122 of annular insulating members 7121 and 7122. The annular insulating members 7121 and 7122 are interposed between the upper casing 7112a and an electrode 7120, when the electrode 7120 is arranged. This configuration separates and forms the plasma generating space 7115 and the film forming space 7116 respectively on the upper side and lower side of the partition 7114. Specifically, the partition 7114 and the upper casing 7112a constitutes the plasma generating space 7115. In the plasma generating space 7115, the partition 7114, the upper casing 7112a, and the plate electrode (radio frequency electrode) 7120 constitute a region where a plasma 7119 is generated. The electrode 7120 is located nearly at the midpoint between the partition 7114 and the upper casing 7112. The electrode 7120 has plural holes 7120a. The upper casing 7112a includes the two annular insulating members 7121 and 7122 along the side inner surface thereof. The partition 7114 and the electrode 7120 are supported and fixed by the annular insulating members 7121 and 7122. The annular insulating member 7121 comprises an inlet pipe 7123 to bring an oxygen gas into plasma generating space 7115 from the outside. The inlet pipe 7123 is connected via a mass flow controller (not shown) to an oxygen gas source (not shown). The mass flow controller controls the flow rate.

[0127] The partition 7114 separates the inside of the vacuum casing 7112 into the plasma generating space 7115 and film forming space 7116. The partition 7114 has a plurality of through holes 7125. The through holes 7125 meet predetermined conditions and pass through the inner space 7124 and are distributed. Only the through holes 7125 allow the plasma generating space 7115 to communicate with the film forming space 7116. The inner space 7124 formed in the partition 7114 serves to disperse the material gas to thereby uniformly supply the material gas to the film forming space 7116. In addition, the lower wall of the partition 7114 includes plural diffusion holes 7126 to supply the material gas to the film forming space 7116. The through holes 7125 and the diffusion holes 7126 are respectively made so as to meet the following predetermined conditions. To the inner space 7124, an inlet pipe 7128 is connected for bringing the material gas into the inner space 7124. The inlet pipe 7128 is connected to the lateral side of the inner space 7124. The inner space 7124 includes a uniformizing plate 7127 nearly horizontally. The uniformizing plate 7127 has plural perforated holes 7127a so as to homogeneously supply the material gas from the diffusion holes 7126. As shown in Fig. 37, the uniformizing plate 7127 separates the inner space 7124 of the partition 7114 into two, upper and lower spaces 7124a and 7124b. The material gas supplied via the inlet pipe 7128 into the inner space 7124. By the above configuration, the material gas is supplied into the upper space 7124a, is brought through the holes 7127a of the uniformizing plate 7127 into the lower space 7124b, and is diffused through the diffusion holes 7126 into the film forming space 7116. The configuration can evenly supply the material gas to the overall film forming space 7116.

[0128] Fig. 37 is an enlarged view of a portion of the partition 7114, i.e., essential parts of the through holes 7125, the diffusion holes 7126 and the uniformizing plate 7127. For example, the through holes 7125 have a larger diameter on the plasma generating space 7115 side, and a throttled, smaller diameter on the film forming space 7116 side.

[0129] The upper casing 7112a includes a power supply rod 7129 on its ceiling. The power supply rod 7129 is connected to the electrode 7120, and supplies a radio frequency power to the electrode 7120 for discharging. The electrode 7120 serves as a radio frequency electrode. The power supply rod 7129 is thus covered with an insulator 7131 to insulate the rod from other metallic parts.

[0130] A process for forming a film with the CVD system configured as above will be described. The glass substrate 7111 is transferred into the vacuum casing 7112 and is placed on the substrate supporting mechanism 7117 by a moving robot not shown. The inside of the vacuum casing 7112 is evacuated and is maintained under reduced pressure at a predetermined degree of vacuum by the evacuating mechanism 7113. An oxygen gas is then supplied through the inlet pipe 7123 into the plasma generating space 7115 in the vacuum casing 7112. The flow rate of the oxygen gas is controlled by the exterior mass flow controller. The flow velocity (u) of the oxygen gas is calculated according to the following equations (1) and (2):

$$Q_{O_2} = \rho_{O_2} u A \quad (1)$$

$$P_{O_2} = (\rho_{O_2} R T) / M \quad (2)$$

wherein Q_{O_2} is the flow rate of oxygen gas, P_{O_2} is the pressure of oxygen gas, ρ_{O_2} is the density of oxygen gas, R is the gas constant, and T is the temperature.

[0131] Separately, silane as the material gas is supplied via the inlet pipe 7128 into the inner space 7124 of the partition 7114. The silane is at first supplied into the upper space 7124a of the inner space 7124, is uniformized through the uniformizing plate 7127, diffuses to the lower space 7124b and is then supplied through the diffusion holes 7126 directly into the film forming space 7116. Specifically, the silane is introduced into the film forming space 7116 without coming in contact with a plasma. As the heater 7118 is energized, the substrate supporting mechanism 7117 in the film forming space 7116 is held at a predetermined temperature in advance.

[0132] In this state, a radio frequency power is supplied through the power supply rod 7129 to the electrode 7120. The radio frequency power causes electric discharge to form an oxygen plasma 7119 around the electrode 7120 in the plasma generating space 7115. The generation of the oxygen plasma 7119 invites the formation of radicals (excited active species), neutral excited species.

[0133] In this configurations the inner space of the vacuum casing 7112 is separated into the plasma generating space 7115 and the film forming space 7116 by the partition 7114 composed of a conductive material. When a film is formed on the surface of the substrate 7111, in the plasma generating space 7115, the oxygen gas is introduced and the radio frequency power is supplied to the electrode 7120 to form the oxygen plasma 7119. Separately, into the film forming space 7116, the material gaseous silane is supplied via the inner space 7124 and the diffusion holes 7126 of the partition 7114 and is directly brought. The radicals in the oxygen plasma 7119 generated in the plasma generating space 7115 are brought through the plural through holes 7125 of the partition 7114 into the film forming space 7116, and the silane is brought through the inner space 7124 and the diffusion holes 7126 of the partition 7114 and is directly introduced into the film forming space 7116. The configuration (shape) of the through holes 7125 inhibits back-diffusion of the directly-introduced silane from the film forming space 7116 to the plasma generating space side. As is thus described, the material gaseous silane is directly brought into the film forming space 7116 without coming in direct contact with the oxygen plasma 7119, and the silane can be prevented from vigorously reacting with the oxygen plasma. In this manner, a silicon oxide film is formed on the surface of the substrate 7111 placed in the film forming space 7116 facing the lower side of the partition 7114.

[0134] In the above configuration, the sizes and other dimensions of the plural through holes 7125 of the partition 7114 are determined so as to limit the transfer of the oxygen gas to a target range, provided that the oxygen gas in the plasma generating space 7115 constitutes a mass transfer flow in the through holes, and that the silane in the film forming space 7116 diffuses and moves through the through holes 7125 into the plasma generating space 7115. Specifically, the dimensions are determined to meet the relationship $uL/D > 1$, wherein D is the mutual gas diffusion coefficient of the oxygen gas and silane passing through the through holes 7125 of the partition 7114 at a temperature T , L is the length (characteristic length of the through holes) of a portion of the through holes 7125 having the minimum diameter, and u is the gas flow velocity. The requirements in dimensions of the through holes are preferably applied in the same manner to the diffusion holes 7126 in the partition 7114.

[0135] The relationship $uL/D > 1$ can be derived in the following manner. For example, the relationship of the oxygen and silane moving through the through holes 7125 is in accordance with the following formula (3), wherein ρ_{SiH_4} is the density of the silane gas, u_{SiH_4} is the diffusion flow velocity, and $D_{SiH_4-O_2}$ is the mutual gas diffusion coefficient. When the characteristic length of the through hole is defined as L , the equation (3) can be made approximations to the following equation (4). By comparing both sides of the equation (4), the diffusion flow velocity of silane u_{SiH_4} is expressed by $-D_{SiH_4-O_2}/L$. When the oxygen flow velocity obtained according to the above equations (1) and (2) is defined as u , and the diffusion flow velocity of silane is defined as $-D_{SiH_4-O_2}/L$, the ratio between absolute values of these flow velocities, i.e., $|u/(-D_{SiH_4-O_2}/L)| = uL/D_{SiH_4-O_2}$ is the ratio of the oxygen mass transfer rate to the silane diffusion rate. The ratio $uL/D_{SiH_4-O_2}$ of 1 or more means that the flow rate through convection is larger than the flow rate through diffusion. Specifically, the ratio $uL/D_{SiH_4-O_2}$ set at 1 or more means that the diffusion of silane less affects the transfer of the silane.

$$\rho_{SiH_4} u_{SiH_4} = -D_{SiH_4-O_2} \text{grad} \rho_{SiH_4} \quad (3)$$

$$\rho_{SiH_4} u_{SiH_4} \approx -D_{SiH_4-O_2} \rho_{SiH_4} / L \quad (4)$$

[0136] Next, a practical example will be described. The value calculated according to the equation (4) is 11, on condition that film-formation is performed at a temperature of the partition of 7114 of 300°C, at a diameter of the through hole 7125 in the partition 7114 of 0.5 mm, a length (L) of 3 mm of the portion having a diameter of 0.5 mm with a total of 500 through holes 7125, at a gas flow rate of oxygen gas of 500 sccm, at a pressure of the film forming space 7116 of 100 Pa. In this case, the mass flow of the oxygen affects the transfer of the silane gas satisfactorily more than the diffusion of the silane gas, and the silane gas is less diffuses into the plasma generating space 7115.

[0137] As thus described, the partition 7114 having a multitude of the through holes 7125 and diffusion holes 7126

with the above characteristics separates and isolates the plasma generating space 7115 and the film forming space 7116 from each other to respectively form closed chambers. The silane directly brought into the film forming space 7116 cannot significantly come in contact with the oxygen plasma. According to the invented system, the silane can be prevented from vigorously reacting with the oxygen plasma as in conventional equivalents.

5 [0138] Next, a second embodiment of the invented CVD system will be illustrated with reference to Fig. 38. In Fig. 38, components substantially the same with the components described in Fig. 36 have the same reference numerals, and detailed descriptions of these components are not repeated herein. A characteristic configuration of the second embodiment is that the inside of the ceiling of the upper casing 7112a includes a plate insulating member 7333 and the electrode 7120 is arranged below the plate insulating member 7333. The electrode 7120 is a self plate without the holes 10 7120a. The electrode 7120 and the partition 7114 constitute the plasma generating space 7115 with a parallel plate electrode configuration. Other configurations are substantially the same as those of the first embodiment. In addition, the operations and advantages of the CVD system according to the second embodiment are the same as in the first embodiment.

[0139] Subsequently, a third embodiment of the invented CVD system will now be illustrated with reference to Fig. 15 39. In Fig. 39, components substantially the same with the components described in Fig. 36 have the same reference numerals, and detailed descriptions of these components are not repeated herein. The configuration of the third embodiment is featured by that the annular insulating member 7122 formed inside of the sidewall of the upper casing 7112a additionally includes a second gas inlet pipe 7423. The second gas inlet pipe 7423 brings a cleaning gas from the outside into the plasma generating space 7115. The second gas inlet pipe 7423 is connected via a mass flow controller (not shown) for controlling the flow rate to a cleaning gas source (not shown). When a cleaning gas is brought via 20 the second gas inlet pipe 7423 into the plasma generating space 7115 and a radio frequency power is supplied from the radio frequency power source to the electrode 7120, a plasma is generated in the plasma generating space 7115. This plasma serves to form radicals for use in cleaning of the film surface on the substrate 7111. Such cleaning gases include, for example, NF_3 , ClF_3 , C_2F_4 , C_2F_6 , H_2 , O_2 , N_2 , F_2 , Ar, and other rare gases and halide gases. Other configurations of this embodiment are the same with those in the first embodiment.

[0140] The gas inlet pipe 7123 and the second gas inlet pipe 7423 are controlled to use either one of these inlet pipes. In the present embodiment, initially the cleaning gas is introduced to clean the film surface on the substrate 7111, and the film forming gas is then introduced to form a gate insulating film on the film surface on the substrate 7111.

[0141] Specifically, the substrate 7111 having a laser-annealed film (polysilicon film) on its surface is mounted on 30 the substrate holder 7117, and the cleaning gas is then introduced via the second gas inlet pipe 7423 into the plasma generating space 7115, and a radio frequency power is supplied via the power supply rod 7129 to the electrode 7120. By this procedure, electric discharge is initiated in the plasma generating space 7115 to generate a cleaning gas plasma 7419. As a result, radicals are formed in the plasma and diffuse through the plural through holes 7125 of the partition 7114 into the film forming space 7116. The radicals then clean the surface of the film formed on the substrate 35 7111. This configuration can remove impurities formed on the film surface of the substrate after laser annealing.

[0142] After the substrate cleaning process is completed to satisfy predetermined conditions, the oxygen gas is brought from the gas inlet pipe 7123 into the plasma generating space 7115, and a radio frequency power is supplied via the power supply rod 7129 to the electrode 7120. By this procedure, electric discharge is initiated in the plasma generating space 7115 to yield the oxygen plasma 7119. As a result, radicals are formed in the plasma and diffuse through 40 the plural through holes 7125 of the partition 7114 into the film forming space 7116. Concurrently with the supply of the radicals, the material gas is supplied from the inlet pipe 7128 through the partition 7114 into the film forming space 7116. In the film forming space 7116, the radicals react with the material gas to form a gate insulating film on the film surface on the substrate 7111.

[0143] The invented film forming system should be preferably maintained in vacuum.

45 [0144] Next, a process for the formation of a film using the systems according to embodiments of the invention will be described.

[0145] Fig. 40 is an illustration of the invented film forming system. The numeral 7112 in Fig. 40 is the vacuum casing shown in Fig. 36. The vacuum casing 7112 includes, the partition 7114 having a multitude of through holes, the plasma generating space 7115, and the film forming space 7116, and the partition 7114 separates the plasma generating space 7115 from the film forming space 7116. 50

[0146] The overall system in Fig. 40 includes a film forming material gas supply unit 7512. The material gas is supplied from the film forming material gas supply unit 7512 via a gas inlet path 7513 including a mass flow controller (MFC) 7513a into the inner space 7124 in the partition 7114. Such material gases include SiH_4 and other silicon hydride compounds ($\text{Si}_n\text{H}_{2n+2}$, where n is an integer of 1 or more). In the film forming space 7116, the material gas introduced through the inner space 7124 in the partition 7114 reacts with the radicals introduced through the multitude of through holes 7125 in the partition 7114, and the material gas is decomposed to deposit a thin film of silicon oxide on the substrate transferred into the film forming chamber. Thus, a film is formed.

55 [0147] A host controller 7514 functions as a controller of the flow rate of the material gas in an MFC 7513a in the

gas inlet path 7513. The controller 7514 can control the flow rate of the material gas in the MFC 7513a to thereby control the supply of the material gas brought into the film forming space 7116 to a predetermined range, as described below. Fig. 41 is a graph showing an illustrative change of the material gas flow rate with the abscissa showing the time (t) and the ordinate showing the flow rate (sccm) of the material gas. In this embodiment, the controller 7514 controls the flow rate of the material gas in the MFC 7513a in such a manner that the flow rate (supply flow rate) of the introduced material gas to the film forming space 7116 is restricted at early stages of electric discharge, i.e., at early stages of film formation, and is then increased. Next, the manner to restrict the supply rate of the material gas will be described.

[0148] Fig. 42 is a graph showing an illustrative control procedure of the supply flow rate of material gas, SiH_4 , with the abscissa showing the time and the ordinate showing the supply flow rate. In the time abscissa, times t_0 , t_1 , and t_2 are set. As the plasma generating gas, for example, oxygen (O_2) is employed. The time t_0 is the time when the oxygen gas is supplied into the plasma generating chamber and electric discharge of the oxygen gas is started, i.e., the starting point of film formation. At the time t_1 , the supply of SiH_4 starts. Accordingly, SiH_4 is not supplied from the time t_0 until the time t_1 . From the time t_1 until the time t_2 , the supply flow rate of SiH_4 gradually increases with time and reaches a constant level at the time t_2 . From the time t_2 , the supply rate of SiH_4 is maintained at the constant level. By restricting the supply rate of the material gas at early stages of film formation including the initiation of electric discharge (i.e., t_0 to t_1 , and around t_1), the formation of a silicon oxide thin film containing excess silicon at early stages of film formation can be avoided. In addition, by gradually increasing the supply rate of the material gas thereafter, the film forming period can be shortened to thereby improve practical utility.

[0149] From the time t_1 until time t_2 , the supply rate of the material gas may be controlled to increase according to a step function, a proportional function, a linear function, a quadric function, an exponential function, and other functions.

[0150] In the above embodiments, silane is employed as an example of the material gas. However, the material gas is not limited to silane, and TEOS and other gaseous materials can be also employed. In addition, the invention can be applied to film formation of not only silicon oxide films but also silicon nitride films. The principle of the invention can be applied to every treatment where the material gas comes in contact with a plasma to form particles and the incidence of ions to the substrate adversely affects the process, and can be applied to film formation, surface treatments, isotropic etching, and other treatments. The partition indicated in the embodiments has a dual structure, but it may have a multilayer structure.

[0151] According to the invention as thus described, for example, when a silicon oxide film is formed on a large substrate from silane or another material gas, a vacuum casing includes a partition having plural through holes or diffusion holes that meet predetermined conditions. The partition separates the inside of the vacuum casing into a plasma generating space and a film forming space. An active species is formed in the plasma generating space and is brought through the through holes of the partition into the film forming space. Separately, a material gas is brought through an inner space and diffusion holes of the partition and is directly introduced into the film forming space without coming in contact with a plasma. This configuration can inhibit a vigorous chemical reaction between the material gas and the plasma to thereby inhibit the formation of particles and incidence of ions into the substrate.

[0152] In addition, the invented system can evenly bring the material gas, and can evenly supply the oxygen gas radicals through the plural through holes formed in the partition. This configuration can yield satisfactory distributions of the radicals and silane or another material in the vicinity of the surface of the substrate to thereby effectively form a film on a large substrate.

[0153] Fig. 43 is a side sectional view of a clustered tool type system. This system includes a film forming chamber 8101, a load-lock chamber 8102, and a transfer chamber 8103. The film forming chamber 8101 serves to form a silicon oxide film as a gate insulating film on a substrate 8109. The transfer chamber 8103 includes a moving robot 8130 as a moving means.

[0154] The film forming chamber 8101 includes a CVD unit 8113 inside thereof. In the CVD unit 8113, a plasma is generated, and active species taken out from the plasma serve to form a silicon oxide film. The configuration of transfer chamber 8103 greatly features the system according to the present embodiment. As shown in Fig. 43, the transfer chamber 8103 has a gas inlet system (hereinafter referred to as "pressure regulating gas inlet system") 8132. The pressure regulating gas inlet system 8132 brings a gas not adversely affecting the film formation into the inside the system to regulate the inside pressure. In this embodiment, the pressure regulating gas inlet system 8132 introduces hydrogen gas. The pressure regulating gas inlet system 8132 comprises a flow regulator and a filter not shown and can introduce a highly purified pressure regulating gas at a predetermined flow rate.

[0155] The term "gas not adversely affecting the film formation" means and includes gasses which do not adversely affect the quality of the resulting thin film. Such gases include hydrogen and other gases that do not directly affect the film formation, and gases that improves the quality of the resulting film.

[0156] The configuration where the transfer chamber 8103 includes the pressure regulating gas inlet system 8132 is based on a characteristic technical concept of an evacuating unit 8131 of the transfer chamber 8103. Specifically, in the system according to the present embodiment, the pressure inside the transfer chamber 8103 is maintained at a

degree of vacuum somewhat lower than that inside the film forming chamber 8101.

[0157] The evacuating unit 8131 of the transfer chamber 8103 has only to evacuate the inside of the transfer chamber to a relatively high pressure as above, and can be configured at low costs. As the evacuating unit 8131 of the transfer chamber 8103, for example, a combination of a dry pump and a mechanical booster pump can be employed. Both components are available at low cost.

[0158] As the evacuating unit 8131 of the transfer chamber according to conventional equivalents, a system having an exhaust speed larger than that in the film forming chamber 8101 is generally employed, and the inside of the transfer chamber 8103 is evacuated to a pressure lower than that in the film forming chamber. However, this configuration will result in an expensive evacuating unit 8131. For example, to attain the pressure inside the film forming chamber 8101 as stated above, a turbo-molecular pump or other expensive vacuum pumps are required. Specifically, if the target pressure is 1 Pa or higher, the system can employ a cheap dry pump and a mechanical booster pump in combination, but if the target pressure is lower than 1 Pa, a turbo-molecular pump or other expensive pumps are required. Such pumps are expensive several times the dry pump and the mechanical booster pump.

[0159] Such a relatively high target pressure inside the transfer chamber 8103 can shorten the evacuation operation to thereby increase the production efficiency of the overall system.

[0160] The system according to this embodiment is also greatly featured in that the transfer chamber 8103 includes a modifier supply unit 8133. The modifier supply unit 8133 supplies a chemical species (hereinafter referred to as "modifier") having a modifying activity to the surface of the substrate 8109. This feature will be described in detail below.

[0161] The modifier supply unit 8133 serves to supply energy to a gas introduced by a modifying gas inlet system 8134 to form a plasma. The configuration of the modifier supply unit 8133 will be illustrated with reference to Fig. 44. Fig. 44 is a schematic side sectional view of the configuration of the modifier supply unit 8133 in the transfer chamber 8103 of the system shown in Fig. 43.

[0162] The modifier supply unit 8133 has substantially the same configuration as the system shown in Fig. 36. However, this unit has no material gas inlet system, and the partition 7114 is a plate having plural holes. As shown in Fig. 43, the modifier supply unit 8133 is placed in the transfer chamber 8103 in the vicinity of a gate valve 8104c at the boundary between the film forming chamber 8101 and the transfer chamber 8103, and is located above a transfer line of the substrate 8109.

[0163] The modifying gas inlet system 8134 supplies a hydrogen gas to the plasma generating space, as in the pressure regulating gas inlet system 8132. The piping of the pressure regulating gas inlet system 8132 may be caused to branch to the modifier supply unit 8133. By this configuration, the pressure regulating gas inlet system 8132 also serves as the modifying gas inlet system 8134.

[0164] When a radio frequency power source goes into action while the modifying gas inlet system 8134 brings hydrogen gas into the plasma generating space, a plasma is generated and active hydrogen species flow out downward. The active hydrogen species act as a modifier in this embodiment and are supplied to the surface of the substrate to modify the surface. For example, when the surface of the substrate 8109 is oxidized, the oxidized surface is reduced by the modifier. If the surface has a bondable end, the active hydrogen species terminates the end to thereby chemically stabilize the surface. During the modification procedure, the substrate 8109 may be stopped on the transfer line or may be continuously transferred for a higher efficiency.

[0165] A second embodiment of this type of system will be described below. The system according to the second embodiment is greatly characterized in that a laser annealing process and a gate insulating film forming process can be continuously performed *in vacuo*. These processes are required for the production of a TFT-LCD using a polysilicon film as a channel layer. In the system according to the second embodiment, the transfer chamber 8103 also includes the pressure regulating gas inlet system 8132, and the inside of the transfer chamber 8103 is held at a pressure that is a vacuum pressure but is higher than 1 Pa and lower than that in the film forming chamber 8101. The pressure regulating gas inlet system 8132 brings a hydrogen gas into the transfer chamber 8103 as mentioned above.

[0166] According to the second embodiment, the surface of the substrate 8109 is modified by supplying a modifier after the annealing process. This configuration plays a very important role to improve the operating characteristics of the resulting TFT. A polysilicon film formed by crystallizing an amorphous silicon film in the annealing process has unbonded ends of silicon (dangling bonds) on its surface. If the atmosphere contains oxygen or other gases reactive with silicon during movement of the substrate 8109 from an annealing chamber (not shown) to the film forming chamber 8101, such a reactive gas readily reacts with the dangling bonds of silicon to form a contaminated region on the surface of the polysilicon film. If such a contaminated region is formed at an interface between the polysilicon film and the gate insulating film, the resulting TFT cannot have a stoichiometric composition. This is liable to cause defective levels and other problems that deteriorate the operating characteristics of the TFT.

[0167] The system according to the present embodiment can avoid the above problems, by modifying the surface of silicon with active hydrogen species after the annealing process to thereby terminate the dangling bonds of silicon with hydrogen. In addition, the transfer chamber 8103 is held in *vacuo* at a relatively high pressure but is purged with hydrogen gas. This configuration can reduce reactions of dangling bonds, if any, with contaminants and increases the

tendency of the dangling bonds to react with hydrogen to thereby terminate. By these operations and advantages, the system according to the present embodiment can markedly satisfactorily improve the interface between a polysilicon film and a gate insulating film. This constitutes a very important technical point in the manufacture of polysilicon TFTs.

[0168] The supply of a modifier by the modifier supply unit plays an important role in modification after the annealing process. As described above, the surface of the substrate 8109 may be modified by ion injection other than the use of the active species. However, ion injection for modification after the annealing process causes problems. Specifically, the polysilicon film crystallized in the annealing process has a relatively weak crystal structure. Accordingly, when ions are injected, such weak bonds are readily broken to cause, for example, a roughened surface of the polysilicon film. As a result, the interfacial characteristics may be deteriorated or channel resistance may increase.

[0169] According to the present embodiment, the CVD unit 8113 is employed to generate a plasma in a region at a distance from the surface of the substrate and to supply the active species. Accordingly, ion is substantially not injected into the surface of the substrate and the system does not invite the above problems.

[0170] Fig. 45 is a diagram illustrating the configuration of the invented laser annealer.

[0171] The laser annealer includes a stage 3210, a pair of laser sources 3221 and 3222, a composing optical system 3230, an irradiation optical system 3240, a mask driving unit 3250, a stage driving unit 3260, and a master controller 32100. The stage 3210 holds or supports a work W and is three-dimensionally smoothly movable. The work W is a glass plate having an amorphous Si and another semiconductor thin film formed on its surface. The laser sources 3221 and 3222 respectively produce a pair of laser beams LB1 and LB2 having different characteristics. The composing optical system 3230 composes the laser beams LB1 and LB2 to yield a composite light CL. The irradiation optical system 3240 converts the composite light CL into a linear beam AB and launches the linear beam AB onto the work W at a predetermined illumination. The mask driving unit 3250 moves a mask 3242 formed in the irradiation optical system 3240 to scan the work W with the projected linear beam AB. The stage driving unit 3260 moves the stage 3210 supporting the work W to a necessary degree relative to, for example, the irradiation optical system 3240. The master controller 32100 generally controls the operations of individual units of the overall laser annealer.

[0172] Both of the pair of laser sources 3221 and 3222 are excimer lasers or other pulsed laser sources for heating the semiconductor thin film on the work W. The laser sources 3221 and 3222 individually and independently produce a pair of laser beams LB1 and LB2 having different characteristics such as light emitting periods, peak intensities or wavelengths.

[0173] The composing optical system 3230 serves to spatially combine the pair of laser beams LB1 and LB2 from the laser sources 3221 and 3222 to form the composite light CL, and includes a pair of knife-edge mirrors 3231 and 3232 arranged in parallel with each other. Between the composing optical system 3230 and the both laser sources 3221 and 3222, a divergent optical system 3271 and a telescopic optical system 3272 are respectively arranged as regulators. The divergent optical system 3271 serves as a regulating optical system to finely adjust the imaging position in the optical axis direction (beam forming position) of the first beam LB1 from the laser source 3221. The image is formed by a homogenizer 3241 in the irradiation optical system 3240. The telescopic optical system 3272 serves as an afocal optical system to adjust the beam size of the second beam LB2 from the laser source 3222 to thereby make the beam size identical to that of the first beam LB1 entered into the composing optical system 3230.

[0174] The irradiation optical system 3240 includes a homogenizer 3241, a mask 3242, and a projection lens 3243. The homogenizer 3241 once divides the composite light CL from the composing optical system 3230 into plural divided beams and converts the divided beams into rectangular beams, and homogeneously superimposes and launches the beams onto a predetermined plane. The mask 3242 has a slit transmitting pattern and is arranged on the predetermined plane to shield the composite light CL. The projection lens 3243 reduces and projects the transmitted pattern formed on the mask 3242 onto the work W as a linear beam AB.

[0175] The stage driving unit 3260 drives the stage 3210 and aligns a specific region on the work W relative to the irradiation optical system 3240. After the mask driving unit 3250 drives the mask to scan a predetermined region on the work W with the linear beam AB to laser-anneal the predetermined region, the stage driving unit 3260 also aligns the mask 3242 to stepwise move the mask to a region adjacent to the predetermined region. A position detector 3280 continuously monitors the driving of the stage 3210 by the stage driving unit 3260.

[0176] The operations of the system shown in Fig. 45 will now be illustrated in detail. Initially, the work W is moved to and mounted on the stage 3210 of the laser annealer. The work W on the stage 3210 is then aligned relative to the irradiation optical system 3240. While moving the mask 3242 of the irradiation optical system 3240, the composite light CL obtained from the pair of laser sources 3221 and 3222 is launched as a linear beam AB onto a predetermined region on the work W. On the work W, a thin film of an amorphous semiconductor such as an amorphous Si is formed. The irradiation and scanning of the thin film with the linear beam AB allows the predetermined region of the semiconductor to anneal and recrystallize to thereby yield a semiconductor thin film having satisfactory electric characteristics. The laser annealing procedure is repeated on plural predetermined regions on the work W, and the semiconductor thin film is annealed in the plural predetermined regions.

[0177] In the above system, the composing optical system 3230 spatially composes the pair of laser beams LB1

and LB2 from the pair of laser sources 3221 and 3222 to form the composite light CL. Accordingly, the pair of laser beams LB1 and LB2 can be composed with minimized loss, and the composite light CL as a uniform rectangular beam relative to the pair of laser beams LB1 and LB2 can be formed on predetermined plane of mask 3242, by action of the homogenizer 3241. In addition, the linear beam AB is obtained by efficiently composing the laser beams LB1 and LB2 and can perform a variety of laser annealing procedures.

[0178] Fig. 46 is a diagram illustrating the configuration of the composing optical system 3230 and its surroundings. As is described above, the composing optical system 3230 includes the pair of knife-edge mirrors 3231 and 3232, allows the first beam LB1 to pass through between a pair of knife edges 3231a and 3232a, and separates the second beam LB2 by the aid of the pair of knife edges 3231a and 3232a. The divergent optical system 3271 finely adjusts the image-forming position of the first beam LB1 formed by the homogenizer 3241 and constitutes an afocal system including a convex lens 3271a and a concave lens 3271b in combination. The telescopic optical system 3272 serves to adjust the beam size of the second beam LB2 to identical to that of the first beam LB1, and constitutes an afocal system including a concave lens 3272a and a convex lens 3272b in combination. Between the telescopic optical system 3272 and the composing optical system 3230, a turning mirror 3233 is arranged to guide the second beam LB2. Separately, the composite light CL obtained by composing the laser beams LB1 and LB2 enters the homogenizer 3241. The homogenizer 3241 includes first to fourth cylindrical lens arrays CA1 to CA4, and a convex condenser lens 3241a. The first and third cylindrical lens arrays CA1 and CA3 have a curvature in a cross section in parallel with the paper plane, and the second and fourth cylindrical lens arrays CA2 and CA4 have a curvature in a cross section perpendicular to the paper plane.

[0179] The outline of the operations will now be described below. The first laser beam LB1 passes through between the knife edges 3231a and 3232a, i.e., a central pupil region of the homogenizer 3241 including the optical axis OA, and the second laser beam LB2 is divided by the knife-edge mirrors 3231 and 3232 into two beams and the divided second beams pass through the each edge of the first beam LB1, i.e., a pair of peripheral pupil regions of the homogenizer 3241. The beams LB1 and LB2 thus respectively enter the homogenizer 3241. The homogenizer 3241 has an entrance pupil size twice that of the beam size to allow the composite light CL enter the homogenizer. The condenser lens 3241a and other lens systems have been corrected for aberration according to the entrance pupil.

[0180] The composite light CL entered the homogenizer 3241 is divided to a number of the segments constituting the cylindrical lenses by action of the first to fourth cylindrical lens arrays CA1 to CA4 to form divided secondary light sources. The light beams is launched from the divided secondary light sources into the condenser lens 3241a, and are superimposed on an irradiated surface IS at the back focus of the condenser lens 3241a to yield uniform rectangular beams.

[0181] The divergent optical system 3271 and the telescopic optical system 3272 serve to prevent differences in focal position, beam size, and uniformity of the rectangular beams formed by the homogenizer 3241. These differences are caused by beam characteristics and differences thereof of the first and second laser beams LB1 and LB2.

[0182] The former divergent optical system 3271 slightly changes the numerical aperture (NA) of the first beam LB1 launched into the homogenizer 3241 to adjust the best focal position of the homogenizer 3241 and the beam size. The latter telescopic optical system 3272 serves to adjust the beam size of the second beam LB2 to identical to that of the first beam LB1 launched into the homogenizer 3241. By these configurations, the laser beams LB1 and LB2 are respectively divided to the same number with each other by the cylindrical lens arrays CA1 to CA4 to yield an identical uniformity to each other.

[0183] The operations will be illustrated in further detail below. The first beam LB1 enters through a beam delivery (e.g. a turning mirror) not shown into the divergent optical system 3271 for the first beam. The divergent optical system 3271 is a substantially 1:1 afocal system and includes two lenses 3271a and 3271b. By changing the distance between the two lenses 3271a and 3271b, the divergent optical system 3271 can slightly adjust and change the NA of the outgoing first beam LB1 from the divergent optical system 3271 without significantly changing the beam size of the first beam LB1. In a practical example, the variable adjusting range of the exit NA (a beam divergence angle of the first beam LB1) by the divergent optical system 3271 is set to several milliradians. In this connection, the two lenses 3271a and 3271b constitute a two-element system of convex and concave lenses, and respectively have a little power. Even if the distance between the two lenses 3271a and 3271b is changed, the aberration does not significantly change.

[0184] The exit first beam LB1 from the divergent optical system 3271 only passes through between the two knife-edge mirrors 3231 and 3232, i.e., the central region of the optical axis of the homogenizer 3241. The first beam LB1 passed through between the knife-edge mirrors 3231 and 3232 enters the central portion (cylindrical lenses assigned to the first beam LB1) of the cylindrical lens array CA1 of the homogenizer 3241, and is divided into a number (six in Fig. 46) of the cylindrical lenses. The individual divided beams are superimposed by the condenser lens 3241a to form a uniform beam on the irradiated surface IS.

[0185] The second beam LB2 is launched through a beam delivery not shown into the telescopic optical system 3272 for the second beam. The second beam LB2 launched into the telescopic optical system 3272 is magnified or reduced in the optical system to have the identical beam size with that of the first beam LB1, and comes out of this opti-

cal system toward the composing optical system 3230. The second beam LB2 is divided by the knife-edge mirrors 3231 and 3232 in the composing optical system 3230 into two beam portions LB2a and LB2b. The beam portions LB2a and LB2b respectively pass through each side of the first beam LB1 toward the homogenizer 3241. The both beam portions LB2a and LB2b enters outer periphery of the optical axis of the homogenizer 3241, i.e., both edges of the cylindrical lens array CA1 (cylindrical lenses assigned to the second beam LB2) of the homogenizer 3241. The beam portions are then divided to a number of cylindrical lenses (in Fig. 46, a total of six including upper three and lower three). The individual divided beams are superimposed by the condenser lens 3241a to form a uniform beam on the irradiated surface IS.

[0186] In the above description, both the first and second laser beams LB1 and LB2 is to "form a uniform beam on the irradiated surface IS". Actually, the best focal positions of the both beams may differ from each other according to divergence angles of exit beams from the light source and other characteristics. When the best focal positions are different, the beam sizes are often different. The differences in characteristics of the first and second beams LB1 and LB2 must be neutralized. To this end, the best focal position of the second beam LB2 is determined as a true irradiated surface IS (reference surface) and the best focal position of the first beam LB1 is made in agreement with the true irradiated surface IS. Specifically, the exit NA of the first beam LB1, i.e., the incident NA viewed from the homogenizer 3241 is changed by the divergent optical system 3271. According to the change in the incident NA viewed from the homogenizer 3241, the best focal position of the first beam LB1 after passing through the homogenizer 3241 is changed. This configuration can finely adjust the best focal position of the first beam LB1 to agree with that of the second beam LB2. In this connection, the relationship between the exit NA and the shift of the best focal position varies according to the lens configuration of the homogenizer 3241, and detailed descriptions of these fine adjustment are omitted herein.

[0187] Fig. 47 is a schematic diagram illustrating the configuration of a laser annealer as an embodiment of the invented laser processing system.

[0188] This laser annealer serves to treat a work W with heat. The work W includes an amorphous Si or other semiconductor thin film on a glass substrate. The laser annealer includes a laser source 3310, an irradiation optical system 3320, and a process stage unit 3330. The laser source 3310 produces a laser light AL such as excimer laser for heating the semiconductor thin film. The irradiation optical system 3320 converts the laser light AL into a line form (a fine rectangular form) and launches the light onto the work W at a predetermined illumination. The process stage unit 3330 supports the work W and allows the work W to smoothly move in the X-Y plane in a translational manner and to rotate around the Z axis.

[0189] The irradiation optical system 3320 comprises a homogenizer 3321, a mask assembly 3322, and a projection lens 3323. The homogenizer 3321 ensures the incident laser beam AL to have a uniform distribution. The mask assembly 3322 has a mask on which a slit is formed, and the slit throttles the laser light passed through the homogenizer 3321 into a fine rectangular beam. The projection lens 3323 reduces and projects the slit image of the mask onto the work W. Of these components, the mask assembly 3322 is exchangeably supported on a mask stage unit 3340. The mask stage unit 3340 drives the mask assembly 3322, and the mask assembly 3322 is smoothly movable in the X-Y plane and is rotatable around the Z axis.

[0190] The process stage unit 3330 is housed in a process chamber 3350, supports the work W in the process chamber 3350 and allows the work W to appropriately move relative to the irradiation optical system 3320. The laser light AL is applied from the irradiation optical system 3320 via a process window 3350a onto the work W, while the work W is supported in an appropriate position in the process chamber 3350.

[0191] The system includes, on each side of the projection lens 3323, a position detector or the like. The position detector includes a projecting unit 3361 and a light-receiving unit 3362. The projecting unit 3361 launches a detective light via the process window 3350a into the surface of the work W, and the light receiving unit 3362 detects a reflected light from the surface of the work W. Thus, the work W on the process stage unit 3330 can be precisely aligned relative to the irradiation optical system 3320.

[0192] In this configuration, the mask stage unit 3340 and the projection lens 3323 are suspended by and fixed to a frame 3365 extending from the process chamber 3350. The homogenizer 3321 is indirectly fixed to the frame 3365, but this configuration is not shown in the figure.

[0193] The mask assembly 3322 supported by the mask stage unit 3340 is hanged at the lower end of a cylindrical mounting jig 3370, and is inserted into the bottom of an insertion port 3340a formed in the mask stage unit 3340, and is fixed thereto. The mask assembly 3322 includes a mask 3322a, a reflecting member 3322b, and a field lens 3322c, and integrally holds the mask 3322a, the reflecting member 3322b, and the field lens 3322c. The mask 3322a has a slit, and the reflecting member 3322b is arranged over the mask 3322a at an angle relative to the mask 3322a, and inhibits other optical elements from damage due to reflected light from the mask 3322a. The field lens 3322c adjusts the divergence angle of the laser light AL launched into the mask 3322a.

[0194] Figs. 48A and 48B are diagrams showing the configuration of the mask stage unit 3340 and the way to support the mask assembly 3322. Fig. 48A is a side sectional view of the mask stage unit 3340 and surrounding components, and Fig. 48B is a top view of the mounting jig 3370.

[0195] The mask stage unit 3340 includes an X axis stage 3441, a Y axis stage 3442, and a θ axis stage 3443. The X axis stage 3441 allows the mask assembly 3322 to move in the X axis direction in a translational manner. The Y axis stage 3442 allows the mask assembly 3322 together with the X axis stage 3441 to move in the Y axis direction in a translational manner. The θ axis stage 3443 allows the X axis stage 3441 and the Y axis stage 3442 to rotate around the Z axis. The X axis stage 3441 is slidably connected via a slide guide 3445 to the Y axis stage 3442. The Y axis stage 3442 is rotatably connected via a bearing 3446 to the θ axis stage 3443.

[0196] The mask assembly 3322 includes a tubular mask holder body 3422d, and a tapered outer surface TP1 tapering off downward on the outer periphery of the mask holder body 3422d. The mask holder body 3422d supports the mask 3322a, the reflecting member 3322b and the field lens 3322c. The X axis stage 3441 has a tapered inner surface TP2 around a round opening formed at a bottom 3441a. The tapered inner surface TP2 is to fit the tapered outer surface TP1. By this configuration, if only the mask assembly 3322 is inserted into the round opening at the bottom 3441a of the X axis stage 3441, the tapered outer surface TP1 fits the tapered inner surface TP2. Thus, the mask assembly 3322 can be precisely aligned relative to the X axis stage 3441. In addition, the mask assembly 3322 is to have a momentum downwards by an annular fixing nut 3425. The fixing nut 3425 is screwed into the bottom 3441a of the X axis stage 3441.

[0197] The mask assembly 3322 and the fixing nut 3425 are mounted on the bottom 3441a of the X axis stage 3441 using the mounting jig 3370. The mask assembly 3322 has a depression 3422g which is engaged with a hook-like hanging member 3471 formed on the lower surface of the mounting jig 3370, and moves up and down according to the operation of the mounting jig 3370. By this configuration, the mask assembly 3322 can be easily and surely inserted into the round opening at the bottom 3441a of the X axis stage 3441. The fixing nut 3425 also has a depression 3425g which is engaged with the hanging member 3471 of the mounting jig 3370, and moves up and down according to the operation of the mounting jig 3370. By this configuration, the fixing nut 3425 is screwed from above the mask assembly 3322 inserted into the bottom 3441a of the X axis stage 3441 to easily and surely fix the mask assembly 3322.

[0198] The mounting jig 3370 includes a cylindrical body 3470a, a disc supporting member 3470b, and a handle 3470c. The disc supporting member 3470b is fixed at the bottom of the body 3470a and supports the hanging member 3471. The handle 3470c serves to rotate or move the body 3470a up and down together with the supporting member 3470b. In consideration of, for example, convenience of operation, the handle 3470c has a grip 3473 extending in three directions, as shown in Fig. 48B.

[0199] While the mask assembly 3322 is mounted at the bottom of the mounting jig 3370, the mask assembly 3322 is inserted into an insertion port 3440a of the mask stage unit 3340. The mask assembly 3322 is then moved down to the bottom 3441a, and at this stage, the mounting jig 3370 is turned in a clockwise direction to separate the mask assembly 3322 from the mounting jig 3370.

[0200] Next, the fixing nut 3425 is mounted onto the bottom of the mounting jig 3370 in the same manner as in the mask assembly 3322, and is inserted into the insertion port 3440a of the mask stage unit 3340. When the fixing nut 3425 reaches the bottom, the fixing nut 3425 is turned in a counterclockwise direction to clamp to a predetermined position. Thus, the mask assembly 3322 is pressed against the bottom 3441a at a constant pressure applied by a coned disc spring 3425c. In this procedure, the tapered outer surface TP1 in the mask holder body 3422d comes into intimate contact with the tapered inner surface TP2 in the bottom 3441a, and the mask assembly 3322 can be precisely mounted onto the mask stage unit 3340. Thereafter, the mounting jig 3370 is turned in a clockwise direction to separate the fixing nut 3425 from the mounting jig 3370, and the mounting jig 3370 alone can be taken out.

[0201] When the mask assembly 3322 is to be dismounted from the mask stage unit 3340, the above-mentioned mounting procedure should be simply reversed. Specifically, the mounting jig 3370 is inserted into the insertion port 3440a of the mask stage unit 3340 to undo the fixing nut 3425, and the fixing nut 3425 is taken out. Next, the tip of the mounting jig 3370 is allowed to catch the depression 3422g of the mask assembly 3322. The mounting jig 3370 is then slowly raised, and the mask assembly 3322 together with the mounting jig 3370 can be taken out. Likewise, the dismounting of the mask 3322a and the reflecting member 3322b from the mask assembly 3322 can be performed in a reversed manner of the mounting procedure of these elements. Detailed descriptions of such dismounting procedures are omitted herein.

[0202] By the above procedure, the mask 3322a can be precisely mounted onto the mask stage unit 3340. For a further precise alignment, the mask 3322a is aligned by visual observation of an alignment mark formed on the mask surface with, for example, a charge-coupled device (CCD) camera not shown.

[0203] Next, a device and process for position measurement according to an embodiment of the invention will be illustrated in further detail with reference to the drawings.

[0204] Fig. 49 is a schematic diagram showing the configuration of a laser annealer including the position measuring device according to the embodiment. The laser annealer includes a laser source 3510, an irradiation optical system 3520, a stage 3530, and a stage driving unit 3540. The laser source 3510 produces an excimer laser and other laser light AL for heating an amorphous Si or another semiconductor thin film formed on a glass plate work W. The irradiation optical system 3520 converts the laser light AL into a line or spot and launches the laser light onto the work W at a pre-

determined illumination. The stage 3530 supports the work W, is smoothly movable in the X-Y plane and is rotatable around the Z axis. The stage driving unit 3540 serves as a driving means to move the stage 3530 supporting the work W to a necessary degree relative to, for example, the irradiation optical system 3520. The irradiation optical system 3520 may comprise, for example, a homogenizer 3520a, a mask 3520b, and a projection lens 3520c. The homogenizer 3520a ensures the incident laser light AL to have a uniform distribution, and the mask 3520b has a slit for throttling the laser light AL passed through the homogenizer 3520a into a predetermined beam form, and the projection lens 3520c reduces and projects the slit image of the mask 3520b onto the work W.

[0205] The laser annealer further includes a traveling distance measuring device 3550, a projecting optical system 3560, a first image pickup device 3571, a second image pickup device 3572, an image processor 3580, and an illumination lamp 3565, as a position measuring device in addition to the stage 3530 and the stage driving unit 3540. The traveling distance measuring device 3550 detects the displacement of the stage 3530 as optical or electric information. The projecting optical system 3560 is a coaxial twin-lens dual-scaling system and forms an image of an alignment mark on the work W. The first image pickup device 3571 converts a first-scaling image of a relatively low magnification projected by the projecting optical system 3560 into a picture signal, and the second image pickup device 3572 converts a second-scaling image of a relatively high magnification projected by the projecting optical system 3560 into a picture signal. The image processor 3580 subjects the picture signals produced by the first and second image pickup devices 3571 and 3572 to an appropriate signal processing. The illumination lamp 3565 supplies luminous light to the projecting optical system 3560 for the illumination of the surface of the work W. The laser annealer further includes a master controller 3585 which generally controls the operations of the position measuring device and other components of the laser annealer.

[0206] The irradiation optical system 3560 will now be illustrated in further detail. The irradiation optical system 3560 is a coaxial twin-lens dual-scaling system as described above, and includes a first lens system 3561a and 3561b, a second lens system 3562a and 3562b, a half mirror 3563, and an epi-illumination system 3567. The first lens system 3561a and 3561b projects an image of the work W on the stage 3530 onto the first image pickup device 3571 in a relatively low first magnification. The second lens system 3562a and 3562b projects this projected image in a relatively high second magnification onto the second image pickup device 3572. The half mirror 3563 divides the image light IL from the work W and introduces the divided beams into the first lens system 3561a and 3561b and the second lens system 3562a and 3562b. The epi-illumination system 3567 guides an illumination light from the illumination lamp 3565 via a cable 3566 onto the optical axis of the second image pickup device 3572. The illumination light produced by the illumination lamp 3565 has a wavelength different from that of the laser light from the laser source 3510.

[0207] The first lens system 3561a and 3561b and the second lens system 3562a and 3562b constitute a coaxial optical system possessing an optical axis in common. The image light IL is launched from the work W along the optical axis of the first lens system 3561a and 3561b. When the image light IL is reflected by the half mirror 3563, it enters into the center of an image field of the first image pickup device 3571. When the image light IL passes through the half mirror 3563, it enters along the optical axis of the second lens system 3562a and 3562b into the center of an image field of the second image pickup device 3572. In addition, the epi-illumination system 3567 is arranged to be coaxial with the second lens system 3562a and 3562b, and homogeneously illuminates a region on the work W corresponding to the image fields of the first and second image pickup devices 3571 and 3572.

[0208] The first image pickup device 3571 comprises a CCD device, a solid image pickup device. The first image pickup device 3571 and the lens 3561b constitute a CCD camera 3573. The CCD camera 3573 is fixed to an end of a lens-barrel 3575 housing the lens 3561a. Separately, the second image pickup device 3572 also comprises a CCD device, and the second image pickup device 3572 and the lens 3562b constitute a CCD camera 3574. The CCD camera 3574 is fixed to an end of a lens-barrel 3576 housing the lens 3562a. The other ends of the both lens-barrels 3575 and 3576 are fixed to a casing which houses the half mirror 3563.

[0209] Fig. 50 is a diagram showing an illustrative arrangement of alignment marks formed on the surface of the work W mounted on the stage 3530 of Fig. 49. Alignment marks M1 and M2 shown in the figure are each a dual pattern including a bright, large cross pattern and a dark, small cross pattern in combination.

[0210] The first alignment mark M1 is formed in one of the four corners of the work W, and the second alignment mark M2 is formed at another of the four corners of the work W. The first and second alignment marks M1 and M2 are thus formed in two positions on the work W so as to detect not only the position but also the rotation of the work W. By measuring the positions of the first and second alignment marks M1 and M2, the coordinates of the two reference points on the work W can be determined, and the work W can be aligned in such a manner that the attitude and position of the work W can be appropriately adjusted.

[0211] The operations of the laser annealer shown in Fig. 49 will be described in detail. The work W is moved to and mounted on the stage 3530 of the laser annealer. The work W on the stage 3530 is aligned relative to the irradiation optical system 3520 serving to guide the annealing laser light AL. While appropriately moving the stage 3530 relative to the irradiation optical system 3520, the laser light AL is launched from the laser source 3510 and is converted into a line or a spot and is applied onto the work W. On the work W, an amorphous Si or another amorphous semiconductor

thin film is formed, and the semiconductor is annealed and recrystallized by irradiation and scanning of the work with the laser light AL. The resulting semiconductor thin film has satisfactory electric characteristics.

[0212] The position measuring device is used for the alignment of the work W on the stage 3530 relative to the irradiation optical system 3520. Specifically, the stage 3530 is appropriately moved by the stage driving unit 3540 to guide the first alignment mark M1 including a global mark M11 and a fine mark M12 to an image field of the first image pickup device 3571 (Step S1). The position of the work W on the stage 3530 remains within a predetermined moving precision range (0.5 to 1 mm in the example), and the stage 3530 is appropriately moved relative to the projecting optical system 3560 to guide and move the first alignment mark M1 in the visual field of the first lens system 3561a and 3561b, i.e., in the image field (5 mm size in the example) of the first image pickup device 3571. For example, by storing the position of the first alignment mark M1 on the work W in memory as data, the stage 3530 can be appropriately moved with reference to the positional data of the first alignment mark M1 to surely guide the first alignment mark M1 into the image field of the first image pickup device 3571.

[0213] Subsequently, the position of the global mark M11 of the first alignment mark M1 is determined by subjecting the picture signal of a relatively low magnification from the first image pickup device 3571 to image signal processing in the image processor 3580 (Step S2). The pixels of the first image pickup device 3571 are in precise correspondence with distances of points on the stage 3530, and an XY component of the distance from the center of the first image pickup device 3571, i.e. the optical axis of the first lens system 3561a and 3561b, to the center of the global mark M11 can be precisely determined.

[0214] Next, while determining and monitoring the travel or stroke of the stage by the traveling distance measuring device 3550, the stage driving unit 3540 is driven to move the stage 3530 in the X-Y plane to allow the center of the global mark M11 to agree with the optical axis of the first lens system 3561a and 3561b (Step S3). The travel determined by the travel measuring device 3550 corresponds to the distance determined in the step S2. In this procedure, the alignment accuracy by the global mark M11 is about 10 μm or less in the example. The above search alignment procedure can positively move the fine mark M12 arranged at the center of the global mark M11 into the image field (0.5 mm size in the example) of the second image pickup device 3572 of a high magnification.

[0215] The position of the fine mark M12 is then determined by subjecting a picture signal from the second image pickup device 3572 to signal processing in the image processor 3580 (Step S4). The pixels of the second image pickup device 3572 have a precise correspondence with distances of points on the stage 3530, and the distance between the center of the fine mark M12 and the center of the second image pickup device 3572, i.e., the optical axis of the second lens system 3562a and 3562b can be precisely determined. The position measuring precision through the fine mark M12 is about 1 μm or less in the example.

[0216] The projecting optical system 3560 serving to determine the position of the fine mark M12 has a predetermined positional relationship with the laser annealing irradiation optical system 3520, and the positional relationship is determined or adjusted in advance. Accordingly, the distance from the optical axis of the second lens system 3562a and 3562b to the center of the fine mark M12 can be converted into the distance from the laser annealing irradiation optical system 3520 to the center of the fine mark M12 with reference to the positional relationship (Step S5). By these procedures, the coordinates of the first alignment mark M1 can be precisely determined.

[0217] Likewise, the second alignment mark M2 is subjected to these measuring procedures (steps S1 to S5), and the coordinates of the second alignment mark M2 can be precisely determined (Step S6). In the example, one pixel of the second image pickup device 3572 was set at 1 μm and the position was detected with a precision of about 1 μm .

[0218] Next, the work W is aligned (Step 7) with respect to the irradiation optical system 3520 based on the precise measurements of the coordinates of the first and second alignment marks M1 and M2 obtained in steps S5 and S6. Specifically, the position and rotation of the work W are determined based on the coordinate measurements of the fine marks of the first and second alignment marks M1 and M2 with reference to the irradiation optical system 3520. Based on these results, the work W is arranged at a position with a rotational attitude required upon the initiation of laser annealing.

[0219] Next, while scanning the work W with the laser light AL such as a laser spot or a laser line using the stage driving unit 3540 and the traveling distance measuring device 3550, the amorphous thin film on the work W is recrystallized to sequentially form polycrystalline thin films on the work W. In this procedure, the work W can be scanned with the laser light AL by moving the stage 3530 in the X or Y direction by the stage driving unit 3540, while monitoring the travel of the stage with the traveling distance measuring device 3550. Alternatively, the work W can be scanned with the laser light AL by allowing the irradiation optical system 3520 to have a scanning function, for example, by moving the mask 3520b in the irradiation optical system 3520.

[0220] In the position measuring process according to the first embodiment, after the work W is transferred to and mounted on the stage 3530, the position of the work W can be precisely determined only by moving the work W through search alignment using the global mark M11, and thus the position of the work W can be rapidly determined. In addition, the global mark M11 and the fine mark M12 have similar-shaped outlines to each other, and the image measurement algorithms in the measurements of the marks M11 and M12 can be nearly the same relative to each other, and the arith-

metic processing and other procedures can be simplified.

[0221] Fig. 51 is a perspective view showing arrangement of the alignment marks formed on the surface of the work W mounted on the stage 3530 shown in Fig. 49.

[0222] First and second global marks M111 and M211 are respectively formed in either one of the four corners of the work W. The both global marks M111 and M211 have identical coordinates in the work X axis and different coordinates in the work Y axis. Separately, first and second fine marks M112 and M212 are respectively arranged in the vicinity of processing areas PA on the work W. Both fine marks M112 and M212 have identical coordinates in the work X axis and different coordinates in the work Y axis. The processing areas PA are areas to be projected with, for example, a slit image of the mask 3520b by projection lens 3520c, and are arrayed at appropriate intervals (In the figure, only two processing areas are shown).

[0223] The positional measurements of the first and second global marks M111 and M211 can determine the coordinates of two reference points on the periphery of the work W. By this procedure, the attitude of the work W can be corrected and the search alignment (global alignment) can be performed to allow each of the first and second fine marks M112 and M212 enter into the image field of the second image pickup device 3572 of a high magnification (Fig. 49). Separately, the positional measurements of the first and second fine marks M112 and M212 can determine precise coordinates of two reference points on the periphery of the processing areas PA corresponding to these fine marks. The slit image of the mask 3520b can be therefore precisely projected onto the processing areas PA by appropriately moving the work W.

[0224] Fig. 52 is a schematic illustration of the configuration of a laser annealer as an embodiment of the invented laser processing system.

[0225] This laser annealer serves to treat a work W with heat, and the work W comprises a glass substrate and an amorphous Si or other semiconductor thin film formed on the glass substrate. The laser annealer includes a laser source 5310, an irradiation optical system 5320, a process stage unit 5330, a stage controller 5340, and a master controller 53100. The laser source 5310 produces a laser light AL such as an excimer laser for heating the semiconductor thin film. The irradiation optical system 5320 converts the laser light AL into a line (to be precise, a fine rectangle) and launches the laser light AL onto the work W at a predetermined illumination. The process stage unit 5330 supports the work W and allows the work W to smoothly move in the X-Y plane in a translational manner and to rotate around the Z axis. The stage controller 5340 controls the operations of the process stage unit 5330, and the master controller 53100 generally controls the operations of individual components of the laser annealer.

[0226] The irradiation optical system 5320 comprises a homogenizer 5320a, a mask 5320b, and a projection lens 5320c. The homogenizer 5320a ensures the incident laser light AL to have a uniform distribution. The mask 5320b has a slit, and the slit throttles the laser light AL passed through the homogenizer 5320a into a rectangular beam. The projection lens 5320c reduces and projects the slit image of the mask 5320b onto the work W. Of these components, the mask 5320b is exchangeably supported by a mask stage unit 5350. The mask stage unit 5350 drives and allows the mask 5320b to smoothly move in the X-Y plane in a translational manner and to rotate around the Z axis. The operations of the mask stage unit 5350 are controlled by a stage controller 5360 to monitor the timing and travel of the translation and rotation of the mask 5320b. The mask stage unit 5350 and the stage controller 5360 constitute a mask driving unit.

[0227] The process stage unit 5330 is housed in a process chamber 5370. The laser light AL is launched from the irradiation optical system 5320 via a process window 5370a onto the work W supported by the process stage unit 5330 in the process chamber 5370. The translational and rotational travels are monitored by the stage controller 5340.

[0228] The process window 5370a is arranged on the top surface of the process chamber 5370. Immediately above the corner of the process window 5370a, a work alignment camera 5380 is fixed. The work alignment camera 5380 serves to detect the misalignment of the work W mounted on the process stage unit 5330, and includes an image-forming optical system and a CCD and other image pickup devices. A picture signal output from the work alignment camera 5380 is subjected to processing in an image processor 5381. Signals produced by the image processor 5381 are entered into the master controller 53100 and are used in the alignment of the work W relative to the projection lens 5320c constituting the irradiation optical system 5320.

[0229] Immediately below a corner of the mask 5320b, a mask alignment camera 5384 as an image pickup device is fixed. The mask alignment camera 5384 serves to detect the misalignment of the mask 5320b supported by the mask stage unit 5350, and produces a picture signal output. The picture signal output from the mask alignment camera 5384 is subjected to processing in an image processor 5385, and the picked-up image is displayed on a display 5386 as a display device, and is used in the alignment of the mask 5320b relative to the work W.

[0230] In this configuration, the mask stage unit 5350 and the projection lens 5320c are fixed to a frame 5390 extending from the process chamber 5370. The mask alignment camera 5384 is also fixed via a supporting member 5391 to the frame 5390. While the detailed descriptions of this component are omitted herein, the supporting member 5391 serves to adjust the position of the mask alignment camera 5384 relative to the mask stage unit 5350. Specifically, the mask alignment camera 5384 is moved in the X-Y plane in a translational manner and is rotated around the Z axis,

and can be surely fixed to the frame 5390 after the completion of necessary alignment movement.

[0231] In the above system, the image of a mask alignment mark AM is indicated on the display 5386 while the mask 5320b is moved relative to the projection lens 5320c by the mask stage unit 5350. By this configuration, the position of the mask 5320b can be precisely and positively determined in real time while visually checking the position.

[0232] The advantages of the invention will be listed below.

(1) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through plural patterns formed on a photo mask, the invented system includes a mechanism for uniformizing light for exposure in such a manner that the light intensity in a predetermined area on the photo mask distributes within a range of $\pm 11.2\%$ of the average light intensity in the area. By this configuration, a semiconductor thin film on a desired region to be patterned can be homogeneously modified. When the system is applied to LCDs and other imaging devices, damage of substrates due to variations in intensity of light source can be prevented to thereby inhibit deterioration of image quality.

(2) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through an exposure pattern formed on a photo mask, and the semiconductor thin film is formed on a substrate held on a substrate stage, the invented system includes a mechanism for sequentially scanning the semiconductor thin film with the patterned light by individually or concurrently driving the photo mask and the substrate stage. By this configuration, optional regions on the substrate can be sequentially modified with a high throughput. When the system is applied to LCDs and other imaging devices, damage of substrates due to variations in intensity of light source can be prevented to thereby inhibit deterioration of image quality. This system can also provide a crystallized silicon film having a trap state density less than 10^{12} cm^{-2} .

(3) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through an exposure pattern formed on a photo mask, the invented system includes a focusing mechanism for obtaining the focus the projected patterned light on the predetermined region of the semiconductor thin film when the semiconductor thin film is exposed to the projected patterned light. The above configuration can provide a semiconductor thin film forming system having a high reliability in modification processes and a satisfactory reproducibility.

(4) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask, the invented system includes a tilt correcting mechanism (or a leveling mechanism) for correcting the tilt of the projected patterned beam relative to the semiconductor thin film. The above configuration can provide a semiconductor thin film forming system having a high reliability in modification processes and a satisfactory reproducibility.

(5) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask, the invented system includes an alignment mechanism (or an alignment function) for aligning the exposure beam relative to a mark formed on a substrate, on which the semiconductor thin film is deposited. This configuration can achieve the exposure of a target region with an alignment accuracy of the order of micrometers or higher. When the system is applied to LCDs and other imaging devices) damage of substrates due to variations in intensity of light source can be prevented to thereby inhibit deterioration of image quality.

(6) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through a pattern formed on a photo mask, the invented system includes a mechanism (or a function) for holding a substrate on a stage, the semiconductor thin film being deposited on the substrate. The above configuration can provide a semiconductor thin film forming system having a high reliability in modification processes and a satisfactory reproducibility.

(7) In a semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask, the invented system includes a composing mechanism for composing a plurality of laser beams into the exposure beam. By this configuration, a semiconductor thin film can be homogeneously modified with good quality in target regions to be patterned, in addition, optional regions on the substrate can be sequentially modified with a high throughput.

(8) Preferably in the system just mentioned in (7), the plurality of laser beams is first and second laser beams, and the composing mechanism composes the first and second laser beams in such a manner that the second laser beam is applied onto the semiconductor thin film with a delay relative to the first laser beam. By this configuration, a semiconductor thin film can be homogeneously modified with good quality in target regions to be patterned. In addition, optional regions on the substrate can be sequentially modified with a high throughput.

(9) In a semiconductor thin film forming system having a process chamber, the process chamber serves to modify

a predetermined region of a semiconductor thin film by exposing the semiconductor thin film on a substrate to a projected exposure beam patterned through a pattern formed on a photo mask, the invented system includes a mechanism for moving the substrate from the process chamber to a different process chamber without exposing the substrate to the atmosphere (or the air). By this configuration, a semiconductor thin film can be transferred to a successive process without contamination by impurities and dusts, while the semiconductor thin film has a chemically active surface of an equivalent quality to that of a single crystal semiconductor thin film. Thus, manufacture costs for the semiconductor production system can be reduced by eliminating a cleaning process, and the throughput can be increased by reducing evacuation periods or cleaning periods in individual vacuum systems.

(10) In the system just mentioned above (9), preferably the different process chamber is an insulating film forming chamber for the formation of an insulating film on the substrate. By this configuration, a semiconductor thin film can be transferred to a gate insulating film forming process without contamination by impurities and dusts, while the semiconductor thin film has a chemically active surface of an equivalent quality to that of a single crystal semiconductor thin film. Thus, a semiconductor element having a satisfactory semiconductor-insulator interface can be manufactured by a process at low temperatures of 600°C or less. Such a good semiconductor-insulator interface is conventionally formed, for example, in an interface between silicon and silicon oxide formed by heating. This system can provide a crystallized silicon film having a trap state density less than 10^{12} cm^{-2} and can provide a silicon-insulating film interface exhibiting a low interface state density.

(11) In the system indicated in (9), the different process chamber is preferably a semiconductor film forming chamber for the formation of a semiconductor thin film on the substrate. By this configuration, a semiconductor film can be transferred to a light irradiation process without contamination by impurities and dusts, which semiconductor film is necessary for producing a semiconductor thin film having a chemically active surface of an equivalent quality to that of a single crystal semiconductor thin film. Thus, manufacture costs for the semiconductor deposition system can be reduced by eliminating a cleaning process, and the throughput can be increased by reducing evacuation times or cleaning times in individual vacuum systems.

(12) In the system indicated in (9), the invention provides a system where the different process chamber is a heat treatment chamber for treating the substrate with heat.

(13) Preferably, the different process chamber in the system indicated in (9) is a plasma treatment chamber for subjecting the substrate to a plasma treatment by treating the substrate with plasma. By this configuration, a semiconductor thin film can be transferred to a successive process without contamination by impurities and dust, while the semiconductor thin film has a chemically active surface of an equivalent quality to that of a single crystal semiconductor thin film. Thus, manufacture costs for the semiconductor deposition system can be reduced by eliminating a cleaning process, and the throughput can be increased by reducing evacuation times or cleaning times in individual vacuum systems.

(14) In the system indicated in (9), the process chamber is preferably a laser treatment chamber for modifying the predetermined region of the semiconductor thin film by exposing the semiconductor thin film on the substrate to a projected laser beam patterned through the pattern formed on the photo mask, the different process chamber being preferably another laser treatment chamber. By this configuration, a semiconductor thin film can be transferred to a successive process without contamination by impurities and dusts, while the semiconductor thin film has a chemically active surface of an equivalent quality to that of a single crystal semiconductor thin film. Thus, manufacture costs for the semiconductor production system can be reduced by eliminating a cleaning process, and the throughput can be increased by reducing evacuation times or cleaning times in individual vacuum systems.

(15) In a preferred embodiment, the different process chamber in the system indicated in any one of (9) to (13) includes a plasma generating source for generating plasma in a predetermined area of the different process chamber, and the substrate is placed in an area in the different process chamber other than the predetermined area. This configuration can inhibit plasma-induced damage of the semiconductor thin film, which semiconductor thin film is transferred to a successive process without contamination by impurities and dust and has a chemically active surface of an equivalent good quality to that of a single crystal semiconductor thin film.

(16) In the system indicated in (13), preferably, the different process chamber includes a plasma source for generating plasma in a predetermined area of the different process chamber, and the different process chamber serves to subject the substrate to the plasma treatment by reacting an excited gas with a different gas, the excited gas is excited by the plasma generated in the predetermined area, and the different gas is introduced into the different process chamber without passing through the predetermined area. Thus, a semiconductor element having a satisfactory semiconductor-insulator interface can be manufactured by a process at low temperatures of 400°C or less. Such a good semiconductor-insulator interface is conventionally formed, for example, in an interface between silicon and silicon oxide formed by heating.

[0233] Other embodiments and variations will be obvious to those skilled in the art, and this invention is not to be limited to the specific matters stated above.

Claims

1. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through plural patterns formed on a photo mask,

said system comprising a mechanism for uniformizing the light to be applied in such a manner that the intensity of said light in a predetermined area on the photo mask distributes within a range of $\pm 11.2\%$ of the average intensity of said light in said area.

2. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through an exposure pattern formed on a photo mask, said semiconductor thin film being formed on a substrate held on a substrate stage,

said system comprising a mechanism for sequentially scanning the semiconductor thin film with the patterned light by individually or concurrently driving the photo mask and the substrate stage.

3. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to projected light patterned through an exposure pattern formed on a photo mask,

said system comprising a focusing mechanism for obtaining the focus of the patterned light on said predetermined region of the semiconductor thin film when the semiconductor thin film is exposed to the projected patterned light.

4. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask,

said system comprising a tilt correcting mechanism for correcting the tilt of said patterned exposure beam relative to the semiconductor thin film.

5. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask,

said system comprising an alignment mechanism for aligning the patterned exposure beam with reference to a mark formed on a substrate, on which said semiconductor thin film is deposited.

6. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected light patterned through a pattern formed on a photo mask,

said system comprising a mechanism for holding a substrate on a stage, said semiconductor thin film being deposited on said substrate.

7. A semiconductor thin film forming system for modifying a predetermined region of a semiconductor thin film by exposing the semiconductor thin film to a projected exposure beam patterned through a pattern formed on a photo mask,

said system comprising a composing mechanism for composing a plurality of laser beams into said exposure beam.

8. A system according to claim 7, wherein said plurality of laser beams are first and second laser beams, said composing mechanism composing said first and second laser beams in such a manner that said second laser beam is applied onto the semiconductor thin film with a delay relative to said first laser beam.

9. A semiconductor thin film forming system having a process chamber, said process chamber serving to modify a predetermined region of a semiconductor thin film by exposing the semiconductor thin film on a substrate to projected light patterned through a pattern formed on a photo mask,

said system comprising a mechanism for moving the substrate from said process chamber to a different process chamber without exposing the substrate to the atmosphere.

5 10. A system according to claim 9, wherein said different process chamber is an insulating film forming chamber for the formation of an insulating film on the substrate.

11. A system according to claim 9, wherein said different process chamber is a semiconductor film forming chamber for the formation of a semiconductor film on the substrate.

10 12. A system according to claim 9, wherein said different process chamber is a heat treatment chamber for treating the substrate with heat.

13. A system according to claim 9, wherein said different process chamber is a plasma treatment chamber for subjecting the substrate to a plasma treatment by treating the substrate with plasma.

15 14. A system according to claim 9, wherein said process chamber is a laser treatment chamber for modifying the predetermined region of the semiconductor thin film by exposing the semiconductor thin film on the substrate to a projected laser beam patterned through the pattern formed on the photo mask, said different process chamber being another laser treatment chamber.

20 15. A system according to any of claims 9-13, wherein said different process chamber comprises a plasma generating source for generating plasma in a predetermined area of said different process chamber, said substrate being placed in an area in said different process chamber other than said predetermined area.

25 16. A system according to claim 13, wherein said different process chamber comprises a plasma generating source for generating plasma in a predetermined area of said different process chamber, said different process chamber serving to subject said substrate to said plasma treatment by reacting an excited gas with a different gas, said excited gas being excited by the plasma generated in said predetermined area, said different gas being introduced into said different process chamber without passing through said predetermined area.

30

35

40

45

50

55

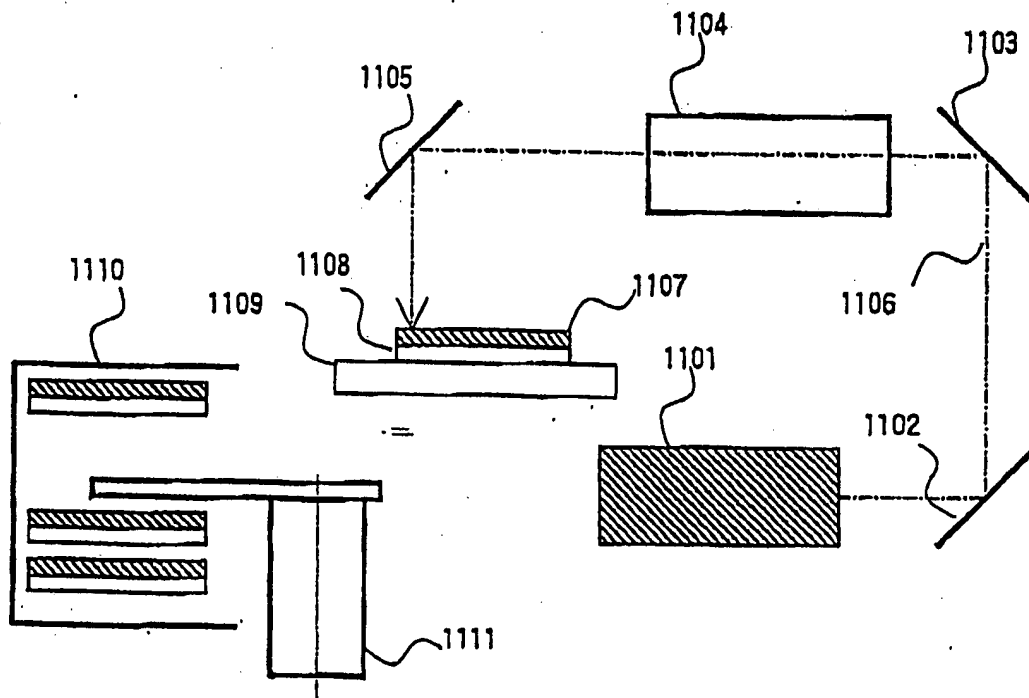


FIG. 1 PRIOR ART

FIG.2A
PRIOR ART

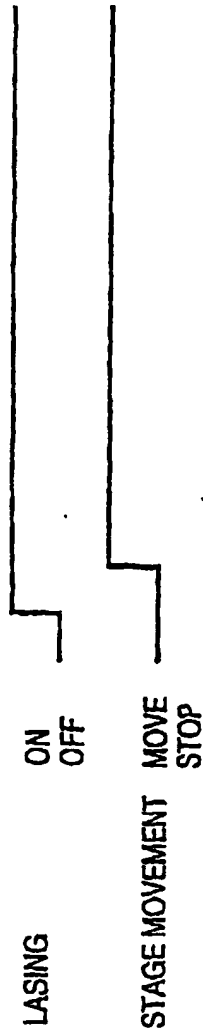


FIG.2B
PRIOR ART

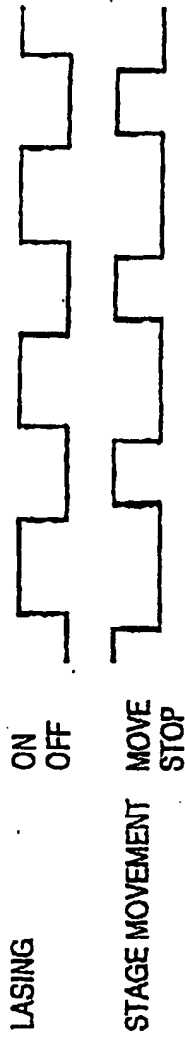


FIG.2C
PRIOR ART

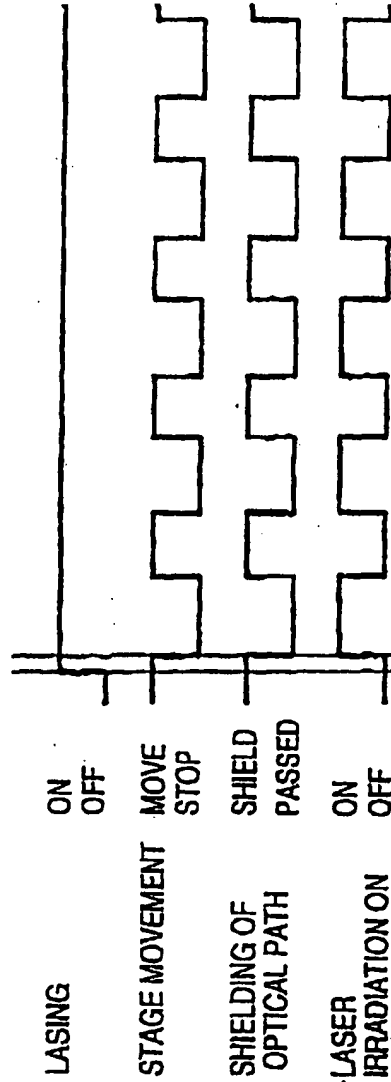
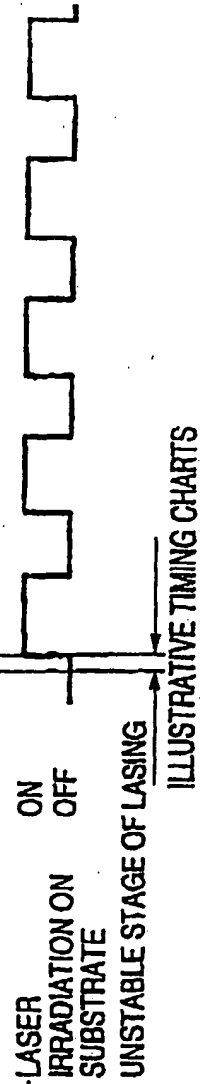


FIG.2D
PRIOR ART



ILLUSTRATIVE TIMING CHARTS

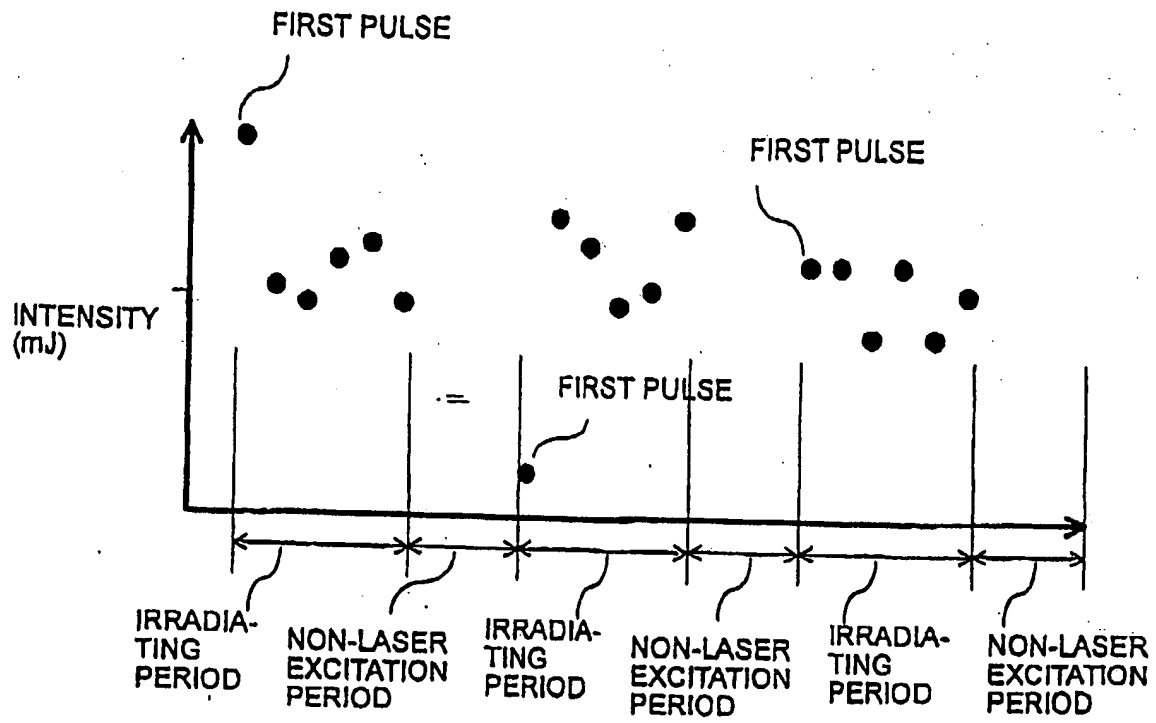


FIG. 3

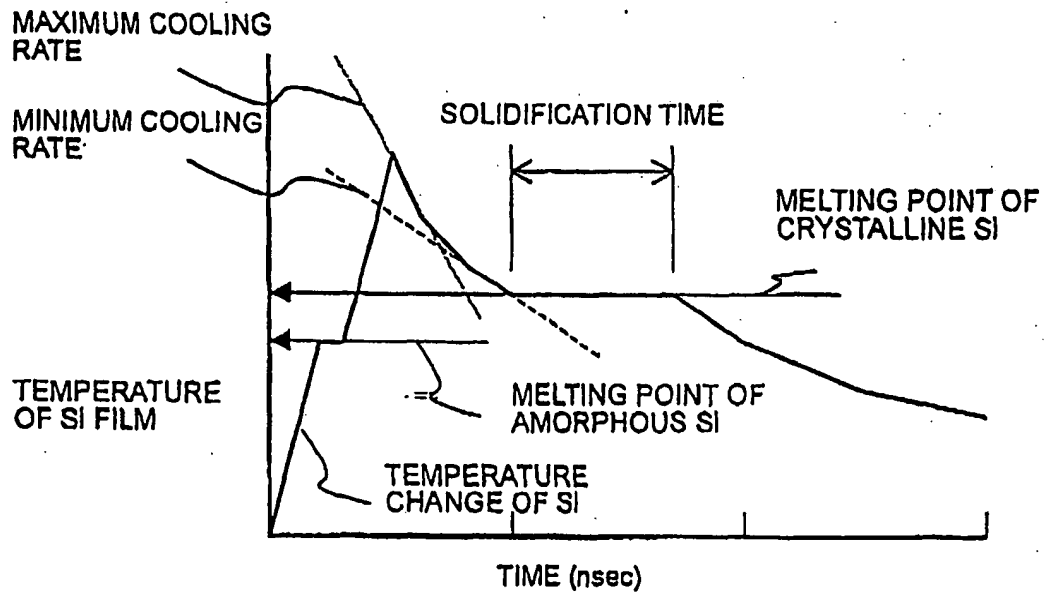


FIG. 4

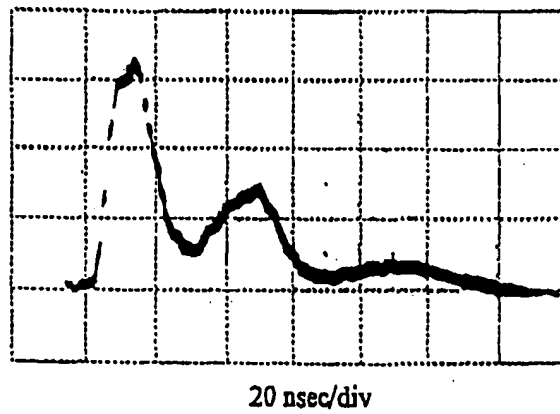


FIG. 5

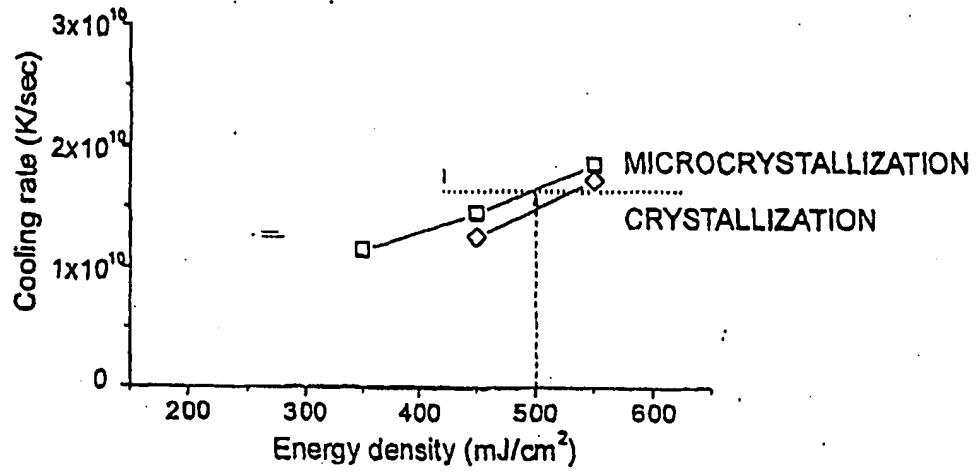


FIG. 6

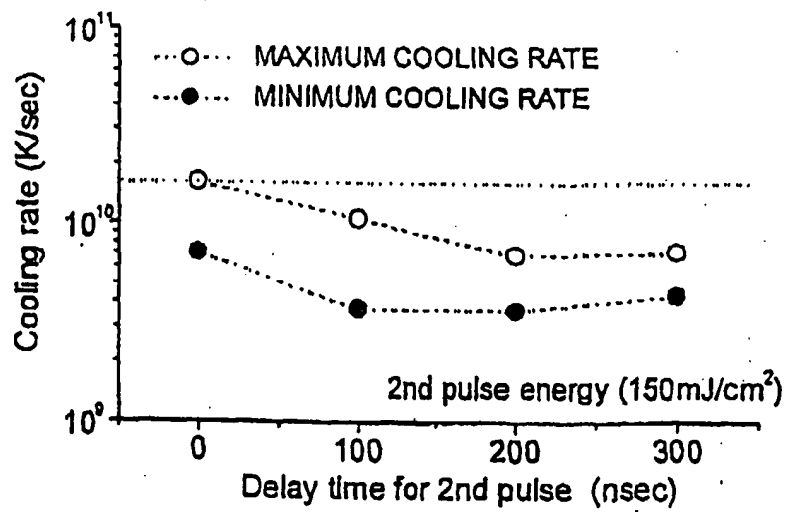
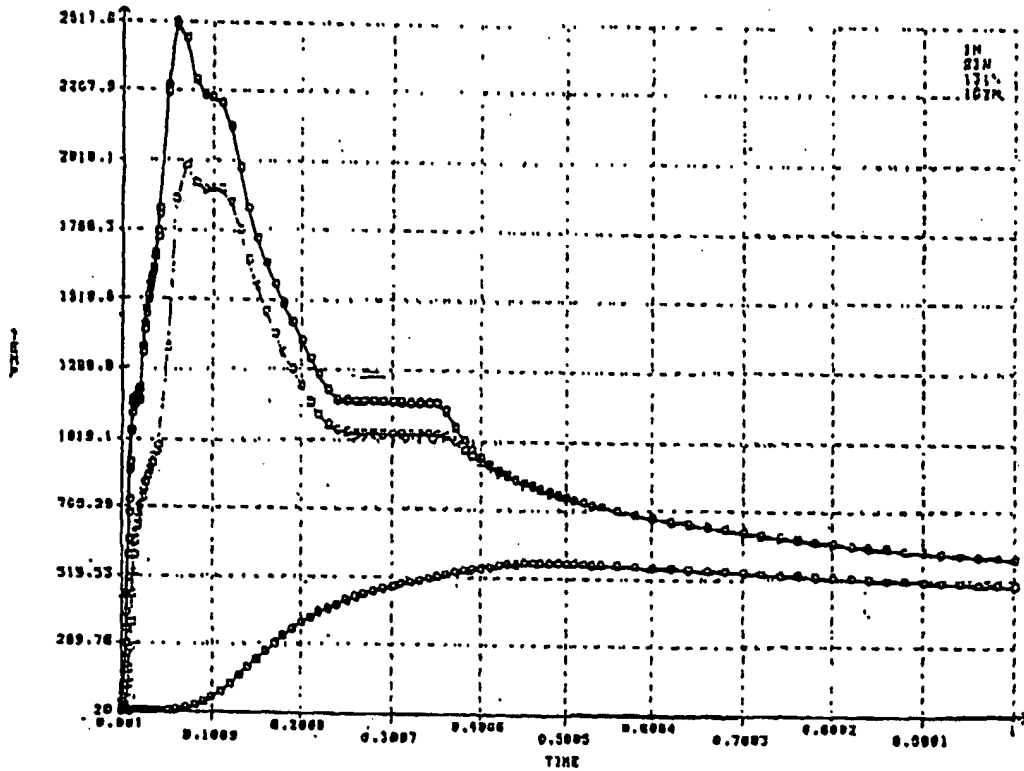
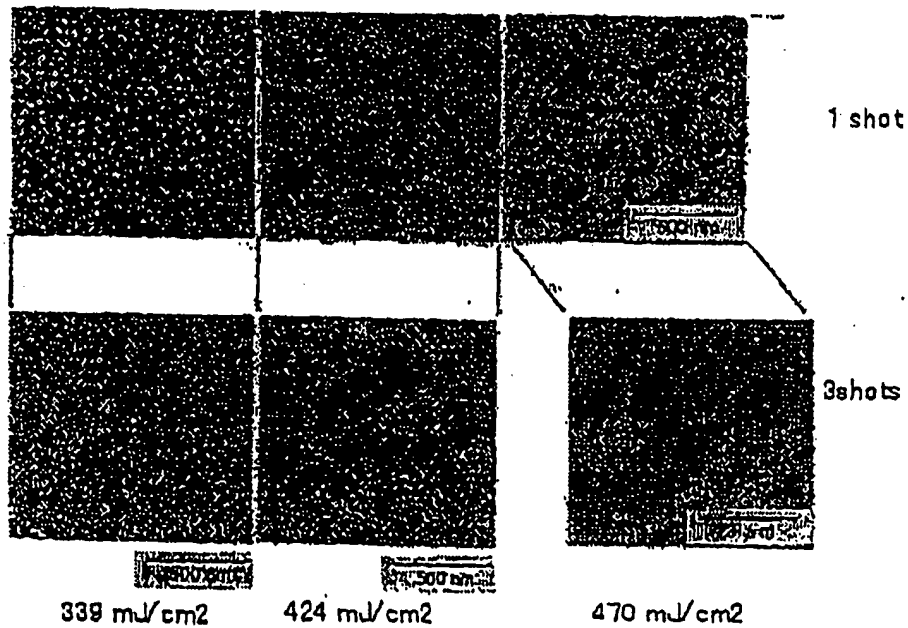


FIG. 9



TEMPERATURE OF SILICON THIN FILM 75nm THICK ON A SiO_2 SUBSTRATE IRRADIATED AT AN INTENSITY OF $450\text{mJ}/\text{cm}^2$ BY XeCL LASER (WAVELENGTH: 308nm)

FIG. 7



ELECTRON MICROSCOPIC PHOTOGRAPHS OF LASER-INDUCED CRYSTALLIZED FILMS AFTER ZERO-ETCHING RELATIVE TO IRRADIATION INTENSITY AND NUMBER OF IRRADIATION TIME

FIG. 8

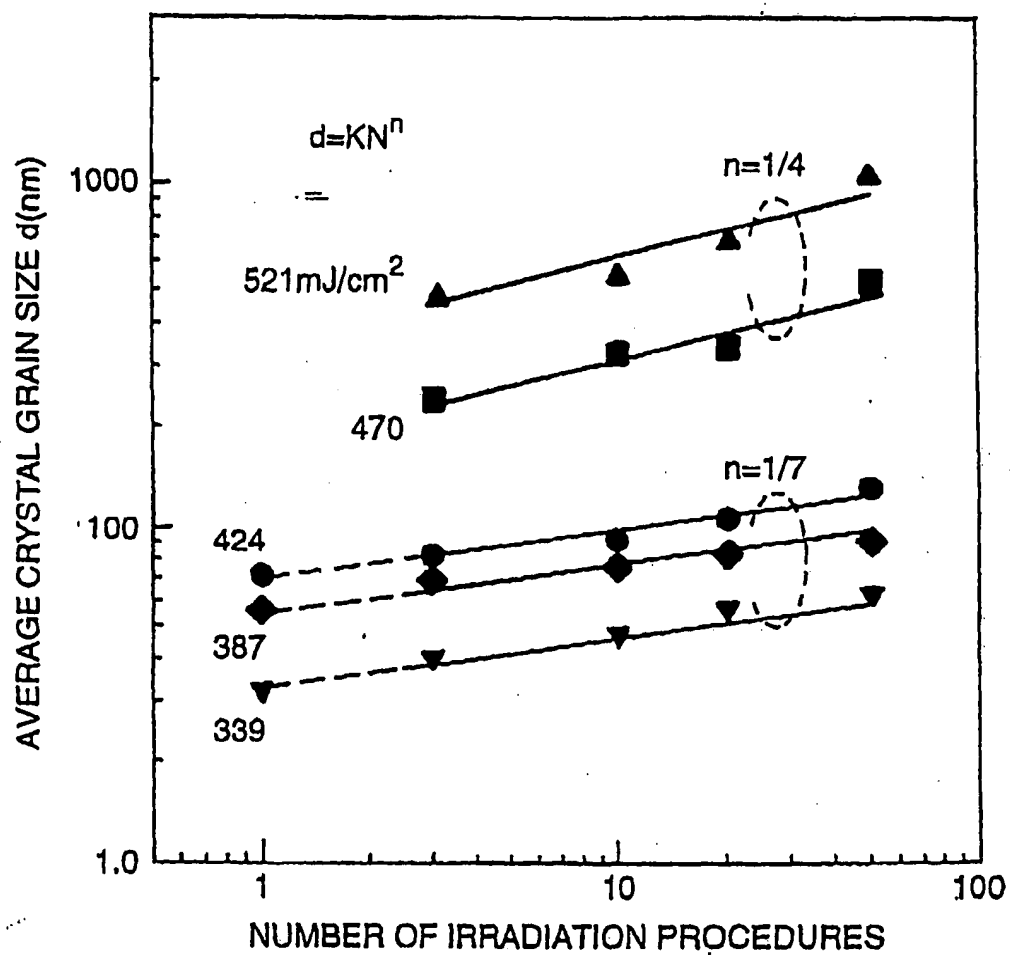


FIG.10

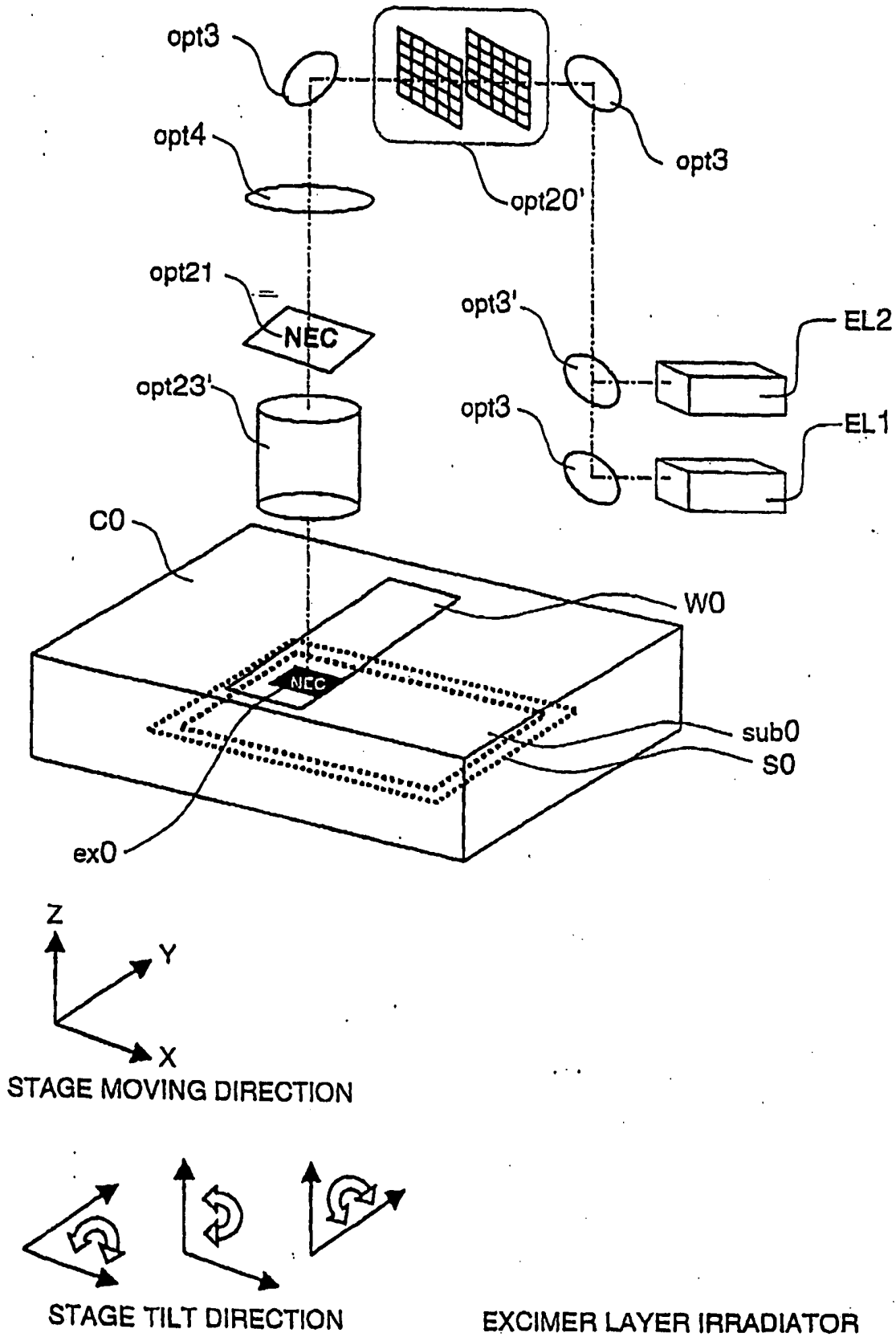
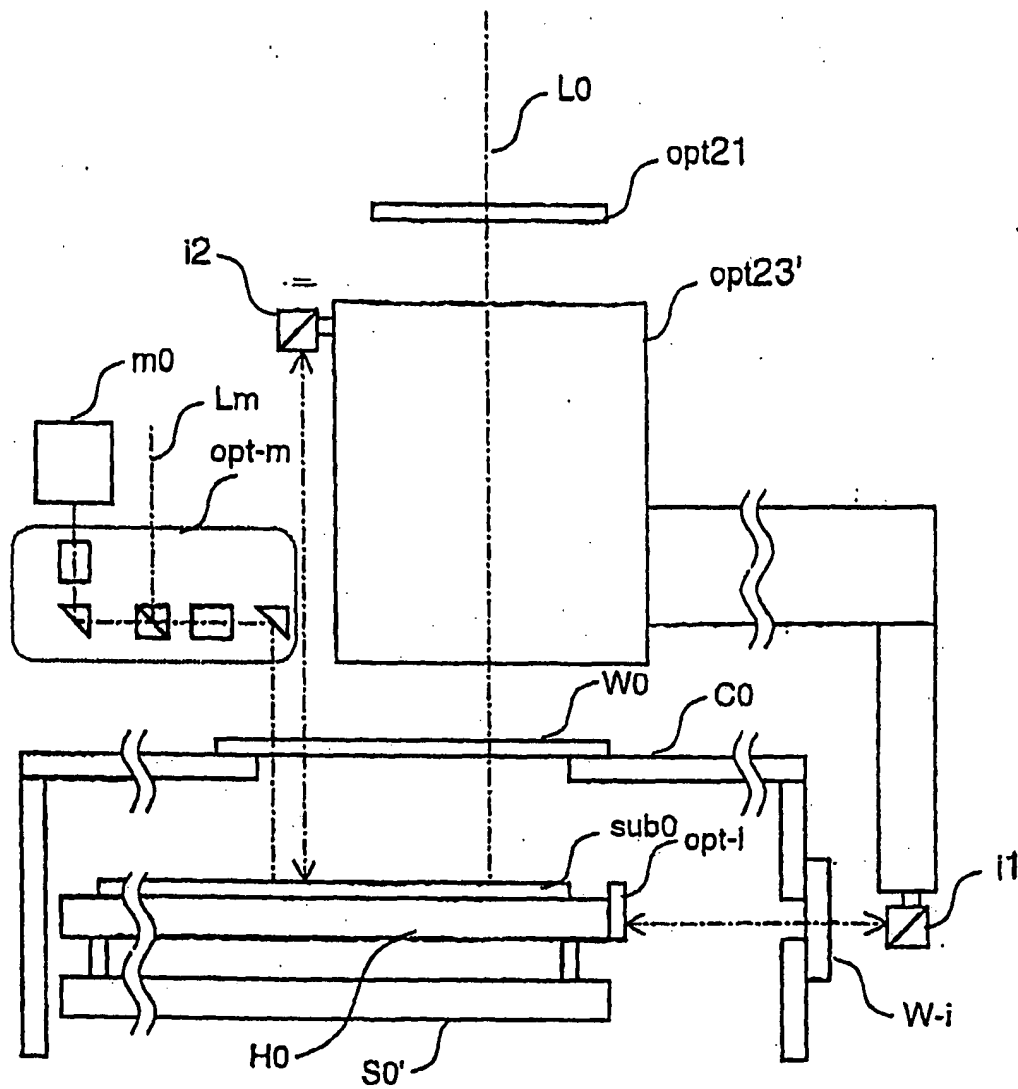


FIG.11



ALIGNMENT MECHANISM

FIG.12

FIG.13A
MASK
PATTERN

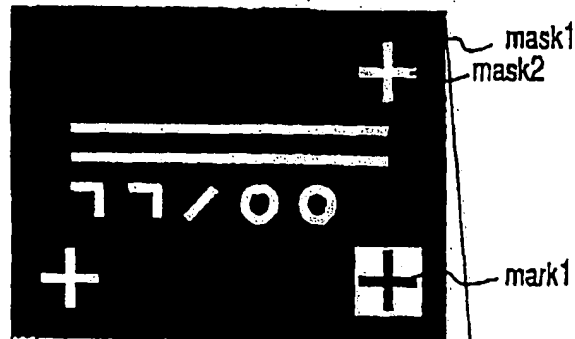
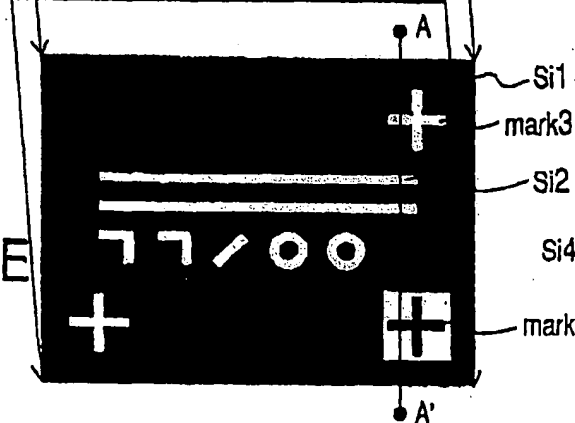


FIG.13B
EXPOSURE
PATTERN



A-A' CROSS SECTION

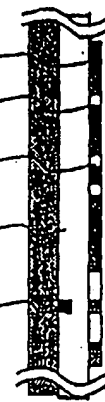


FIG.13C

FIG.13D
ETCHING
PATTERN

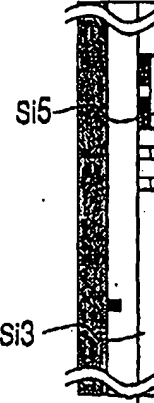
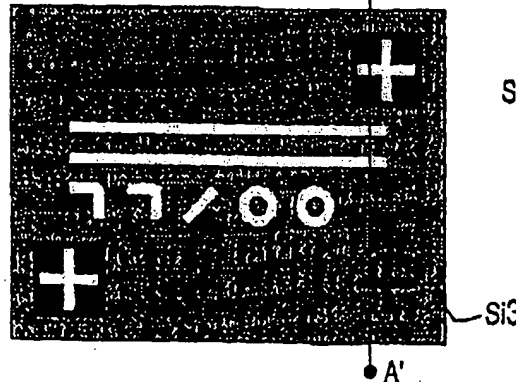


FIG.13E

PATTERN TRANSFER AND ALIGNMENT IN
EXCIMER LASER ANNEALING

ILLUSTRATIVE CONTROL PROCEDURE (1)

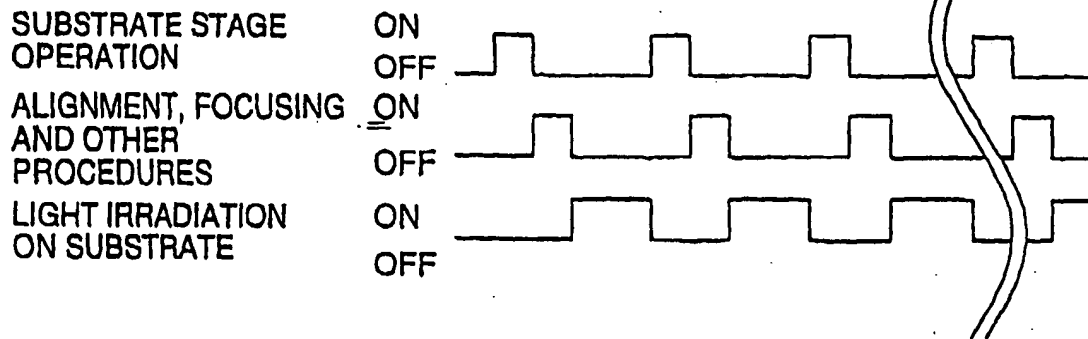


FIG.14A

ILLUSTRATIVE CONTROL PROCEDURE (2)

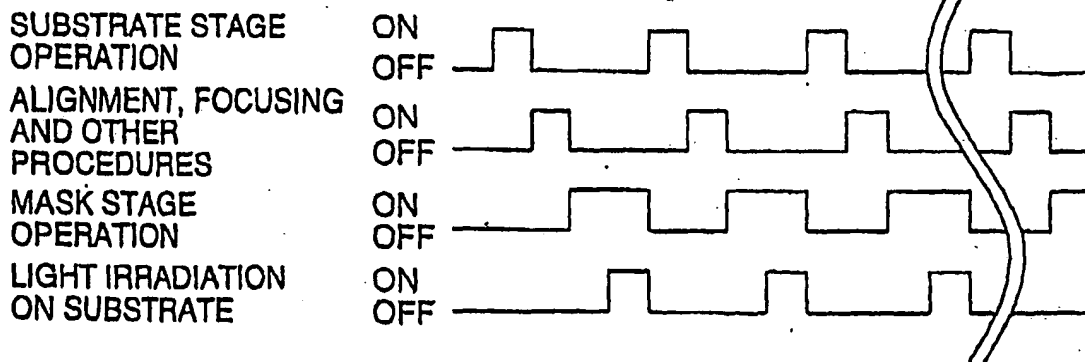
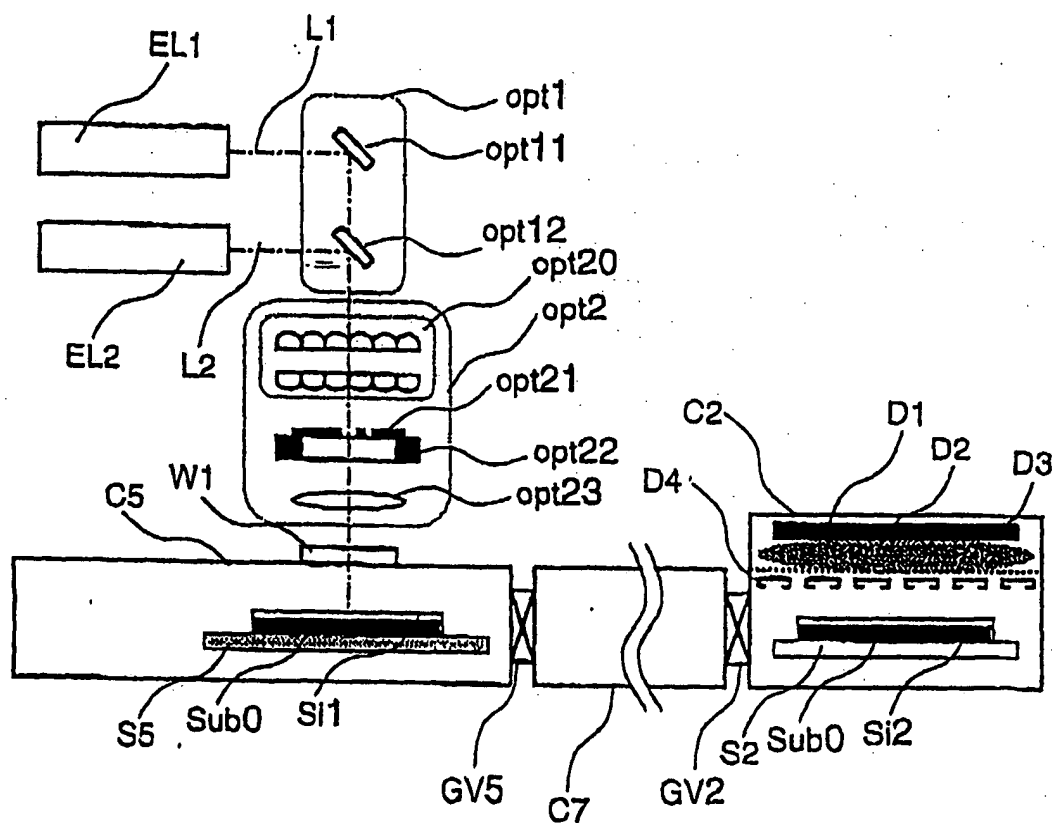


FIG.14B



PLASMA-ENHANCED CVD CHAMBER-SUBSTRATE TRANSFER
CHAMBER-LASER IRRADIATING CHAMBER

FIG.15

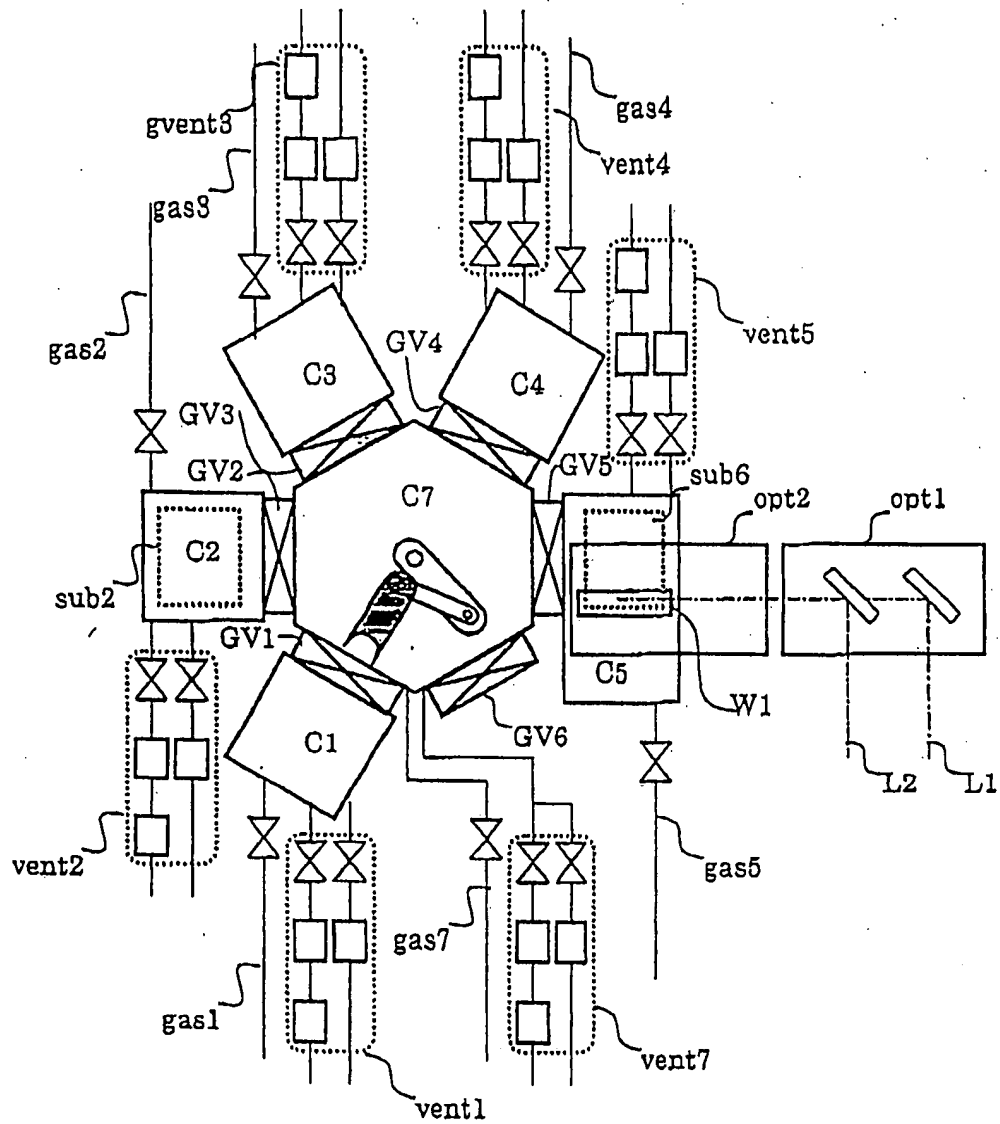


FIG. 16

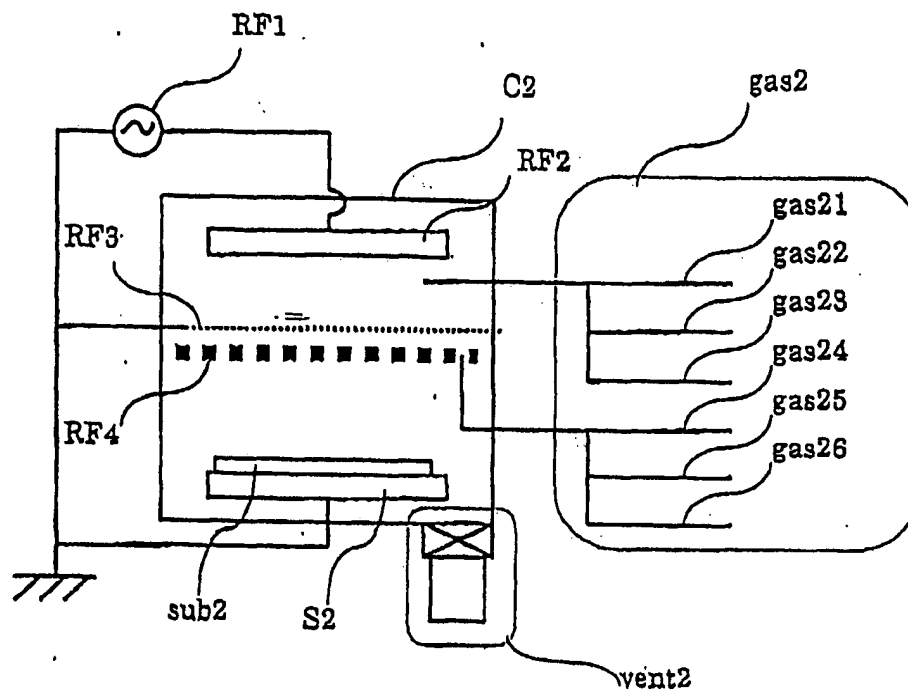


FIG. 17

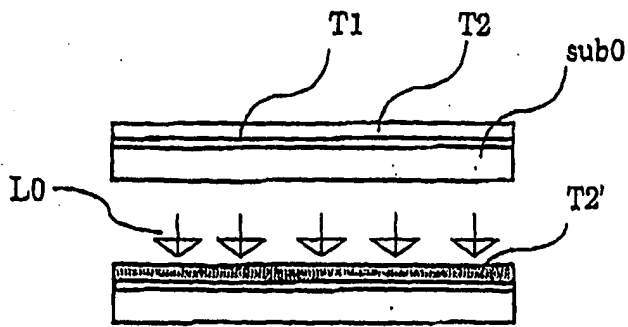


FIG. 18A

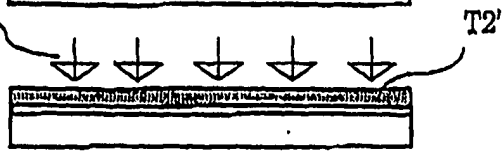


FIG. 18B

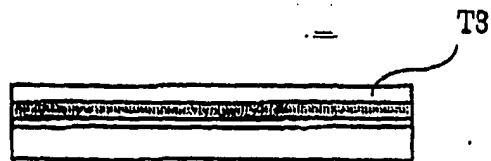


FIG. 18C

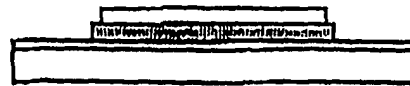


FIG. 18D

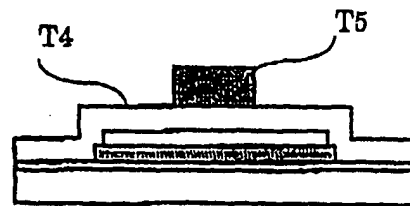


FIG. 18E

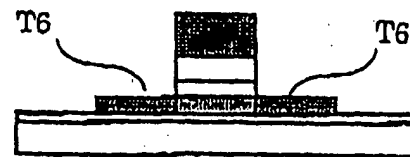


FIG. 18F1

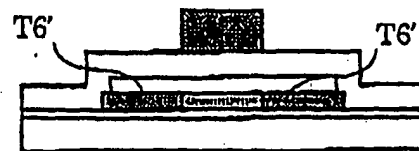


FIG. 18F2

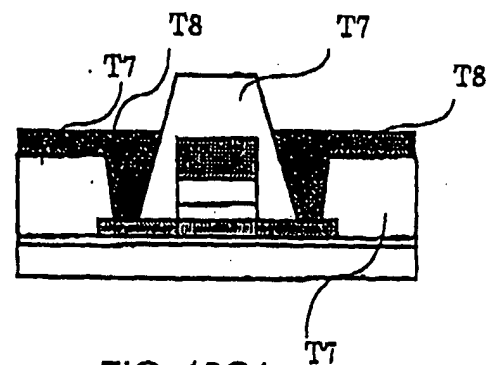


FIG. 18G1

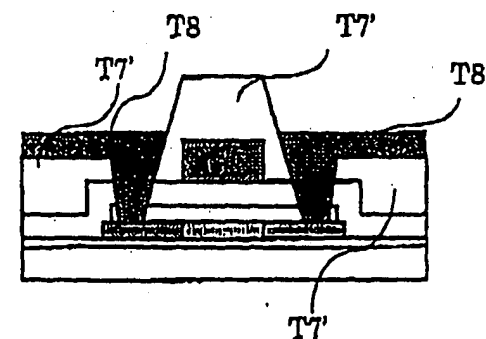


FIG. 18G2

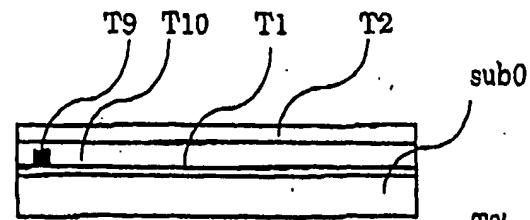


FIG. 19A

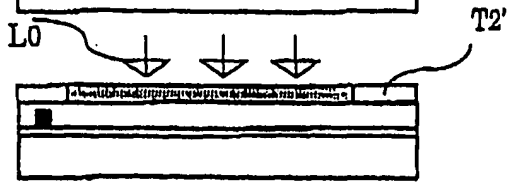


FIG. 19B

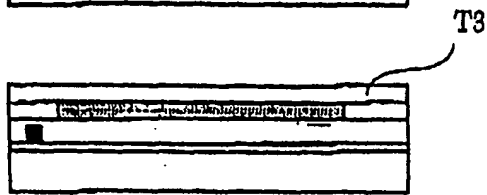


FIG. 19C

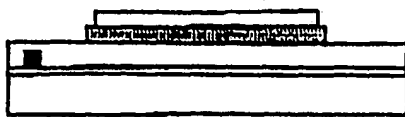


FIG. 19D

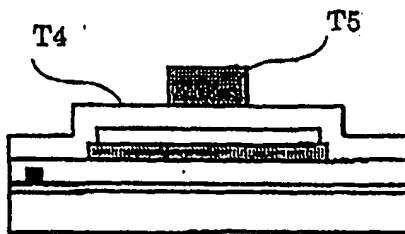


FIG. 19E

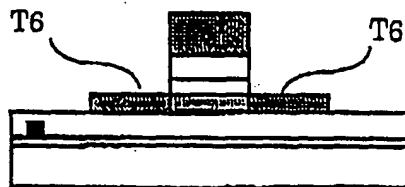


FIG. 19F1

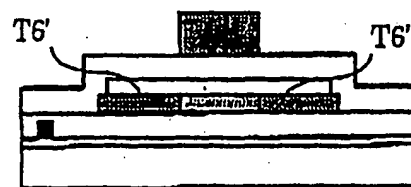


FIG. 19F2

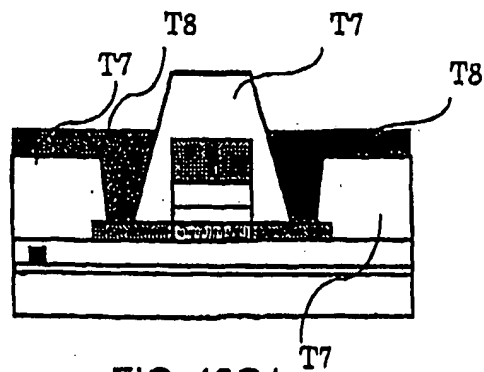


FIG. 19G1

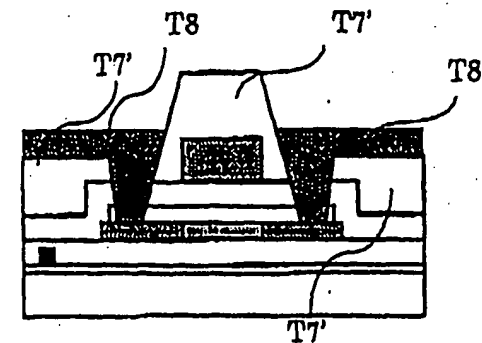


FIG. 19G2

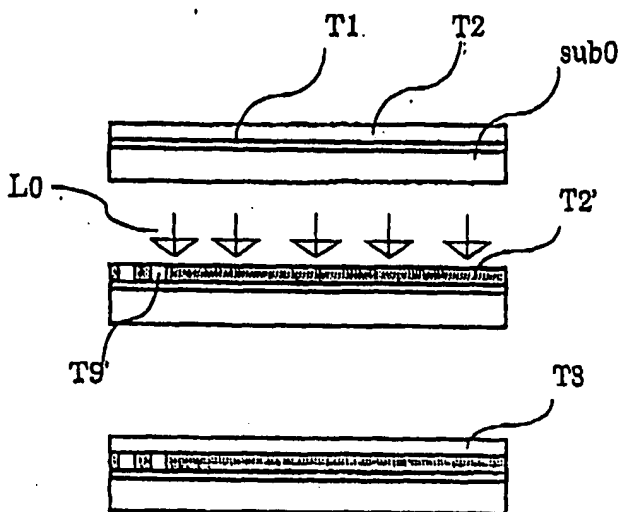


FIG. 20A

FIG. 20B

FIG. 20C

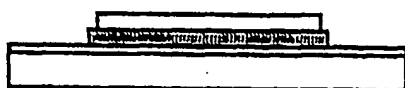


FIG. 20D

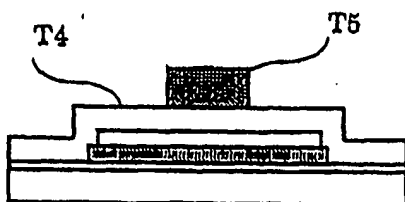


FIG. 20E

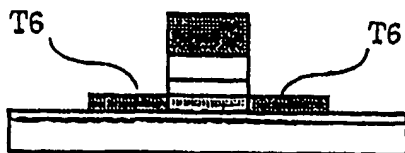


FIG. 20G1

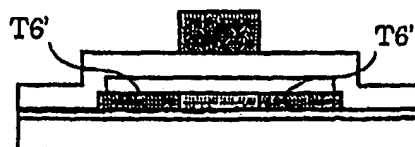


FIG. 20G2

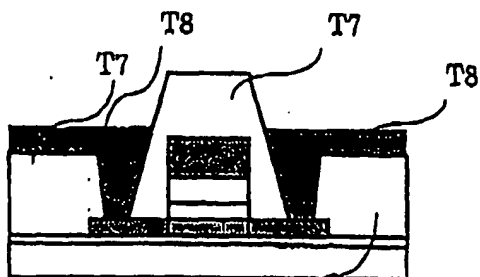


FIG. 20F1

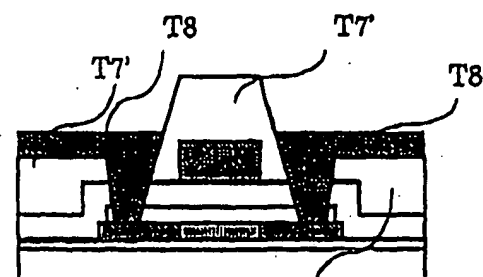


FIG. 20F2

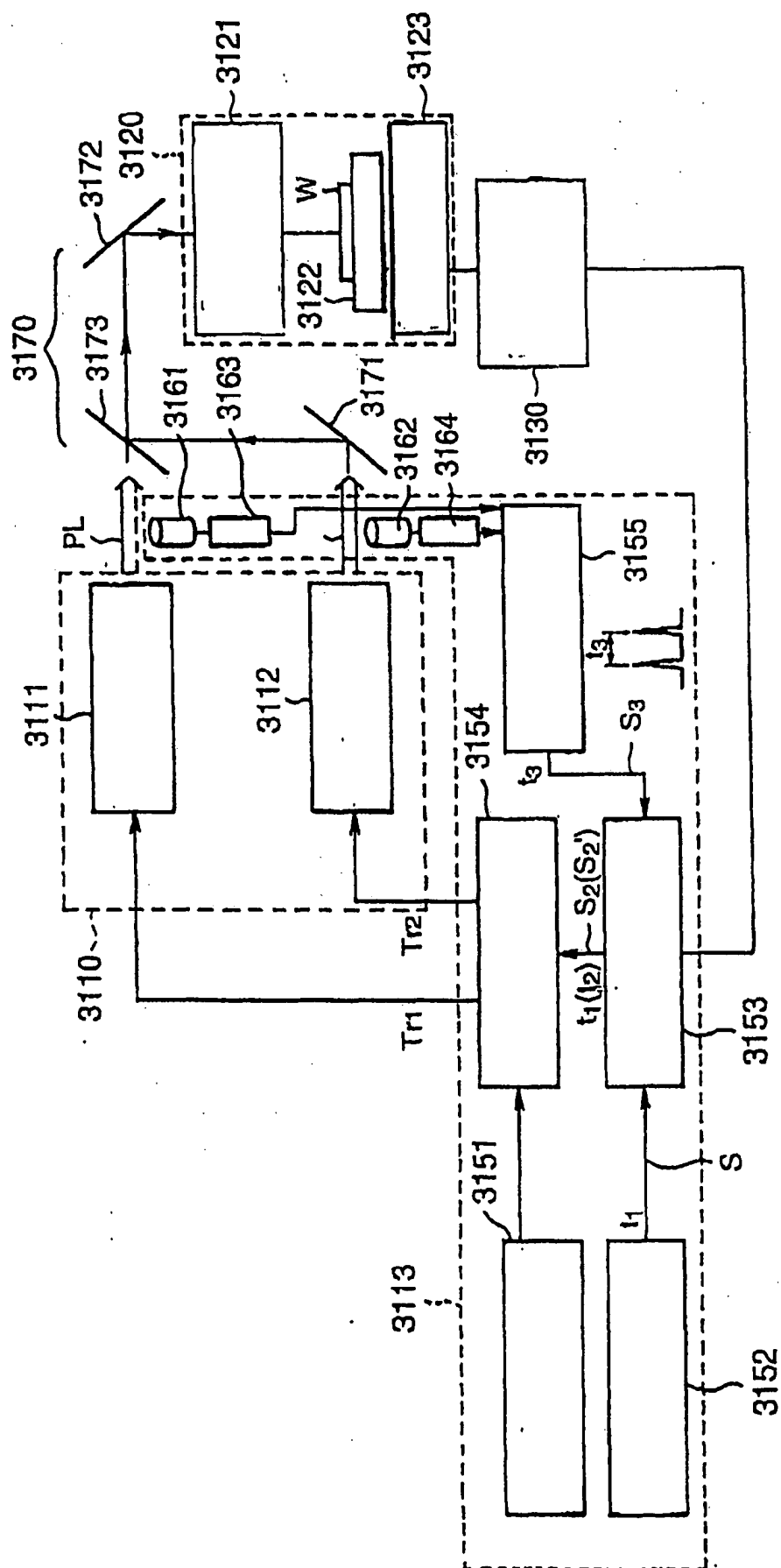


FIG. 21

FIG. 22A

FIRST LASING TRIGGER

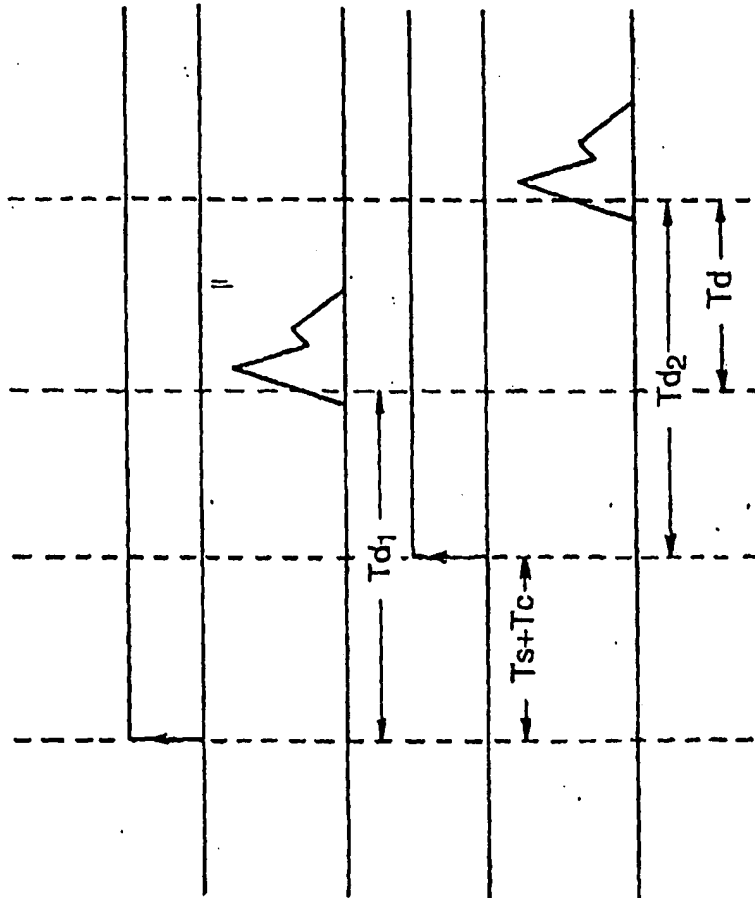


FIG. 22B

FIRST LASING PULSE



FIG. 22C

TRIGGER DELAY CIRCUIT
OUTPUT / SECOND
LASING TRIGGER

$T_s + T_c$

FIG. 22D

SECOND LASING PULSE



T_{d2}

T_d

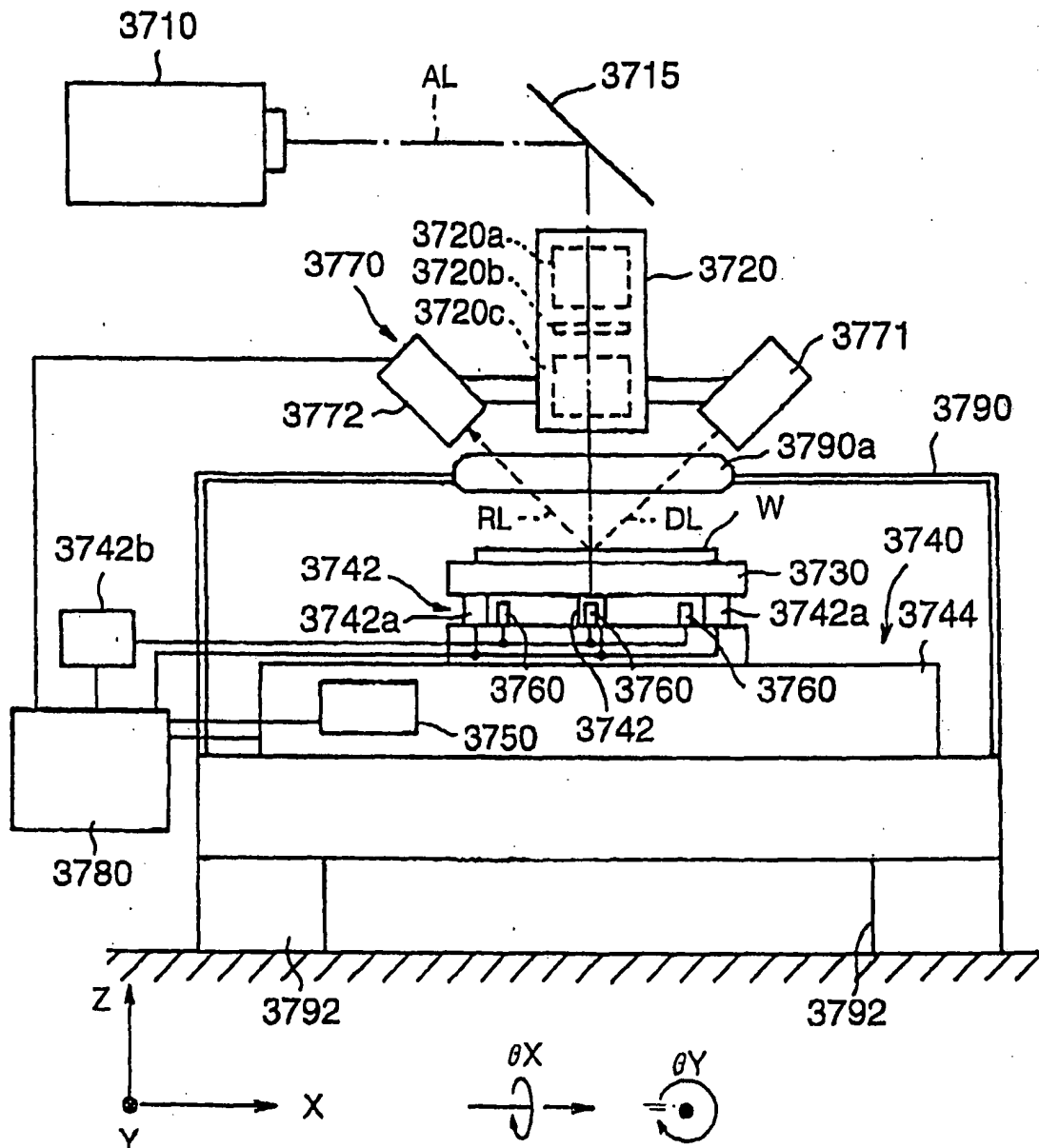


FIG.23

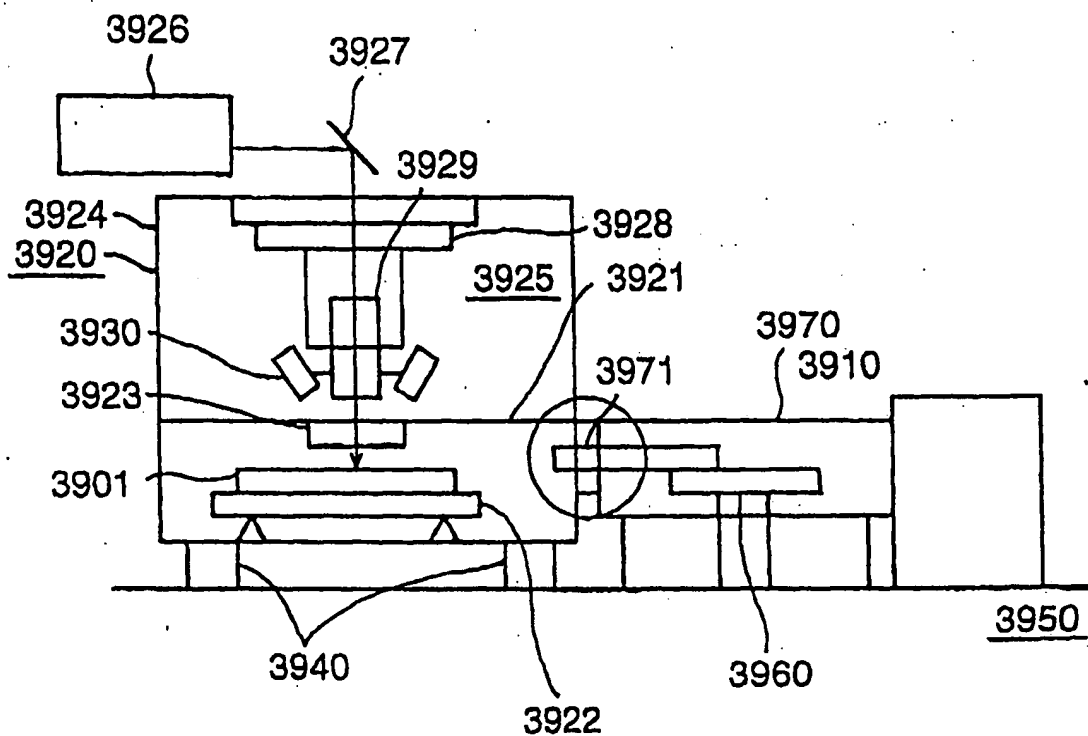


FIG. 24

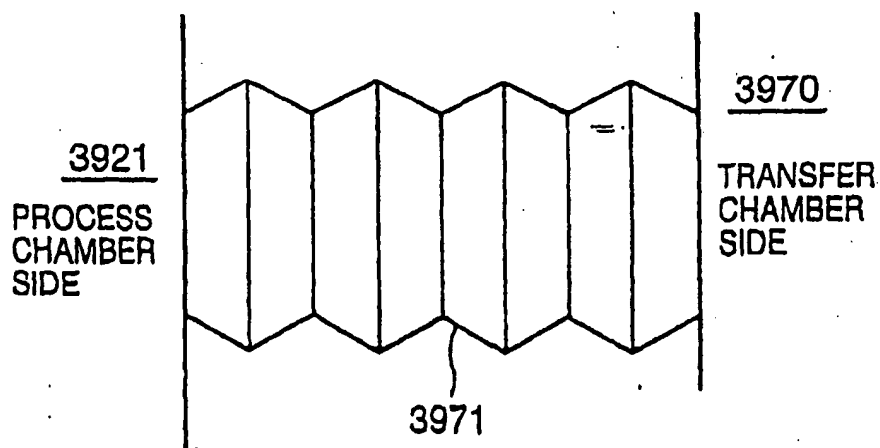


FIG. 25

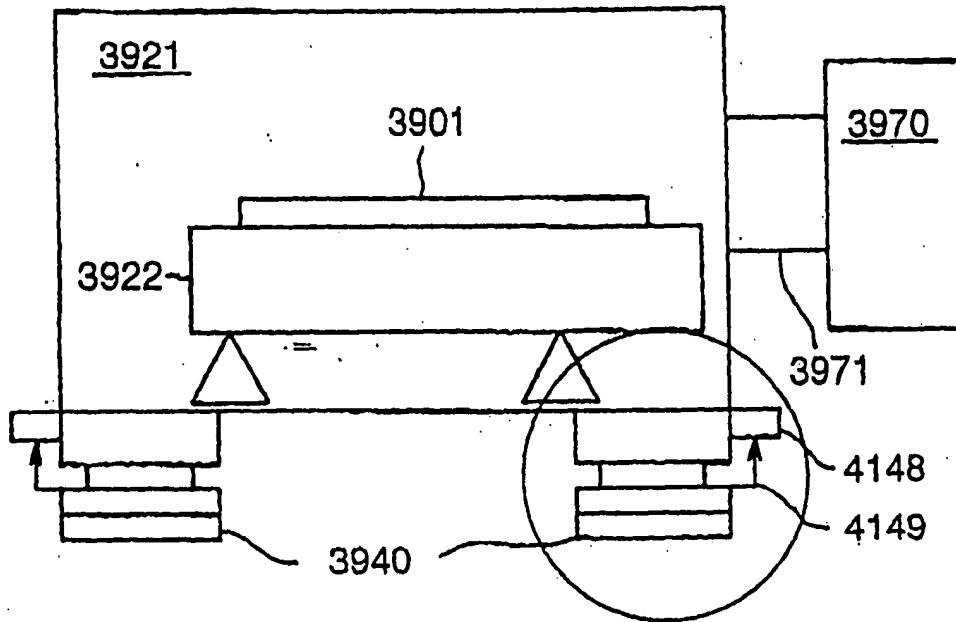


FIG. 26

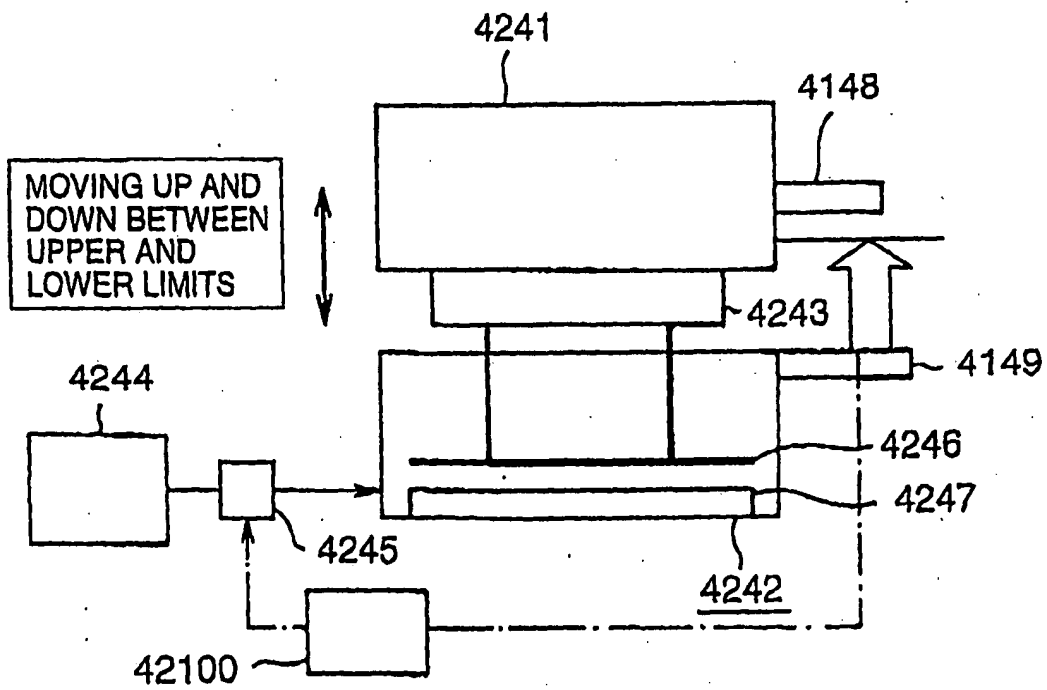


FIG. 27

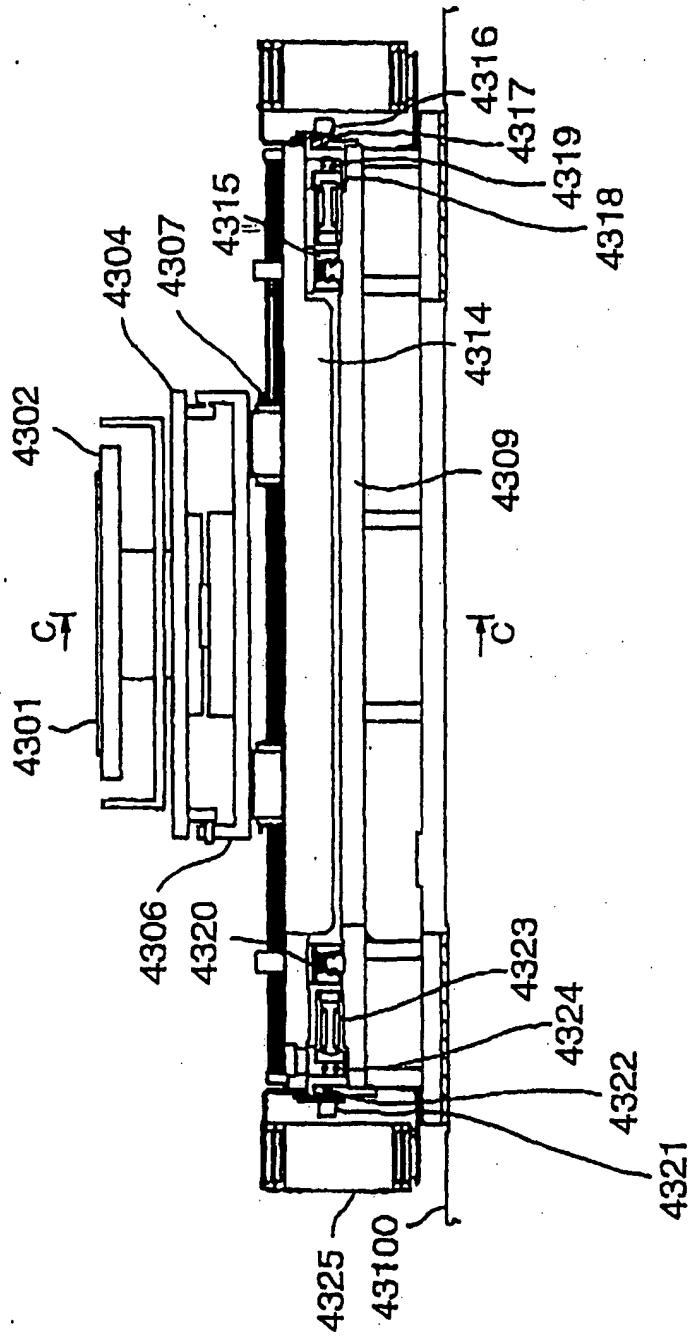


FIG.28

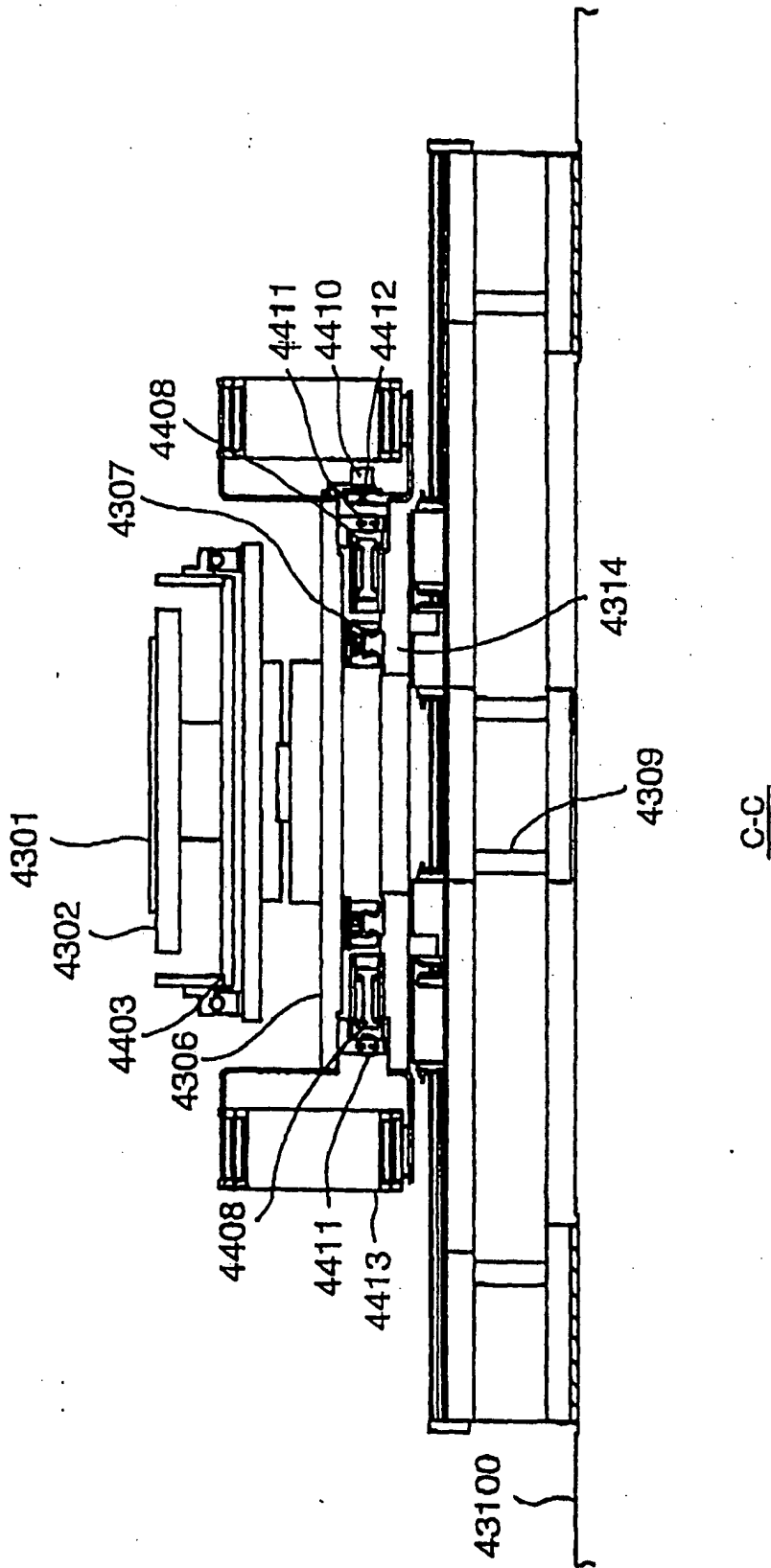


FIG. 29

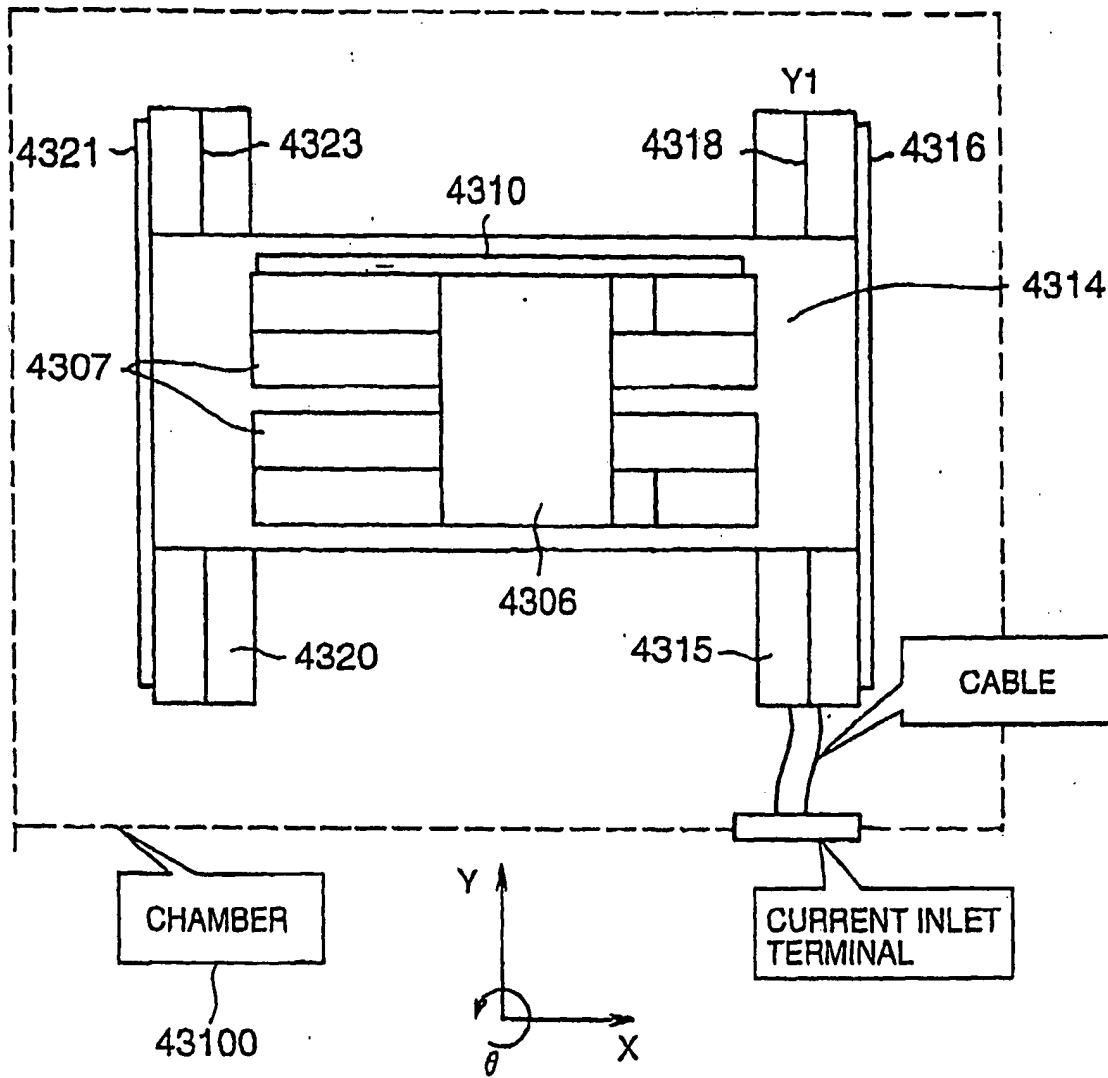


FIG.30

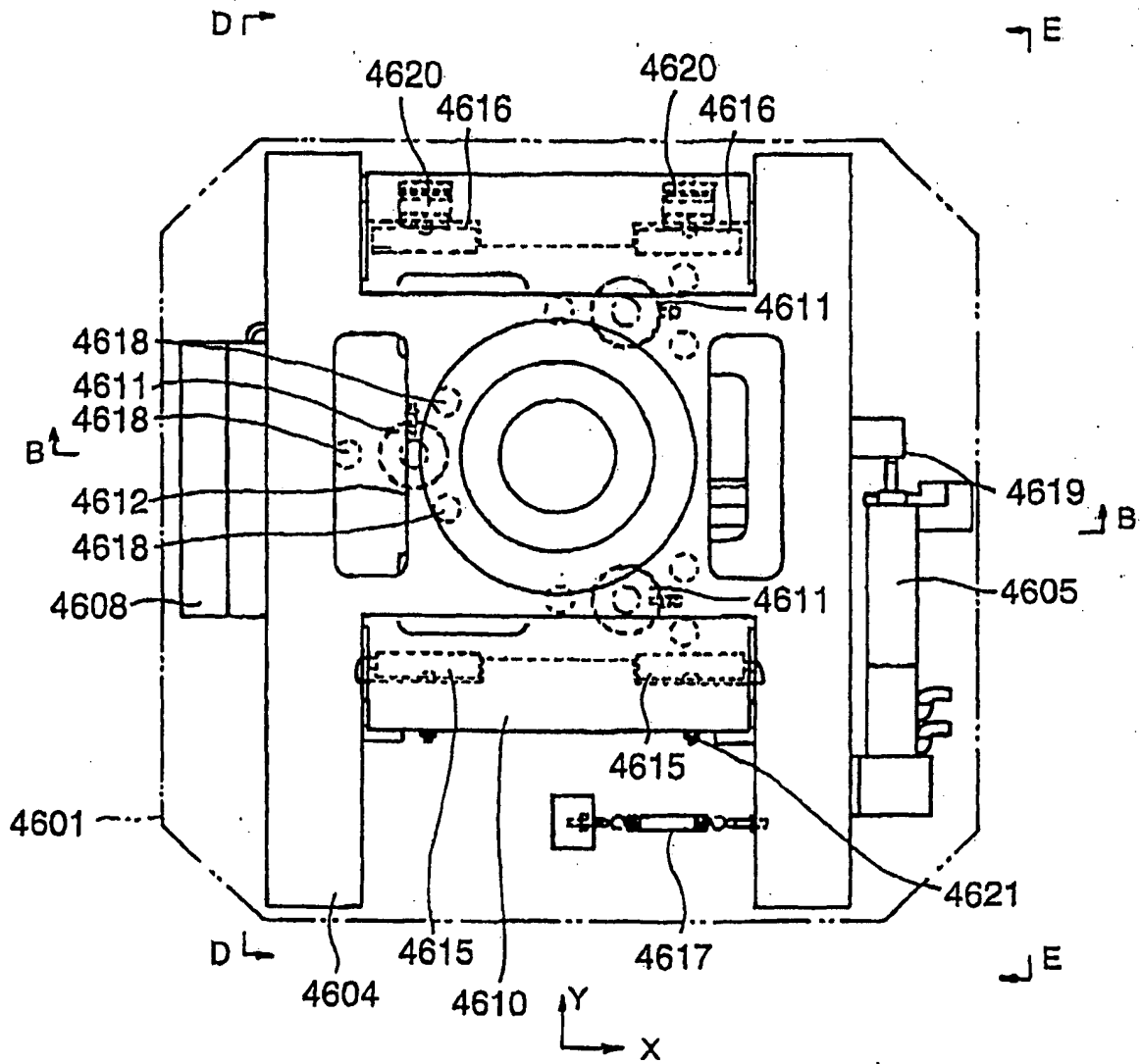


FIG.31

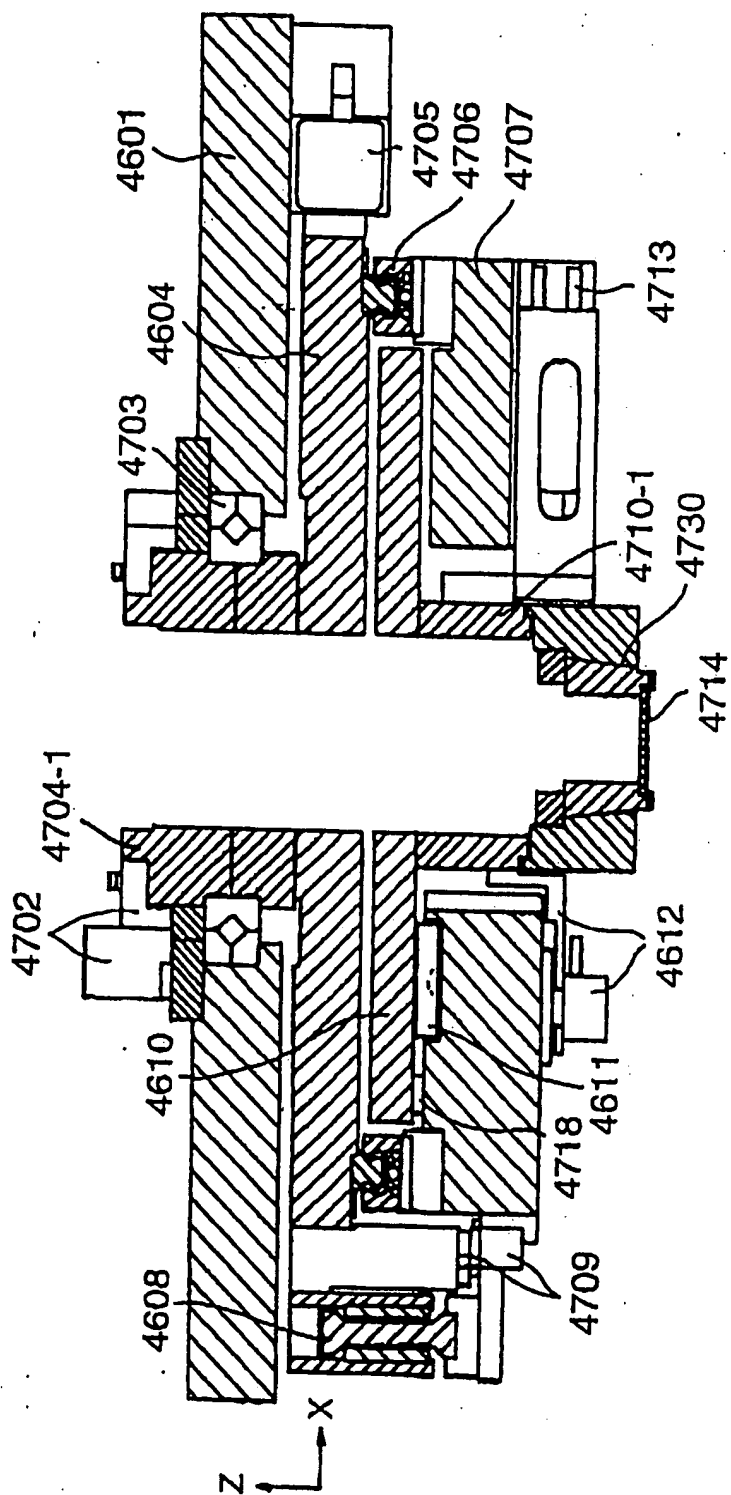


FIG.32

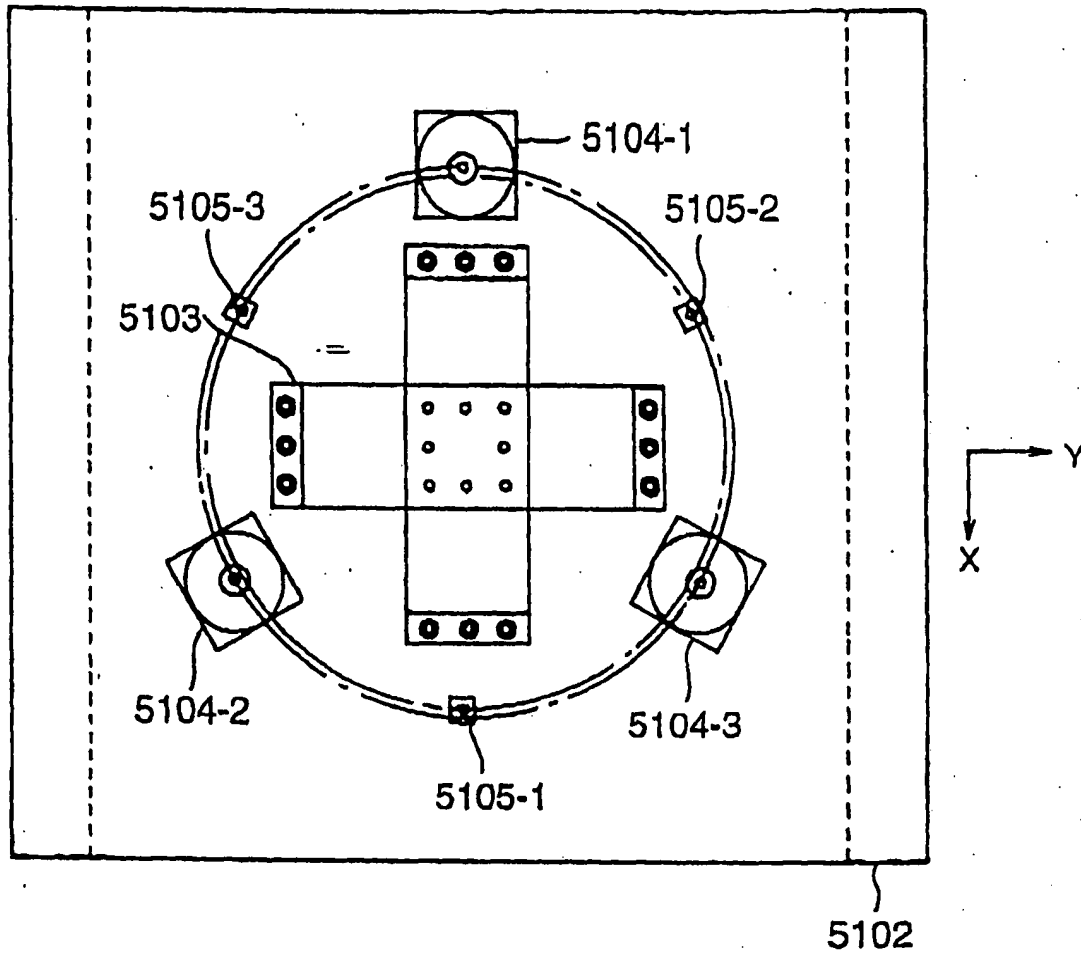


FIG. 33

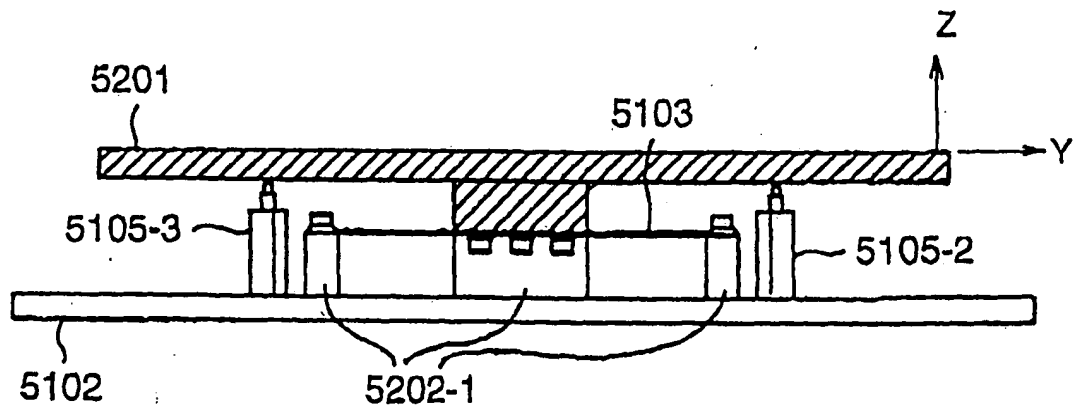


FIG. 34

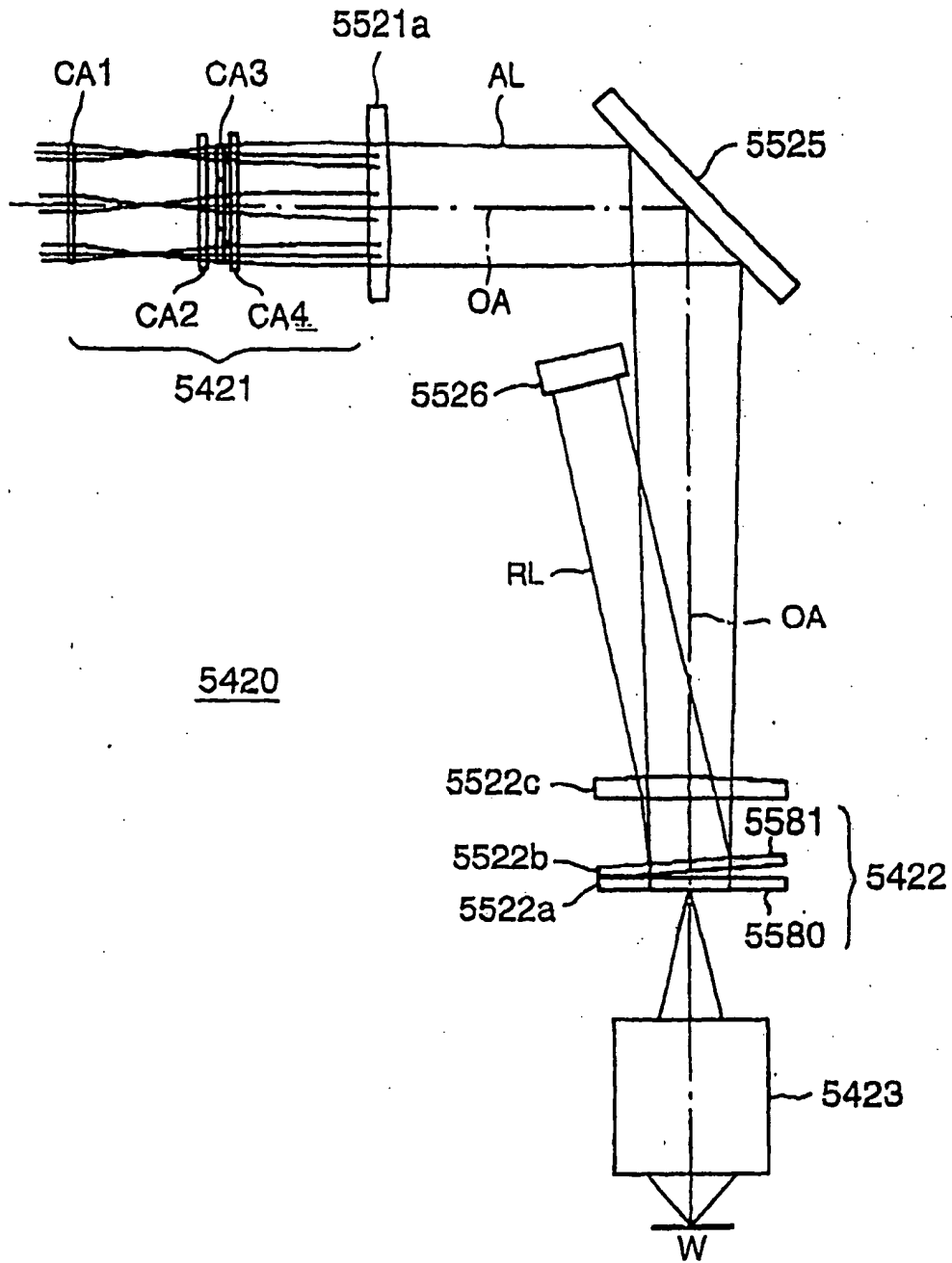


FIG.35

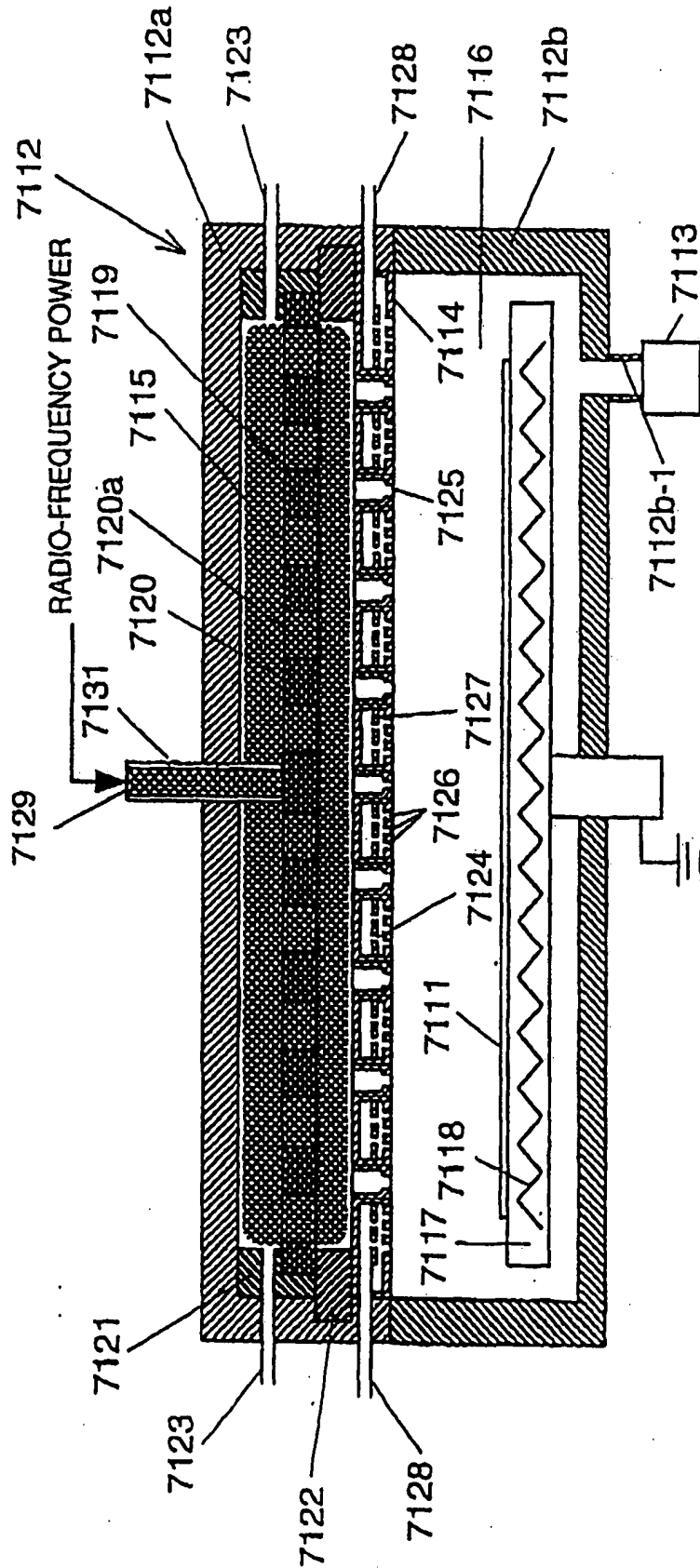


FIG.36

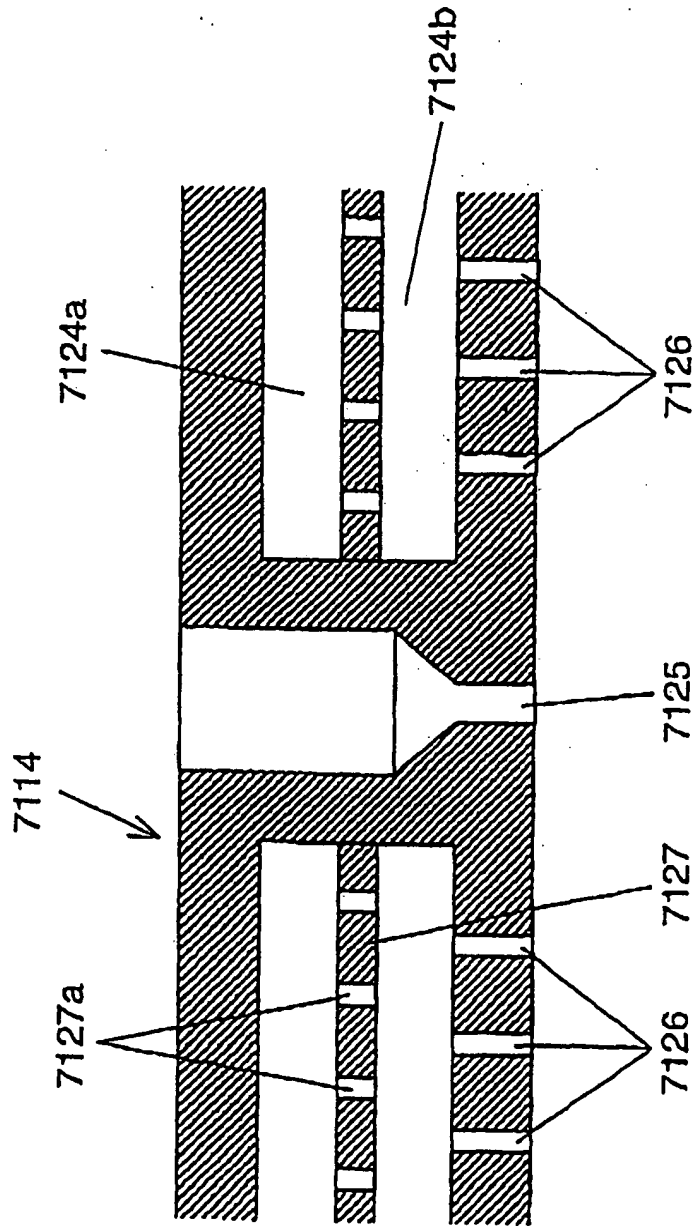


FIG.37

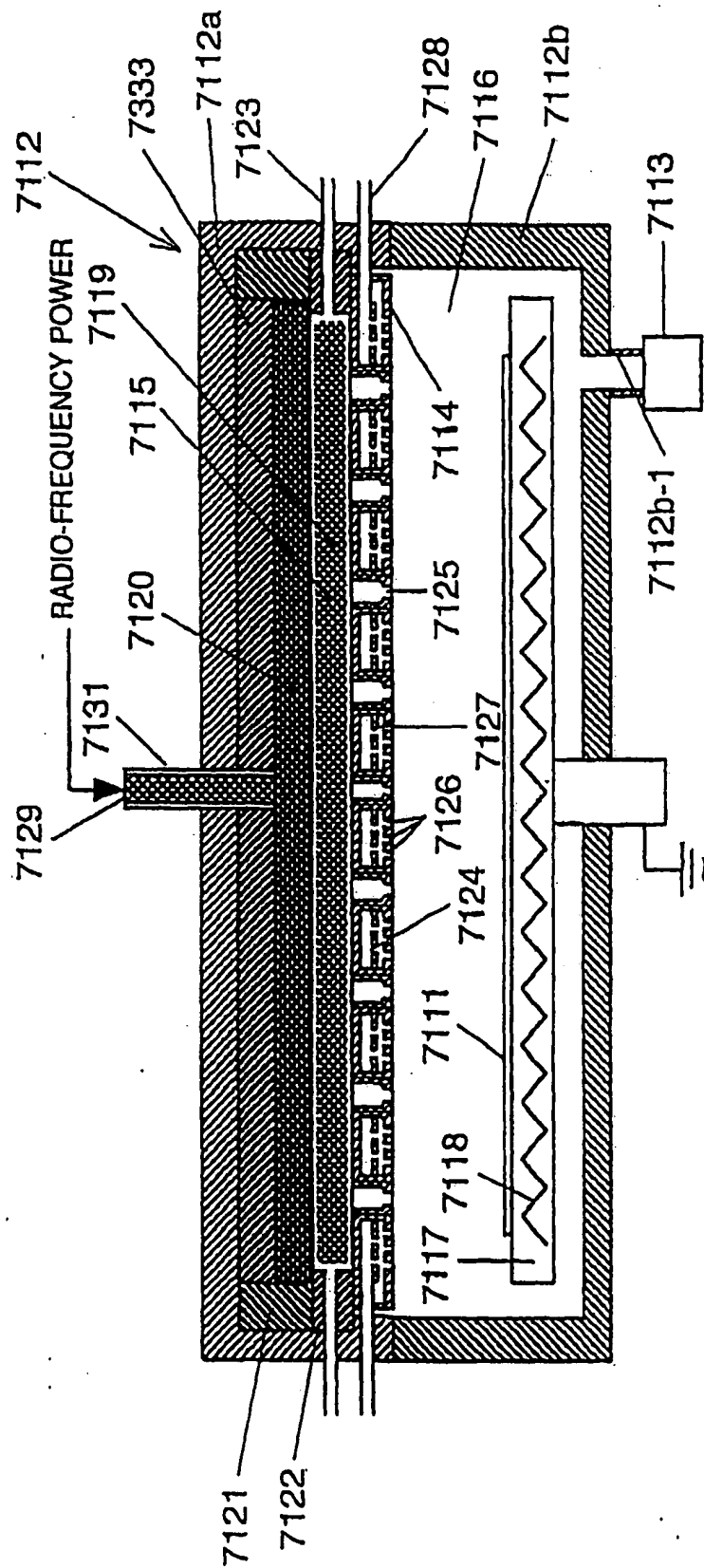


FIG. 38

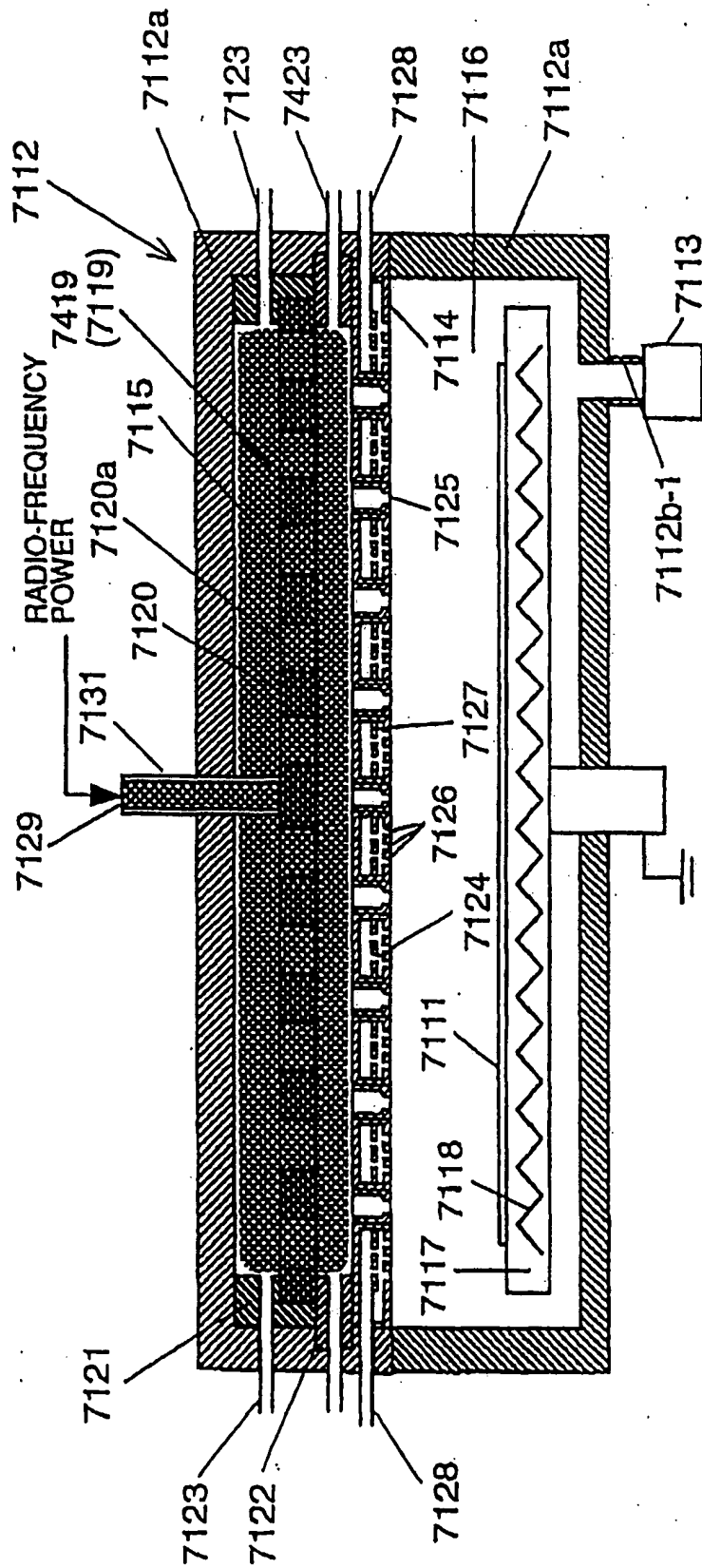


FIG.39

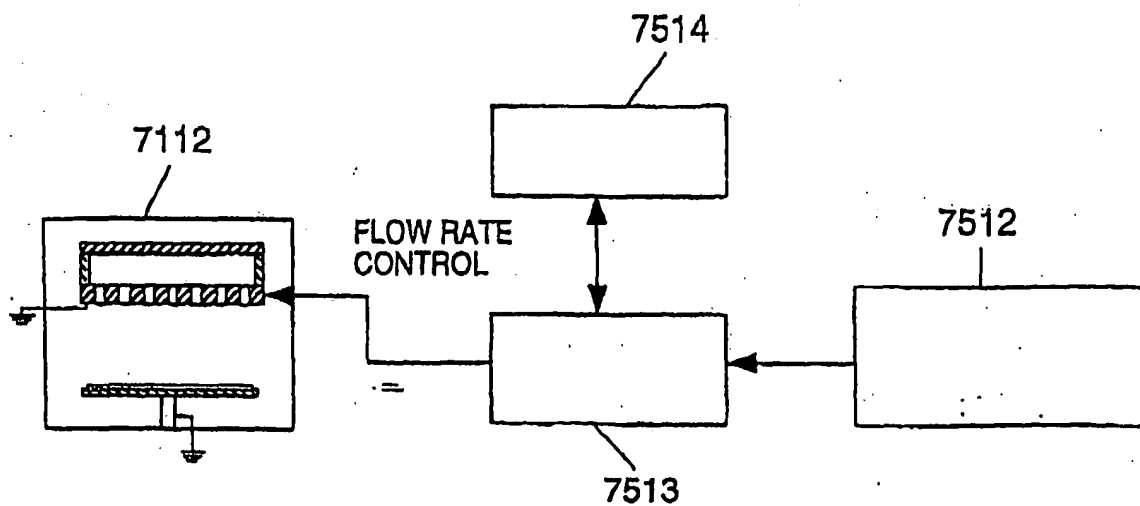


FIG.40

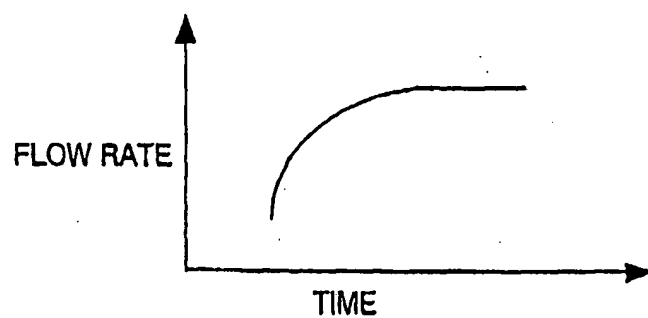


FIG.41

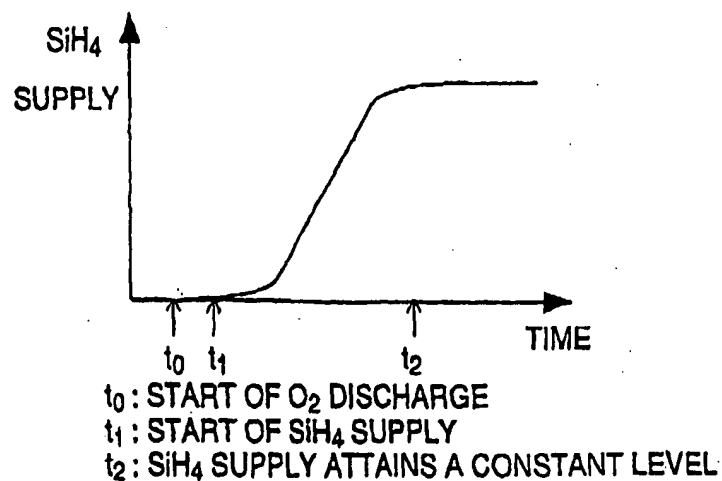


FIG.42

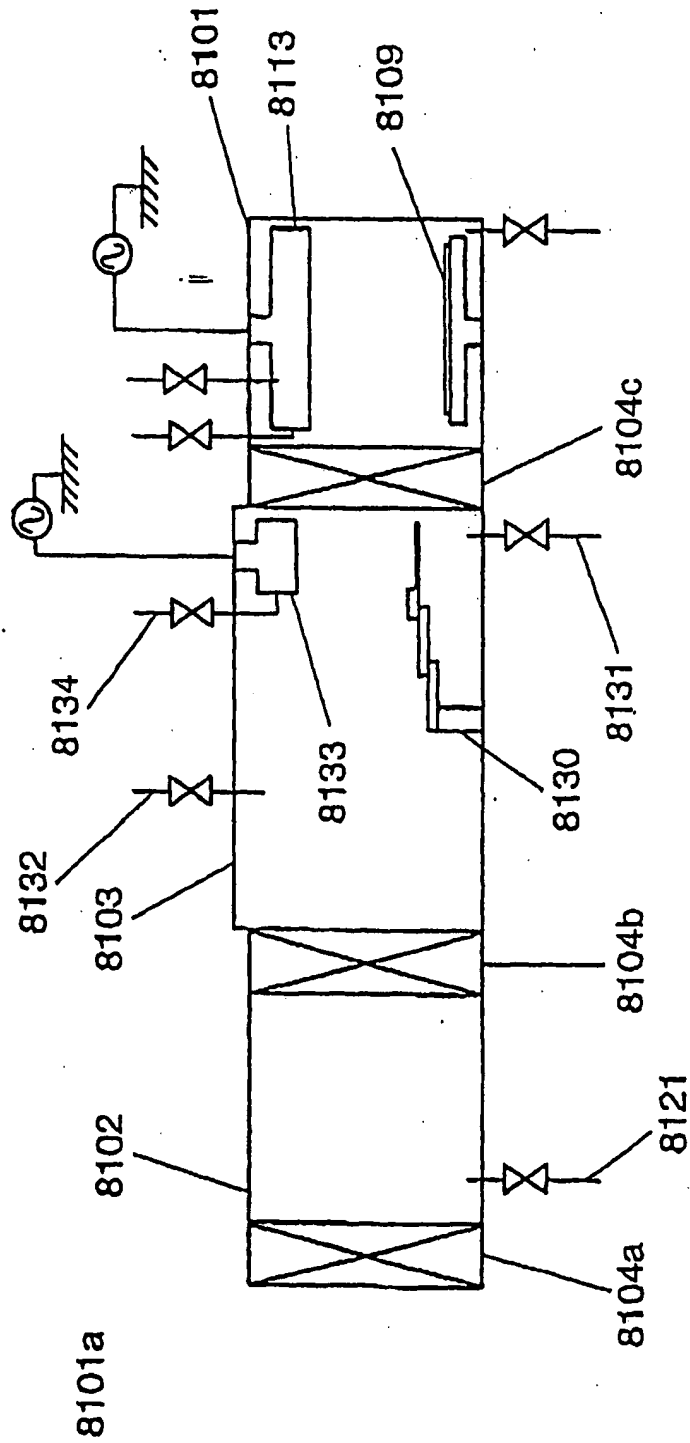


FIG.43

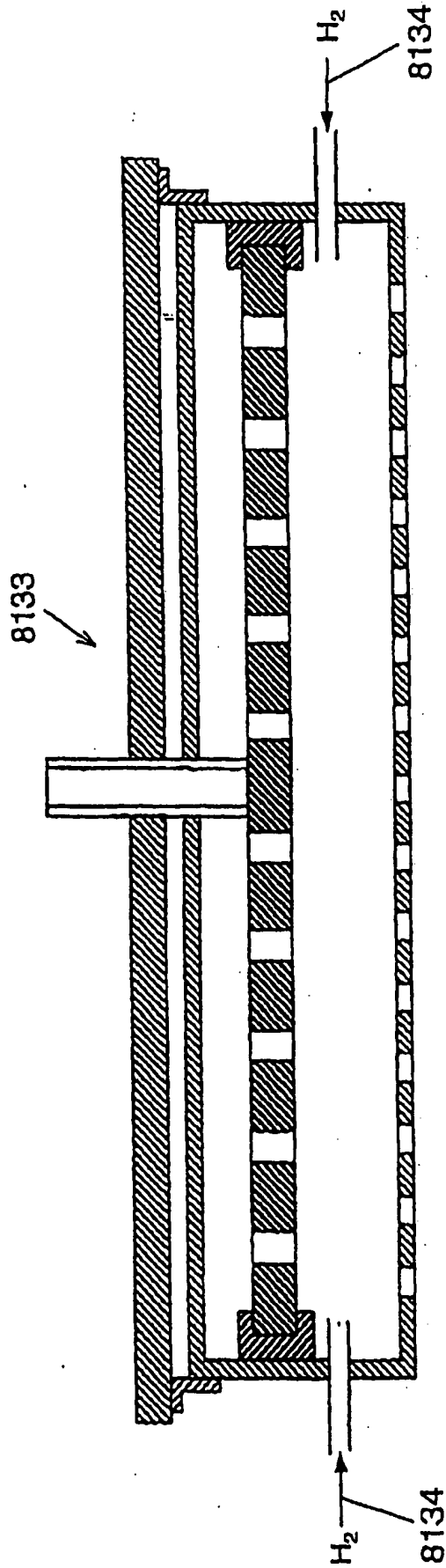


FIG.44

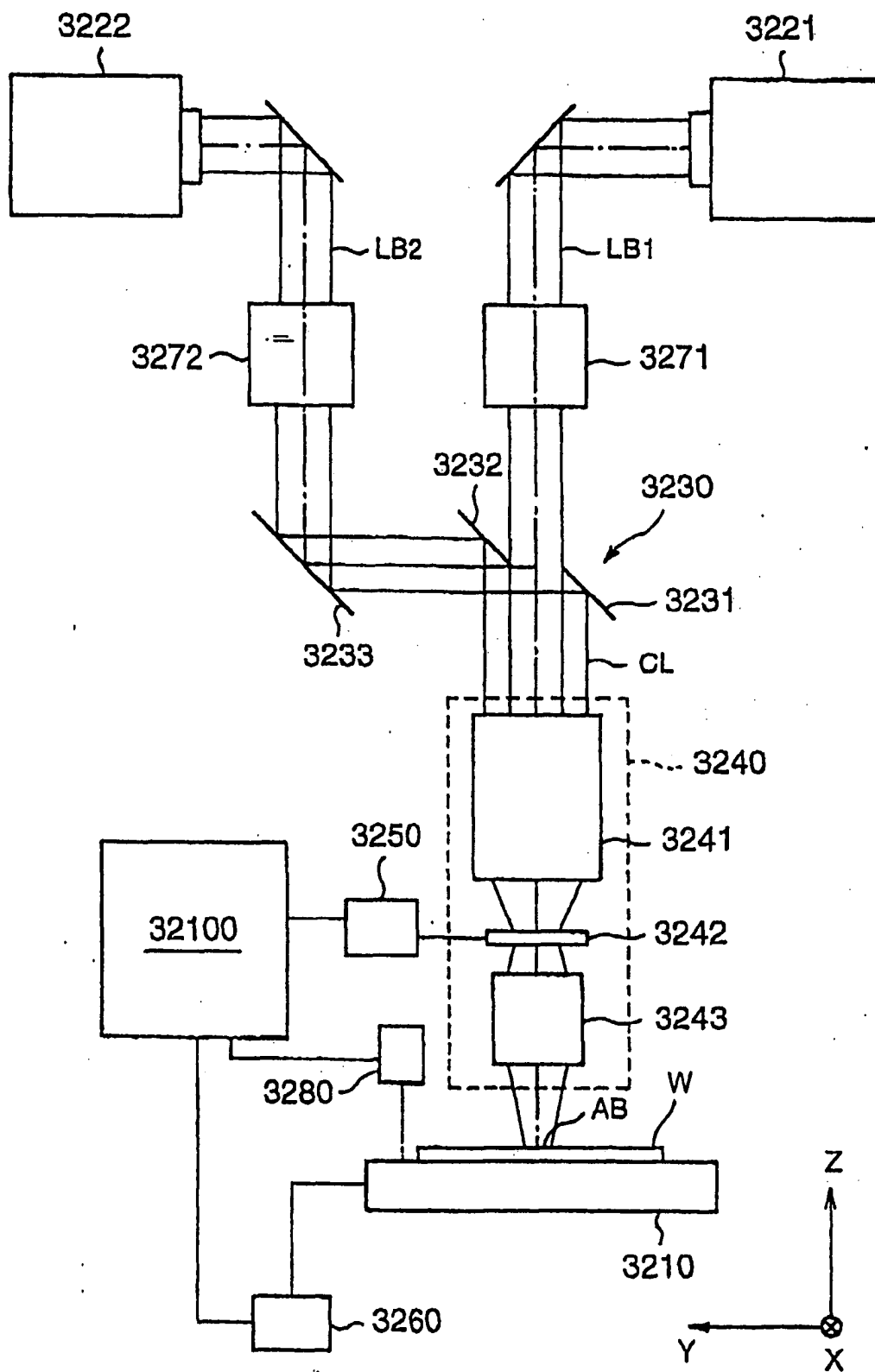


FIG.45

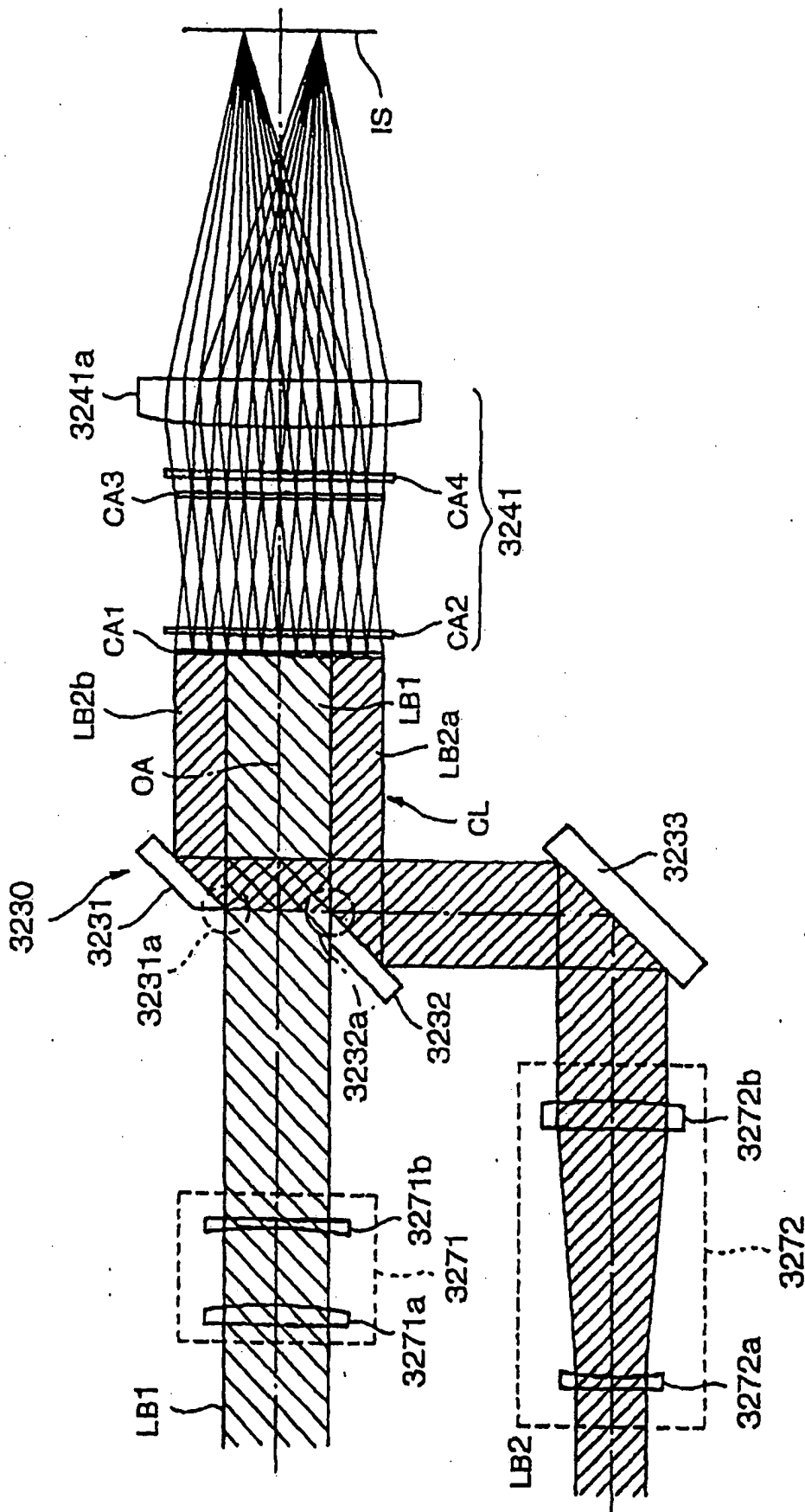


FIG. 46

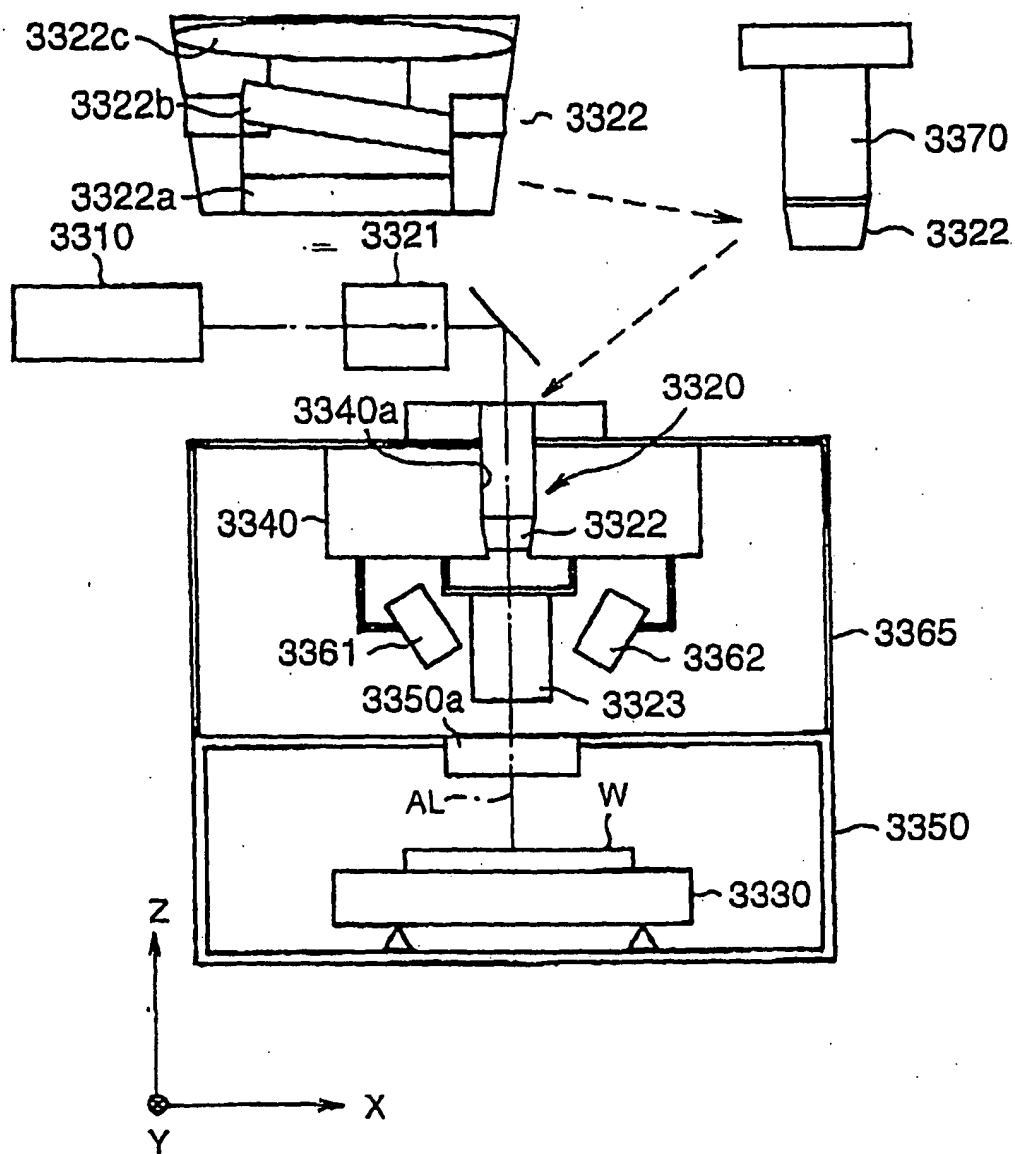


FIG.47

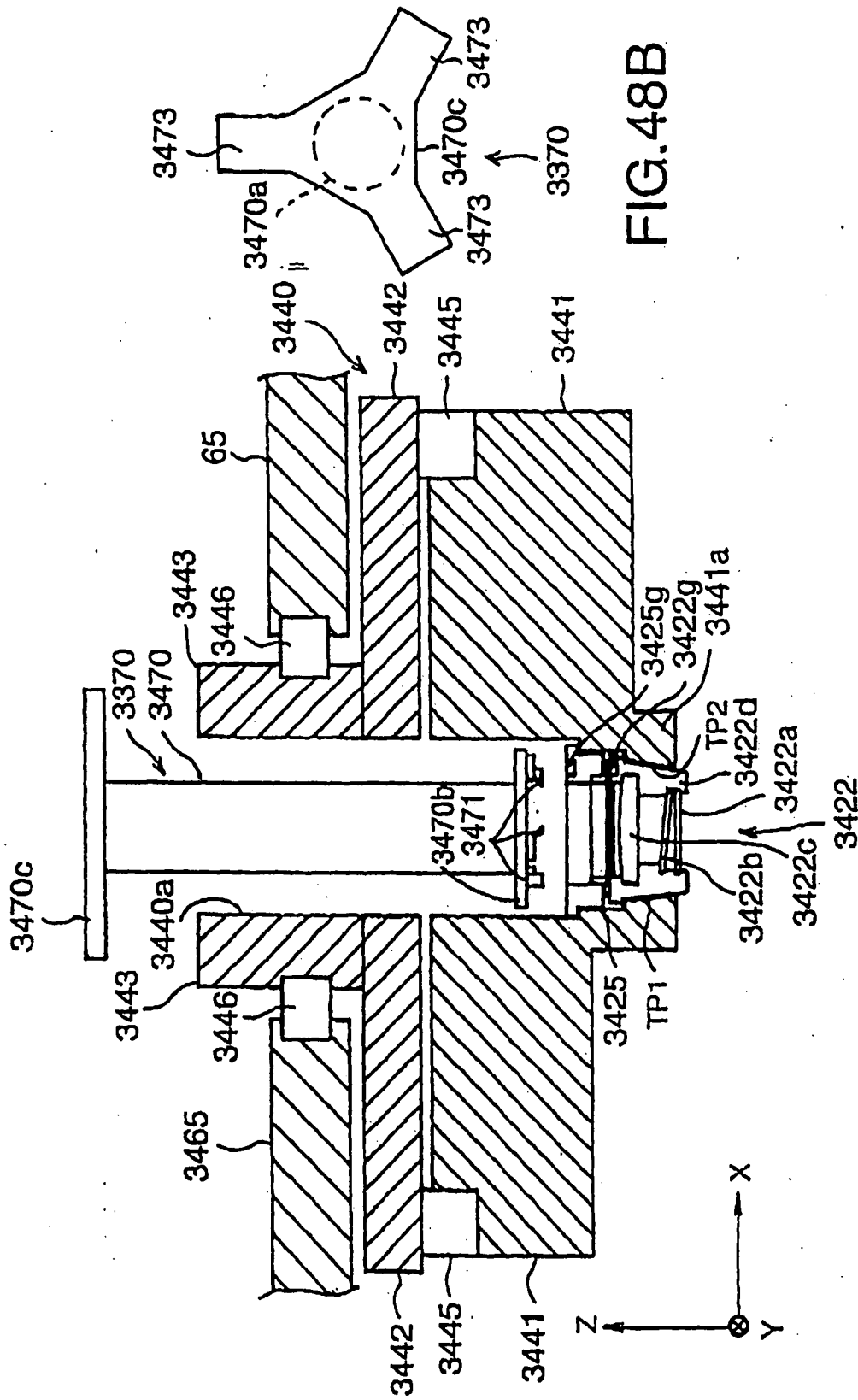
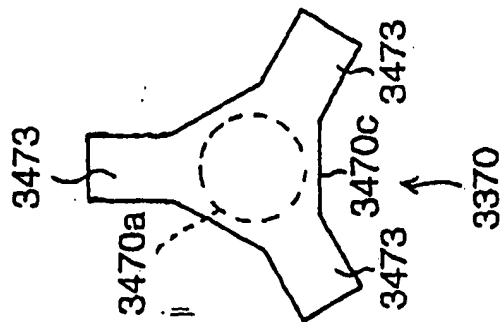


FIG. 48B



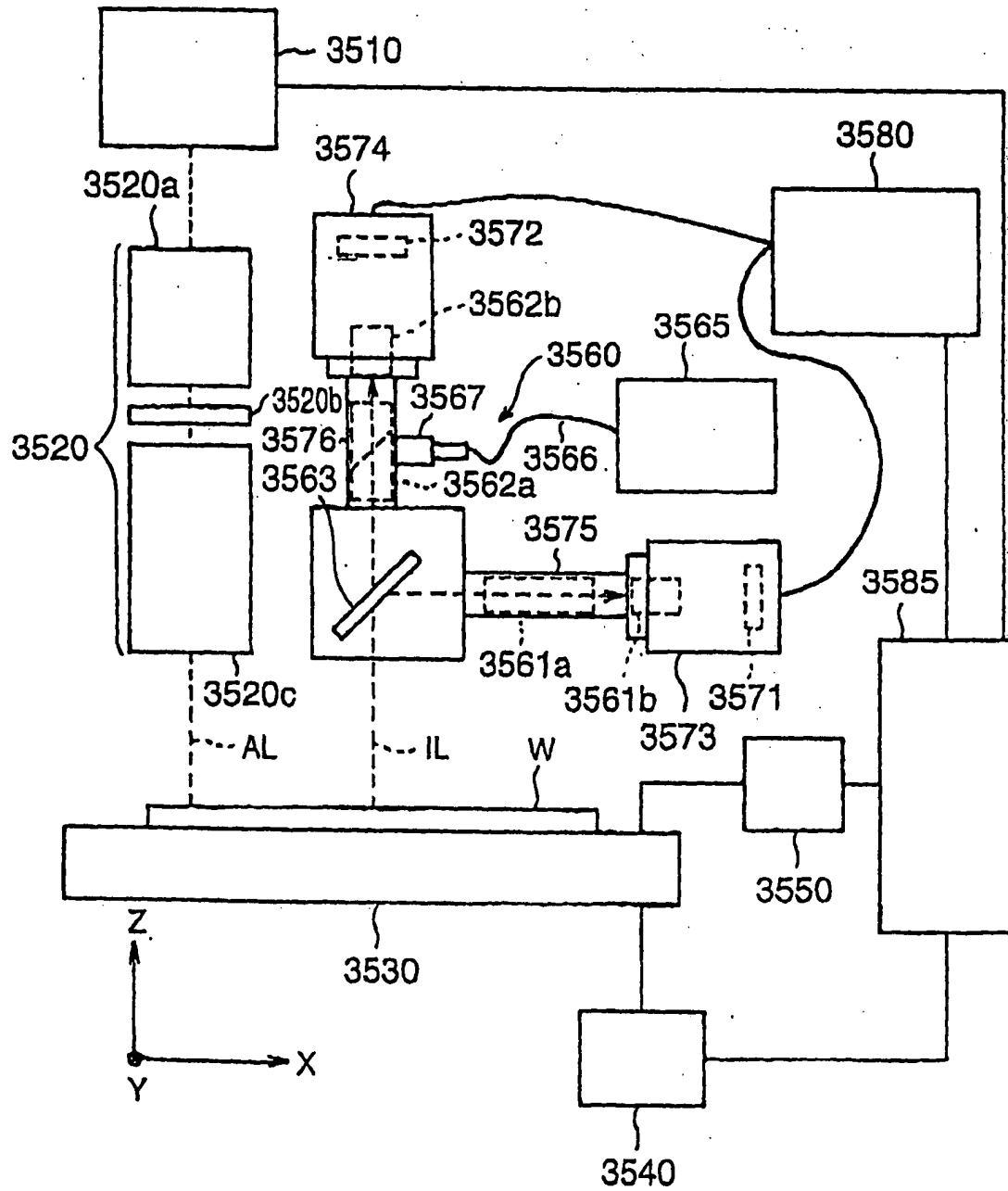


FIG.49

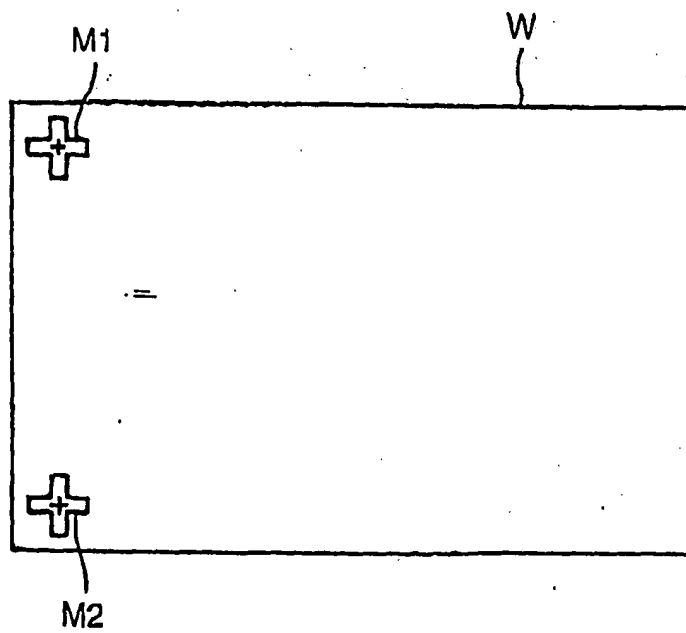


FIG.50

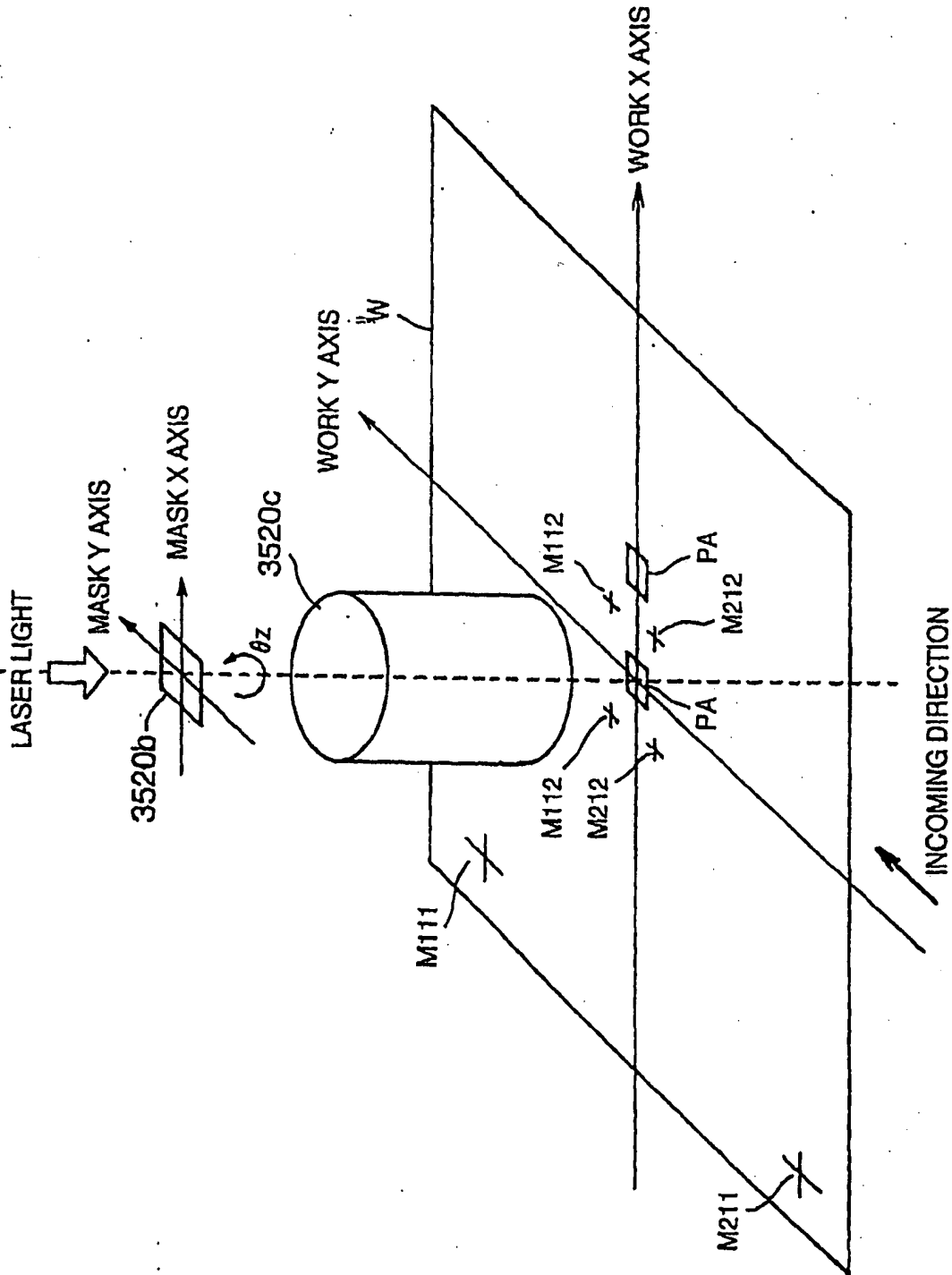


FIG.51

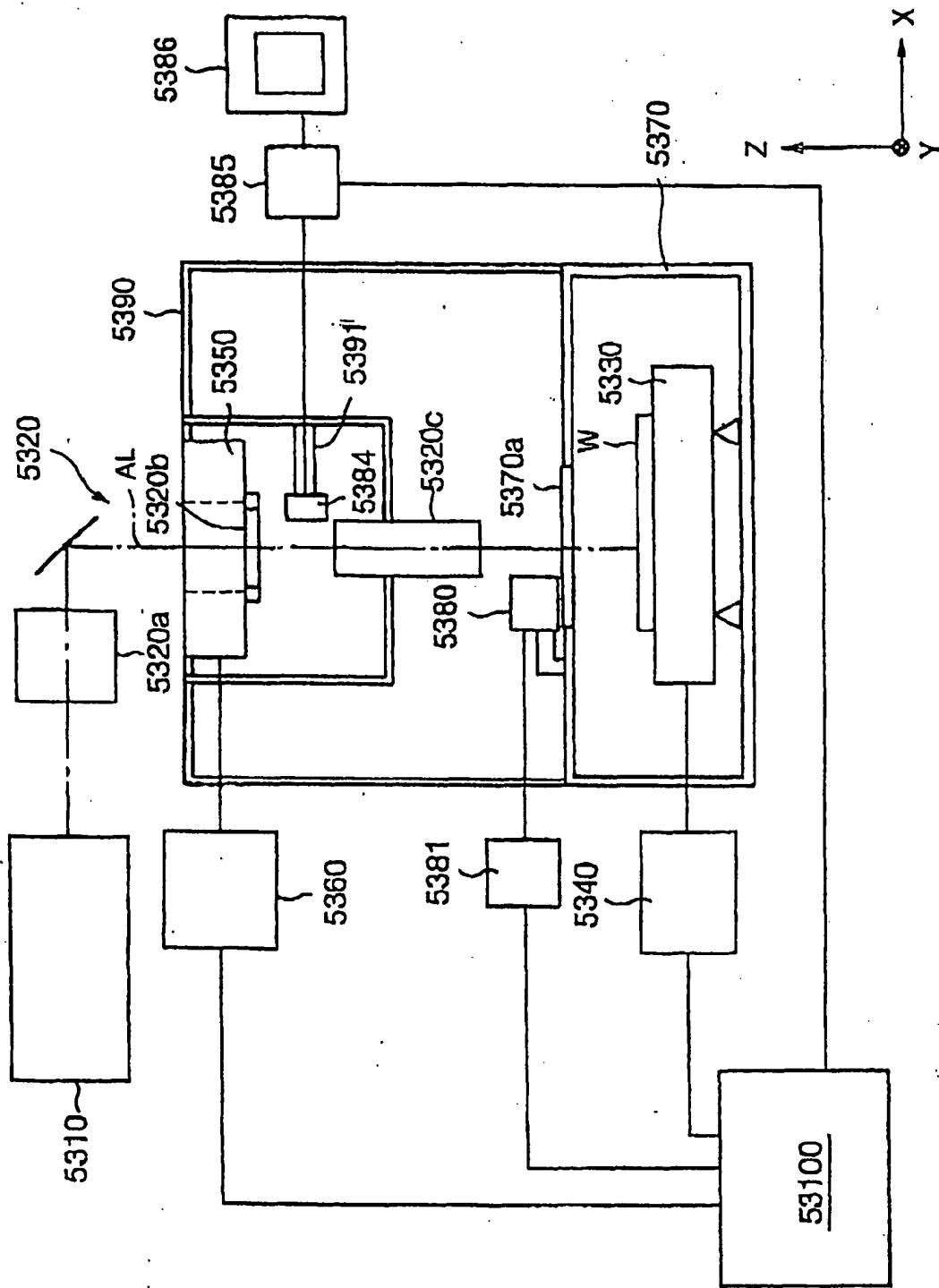


FIG. 52

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
30 May 2002 (30.05.2002)

PCT

(10) International Publication Number
WO 02/42847 A1

(51) International Patent Classification⁷:
B23K 26/067, 26/06 G03F 7/20,

(74) Agents: TANG, Henry et al.; Baker Botts LLP, 30 Rockefeller Plaza, New York, NY 10112-0228 (US).

(21) International Application Number: PCT/US01/44415

(22) International Filing Date:
27 November 2001 (27.11.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/253,256 27 November 2000 (27.11.2000) US

(71) Applicant (for all designated States except US): **THE TRUSTEES OF COLUMBIA UNIVERSITY IN THE CITY OF NEW YORK** [US/US]; 116th Street and Broadway, New York, NY 10027 (US).

(81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(72) Inventor; and

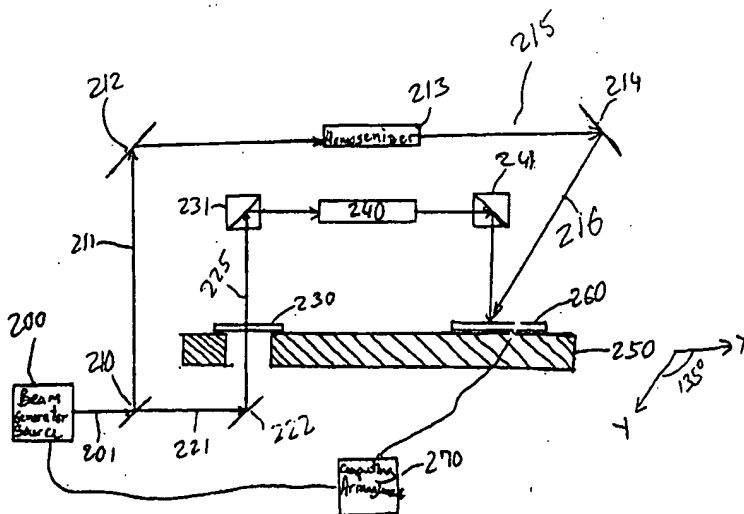
(75) Inventor/Applicant (for US only): **IM, James, S.** [US/US]; 520 West 114th Street, Apt. 74, New York, NY 10027 (US).

Published:

— with international search report

[Continued on next page]

(54) Title: PROCESS AND MASK PROJECTION SYSTEM FOR LASER CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR FILM REGIONS ON A SUBSTRATE



(57) Abstract: A process and system for processing a silicon thin film on a sample are provided. In particular, an irradiation beam generator is controlled to emit irradiation beam pulses at a predetermined repetition rate. These irradiation beam pulses are then separated into a first set of beam pulses and a second set of beam pulses. The first set of beam pulses are caused to irradiate through a mask to produce a plurality of beamlets. The second set of beam pulses and the beamlets are caused to impinge and irradiate at least one section of the silicon thin film. When the second set of beam pulses and the beamlets simultaneously irradiate the section of the silicon thin film, this combination of the beamlets and second set of beam pulses provides a combined intensity which is sufficient to melt the section of the silicon thin film throughout an entire thickness of the section.



— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

**PROCESS AND MASK PROJECTION SYSTEM FOR LASER
CRYSTALLIZATION PROCESSING OF SEMICONDUCTOR
FILM REGIONS ON A SUBSTRATE**

SPECIFICATION

5 CLAIM OF PRIORITY

This application claims priority based on U.S. provisional application serial no. 60/253,256 of James S. Im entitled "Mask Projection System For Laser Crystallization Processing Of Semiconductor Film Regions On A Substrate," filed on November 27, 2000.

10 NOTICE OF GOVERNMENT RIGHTS

The U.S. Government has certain rights in this invention pursuant to the terms of the Defense Advanced Research Project Agency award number N66001-98-1-8913.

FIELD OF THE INVENTION

15 The present invention relates to techniques for processing of semiconductor films, and more particularly to techniques for processing semiconductor films using patterned laser beamlets.

BACKGROUND OF THE INVENTION

20 Techniques for fabricating large grained single crystal or polycrystalline silicon thin films using sequential lateral solidification are known in the art. For example, in U.S. patent application serial no. 09/390,537, the entire disclosure of which is incorporated herein by reference herein and which is assigned to the common assignee of the present application, particularly advantageous apparatus and methods for growing large grained polycrystalline or single crystal
25 silicon structures using energy-controllable laser pulses and small-scale translation of a silicon sample to implement sequential lateral solidification have been disclosed.

The sequential lateral solidification techniques and systems described therein provide that low defect density crystalline silicon films can be produced on those substrates that do not permit epitaxial regrowth, upon which high performance microelectronic devices can be fabricated.

5 While the above-identified patent document discloses a particularly advantageous system for implementing sequential lateral solidification, there have been attempts to modify other systems to implement sequential lateral solidification. One such system is disclosed in United States Patent No. 5,285,236 ("the '236 Patent"), the entire disclosure of which is incorporated herein by reference.

10 Referring to Figure 1, the '236 Patent discloses a 1:1 projection irradiation system. In particular, an illumination system 20 of this projection irradiation system generates a homogenized laser beam which passes through an optical system 22, a mask 14, a projection lens and a reversing unit to be incident on a substrate sample 10. However, in this prior art projection irradiation system, the
15 energy density on the mask 14 must be greater than the energy density on the substrate 10. This is problematical when processes requiring high fluence on the substrate 10 are considered, as the high energy density incident on the mask 14 can cause physical damage to the mask 14. In addition, such high energy laser light can cause damage to the optics of the system. Accordingly, there exists a need for an
20 improved projection irradiation system of the type described in the '236 Patent for implementing the sequential lateral solidification process without damaging the mask 14.

SUMMARY OF THE INVENTION

25 One of the objects of the present invention is to provide an improved projection irradiation system and process to implement the sequential lateral solidification. Another object of the present invention is to provide a system and process using which, the mask of utilized for shaping the laser beams and pulses is not damaged or degraded due to the intensity of the beams/pulses. It is also another object of the present invention to increase the lifetime of the optics of the system by

decreasing the energy being emitted through the optical components (e.g., projection lenses).

In order to achieve these objectives as well as others that will become apparent with reference to the following specification, the present invention generally provides that an irradiation beam is caused to pass through a beam splitter to become two beams, each providing partial intensity of the energy of the original beam.

In one exemplary embodiment of the present invention, a process and system for processing a silicon thin film on a sample are provided. In particular, an irradiation beam generator is controlled to emit successive irradiation beam pulses at a predetermined repetition rate. These irradiation beam pulses are then separated into a first set of beam pulses and a second set of beam pulses. The first set of beam pulses are caused to irradiate through a mask to produce a plurality of beamlets. The second set of beam pulses and the beamlets are caused to impinge and irradiate at least one section of the silicon thin film. When the second set of beam pulses and the beamlets simultaneously irradiate the section of the silicon thin film, this combination provides a combined intensity which is sufficient to melt the section of the silicon thin film throughout an entire thickness of the section. The irradiation beam generator arrangement may emit the successive irradiation beam pulses at a predetermined repetition rate.

In another exemplary embodiment of the present invention, the irradiation beam pulses can be forwarded to a beam splitter which separates the irradiation beam pulses into the first set of beam pulses and the second set of beam pulses. The beam splitter is preferably located upstream in a path of the irradiation beam pulses from the mask, and separates the irradiation beam pulses into the first set of beam pulses and the second set of beam pulses prior to the irradiation beam pulses reaching the mask.

In still another embodiment of the present invention, the first set of beam pulses has a corresponding intensity which is lower than an intensity required to damage, degrade or destroy the mask. Also, the second set of beam pulses can be prevented from being forwarded to the mask, e.g., by diverting the second set of beam

pulses away from the mask prior to the second set of beam pulses reaching the mask. In addition, the second set of beam pulses preferably has a corresponding intensity which is lower than an intensity required to melt the section of the silicon thin film throughout the entire thickness thereof.

5 In yet another embodiment of the present invention, when the section of the silicon thin film is irradiated, this irradiated and melted section of the silicon thin film is allowed to re-solidify and crystallize. After the section of the silicon thin film re-solidifies and re-crystallizes, the sample is translated so that the beamlets and the second set of beam pulses impinge a further section of the silicon thin film. This
10 further section at least partially overlaps the section that was allowed to re-solidify and re-crystallize. Also, the sample can be microtranslated so that the beamlets and the second set of beam pulses impinge at least one previously irradiated, fully melted, re-solidified and re-crystallized portion of the section of the silicon thin film.

 The beamlets and the second set of beam pulses can irradiate and fully
15 melt the section of the silicon thin film from a microtranslated location of the sample. The mask may have a dot-like pattern such that dot portions of the pattern are the oblique regions of the mask which prevent the first set of beam pulses to irradiate there through. Also, the mask may have a line pattern such that line portions of the pattern are the oblique regions of the mask which prevent the first set of beam pulses
20 to irradiate there through. Furthermore, the mask may have a transparent pattern such that transparent portions of the pattern do not include any oblique regions therein.

 It is also possible to provide beam extending devices in the path of the first set of beam pulses and/or the second set of beam pulses.

 The accompanying drawings, which are incorporated and constitute
25 part of this disclosure, illustrate a preferred embodiment of the invention and serve to explain the principles of the invention.

BRIEF DESCRIPTION OF THE DRAWINGS

 Figure 1 is a schematic block diagram of a prior art 1:1 projection irradiation system;

Figure 2 is a schematic block diagram of an exemplary embodiment of a projection irradiation system according to the present invention;

Figure 3A is an exemplary graph which represents the energy density pattern at a silicon film sample using the prior art projection irradiation system
5 illustrated in Figure 1;

Figure 3B is an exemplary graph which represents the energy density pattern at the silicon film sample using the exemplary projection irradiation system of the present invention illustrated in Figure 2;

Figures 4A-4I are illustrations of a radiation beam pulse intensity
10 pattern and the grain structure of exemplary sections of a film sample at different stages of lateral solidification ("LS") processing in accordance with a first exemplary embodiment of a process of the present invention;

Figure 4J is an exemplary top view illustration of a thin film device which can be fabricated using the process illustrated in Figures 4A-4I.

Figures 5A-5E are illustrations of a radiation beam pulse intensity
15 pattern and the grain structure of exemplary sections of a film sample at different stages of the LS processing in accordance with a second exemplary embodiment of the process of the present invention;

Figures 6A-6D are illustrations of a radiation beam pulse intensity
20 pattern and the grain structure of exemplary sections of a film sample at different stages of the LS processing in accordance with a third exemplary embodiment of the process of the present invention; and

Figure 7 is a flow diagram representing an exemplary LS processing
25 procedure under at least partial control of a computing arrangement of Figure 2 using the processes of the present invention of Figures 4A-4I, 5A-5E and 6A-6D, as may be carried out by the system of Figure 2.

DETAILED DESCRIPTION

An exemplary embodiment of a projection irradiation system according to the present invention is shown as a schematic block diagram in Figure 2. In particular, a beam source 200 (e.g., a pulsed excimer laser) generates an excimer laser beam 201 (composed of beam pulses) which passes through a beam splitter 210 to become two beams 211, 221. In one exemplary implementation of the present invention, these two split beams 211, 221 may each have 50% of the energy that of the original beam 201. It is within the scope of the present invention to possibly utilize other energy combinations with the exemplary system of the present invention illustrated in Figure 2. Each of the beams 211, 221 is composed of a set of beam pulses.

The first split beam 211 can be redirected by a mirror 212 toward a homogenizer 213, which then outputs a homogenized beam 215. Thereafter, the homogenized beam 215 (and its respective beam pulses) can be redirected by a second mirror 214 so as to be incident on a semiconductor sample 260 which is held by a sample translation stage 250. It should be noted that other samples, such as metallic, dielectric, or polymeric films may be substituted for the silicon semiconductor sample 260.

During a substantially same time interval, the second split beam 221 (and its respective pulses) can be redirected by a mirror 222 to pass through a mask 230. The mirror is arranged such that the second split beam 221 is aligned with the mask 230 to allow the second split beam 221 (and its pulses) to be irradiated there through and become masked beam pulses 225. The masked beam pulses 225 can then be redirected by a second mirror 231 to pass through a projection lens 240. Thereafter, the masked beam pulses 225 which passed through the projection lens 240 are again redirected to a reversing unit 241 so as to be incident on the semiconductor sample 260. The mask 230, the projection lens 240 and the reversing unit 241 may be substantially similar or same as those described in the above-identified '236 Patent. While other optical combinations may be used, the splitting of the original beam 201

should preferably occur prior to the original beam 201 (and its beam pulses) being passed through the mask 230.

It should be understood by those skilled in the art that instead of a pulsed excimer laser source, the beam source 200 may be another known source of short energy pulses suitable for melting a thin silicon film layer in the manner described herein below, such as a pulsed solid state laser, a chopped continuous wave laser, a pulsed electron beam or a pulsed ion beam, etc., with appropriate modifications to the radiation beam path from the source 200 to the sample 260. The translations and microtranslations of the sample stage 250 are preferably controlled by a computing arrangement 270 (e.g., a computer which uses Intel Pentium[®] 4 microprocessor) which is coupled to the beam source 200 and the sample stage 250. It is also possible for the computing arrangement 270 to control the microtranslations of the mask 230 so as to shift the intensity pattern of the first and second beams 211, 221 with respect to the sample 260. Typically, the radiation beam pulses generated by the beam source 200 provide a beam intensity in the range of 10 mJ/cm² to 1J/cm², a pulse duration (FWHM) in the range of 10 to 103 nsec, and a pulse repetition rate in the range of 10 Hz to 104 Hz.

Figure 3A shows is an exemplary graph which represents the energy density pattern at a silicon film sample using the prior art projection irradiation system illustrated in Figure 1. In particular, this graph illustrates the energy density pattern at the plane of the substrate sample 10 when there is no beam splitter 201, as provided in the prior art system of Figure 1. As shown in Figure 3A, in order for particular portions of the silicon thin film of the sample to be fully melted throughout its thickness, the energy of the laser pulses (E_{melt}) has to be high enough for such melting, and likely exceeds the damage threshold (E_{damage}) for the mask 230.

Figure 3B shows an exemplary graph which represents the energy density pattern at the silicon film sample using the exemplary embodiment of the projection irradiation system illustrated in Figure 2, in which the beam splitter 211 is being used to split the original beam 201 into the two split beams 211, 221. In particular, the energy density pattern of the second split beam 221 is selected to be

below the damage threshold (E_{damage}) at the plane of the mask 230. In this manner, the mask 230 would not be damaged or degraded by the beam generated by the irradiation beam emitted by the beam source 200. Meanwhile, the homogenized beam pulses 216, which correspond to the pulses of the first split beam 211, can irradiate the sample 260 such that the intensity of the pulses 216 is not enough to melt the silicon thin film of the sample 260 throughout its thickness. When the intensity of the second split beam 221 is added to that of the first split beam 211, the resultant combination of beam pulses has the intensity which is enough to melt the silicon thin film of the sample 260 throughout its entire thickness.

10 A first exemplary embodiment of the process of the present invention shall now be described with reference to Figures 4A-4I. In particular, Figure 4A shows an exemplary region of the sample 260, such as a partially fabricated integrated circuit device, which includes at least one section 82 (and preferably more than one section) of the silicon thin film thereon. This section 82 may be composed of certain areas extending in a horizontal direction, as well as other areas extending in a vertical direction. The section 82, as well as other section of the silicon thin film on the sample 160 have small grains and grain boundaries randomly oriented in various directions therein. The thickness of the section 82 may be in the range of less than 20 nanometers to 2 μm . Other thicknesses of the silicon thin films and sections thereof are conceivable for use, and are within the scope of the present invention.

Figure 4B shows the section 82 after being irradiated by a first radiation beam pulse having a desired intensity pattern. In the present exemplary embodiment, this pattern is a "pocka-dot" pattern which is preferably aligned with certain areas of the section 82. The mask 230 of Figure 2 can be used to effectuate such pattern upon it being irradiated by the second split beam pulses 221. In particular and to add further detail, the mask 230 has a pattern which consists of one or more sets of 1-micrometer orthogonally positioned opaque dot-like regions. Thus, the set of the opaque regions on the mask 230 do not allow the pulse of the second split beam 221 to pass there through so as to prevent the irradiation of the corresponding areas on the section 82. However, the regions on the mask 230 surrounding the opaque dot-like regions allow the pulses to pass there through so as to

allow the exiting irradiation beam pulses to irradiate and melt the respective other areas of the section 82 (melted regions 50). The resultant beam pulse would have an intensity pattern which includes "shadow" regions 61 corresponding to the opaque dot-like regions of the mask 230.

5 When the second split beam pulses 221 are passed through the mask 230, with the first split beam pulses irradiating (but not melting) the sample 260, the combined first and second split beam pulses 211, 221 completely melt areas 50 of the section 82, but not dot-shaped unmelted areas 61. According to the exemplary embodiment shown in Figure 2B, the unmelted areas 61 are provided at regular
10 intervals along the centerline of the section 82. In particular, when the section 82 of the silicon thin film is irradiated by a first set of the first and second split beam pulses 211, 221 (with the second split beam pulses 221 having the intensity pattern defined by the mask 230), each area irradiated by the unblocked second split beam pulses 221 is melted throughout its entire thickness, while each area of the section 82 that is
15 blocked by the opaque pattern of the mask 230 remains at least partially unmelted. Therefore, the unmelted area 50 of the section 82 has the original grain structure of the section 82 of the silicon thin film as it was originally formed.

 The shadow regions of the intensity pattern, the shape of which corresponds to that of the unmelted areas 61, which may have any shape, such as a
20 circle, a square, etc., have a small cross-sectional area. It is preferable for the shadow regions to be large enough so that the melted surrounding areas of the silicon thin film provided on the sample 260 does not cause a complete melting of the areas 61 on the section 82 that are associated with the respective shadow regions. In accordance with the invention and as described above, the areas 61 of the section 82 overlapped by
25 respective ones of the shadow regions should preferably remain at least partially unmelted.

 Turning to Figure 4C, after the section 82 of the silicon thin film provided on the sample 260 is irradiated via a first set of the first and second split beam pulse 211, 221, the melted areas of the section 82 are permitted to cool and re-
30 solidify. Since the at least partially unmelted areas 63 of the section 82 of the silicon

thin film have the original grain structure of the areas 61 of the section 82, such grain structure in each-at least partially unmelted area 63 seeds lateral growth of grains into the adjoining re-solidifying melted regions of the section 82. During such re-solidification of each melted area, the grains grow outward from each one of the at least partially unmelted areas 63 in a respective re-solidification area 55 immediately surrounding the at least partially unmelted area 63 in the section 82 of the silicon thin film. After the re-solidification of the regions 55, areas 52 are formed at the edges or borders of these regions 55. The areas 52 are small grained polycrystalline silicon areas formed due to a nucleation, i.e., the sections of the silicon thin film corresponding to these areas 52 have been partially melted and re-solidified with small grains provided therein. Each re-solidification region 55 is bounded by the respective areas 52 and the neighboring re-solidification region 55, as well as the areas 52. The grain growth in each of the melted and re-solidifying regions 55 is effectuated by seeding thereof via the at least partially unmelted region 63 within the respective re-solidification region 55.

The abutting grain growth distance of the grains growing from each one of the at least partially unmelted areas 63 is approximately half the width of the melted regions as defined by the width of the beamlets (or shaped beam pulses) exiting from the mask 230. In this manner, larger grains 62 are formed in each of the re-solidification areas 55 after the re-solidification of the melted regions of the section 82 is completed. The spacing between the adjacent at least partially unmelted areas 63 should be such that the grains growing from each such unmelted area 63 abuts the grains growing from its two adjacent at least partially unmelted areas 63 before the re-solidification of the melted regions of the section 82 of the silicon thin film is completed (i.e., before the nucleation of new grains occurs in the intervening spaces). The characteristic growth distance of the grains is the distance that the grains grow before the nucleation of new grains occurs.

Turning to Figure 4D, because the position of impingement of the first and second split beam pulses 211, 221 on the section 82 of the silicon thin film is preferably fixed, the sample 260 is then repositioned by the sample translation stage 250 under the control of the computing arrangement 270. This is done so that the

shadow regions 64 of the intensity pattern of a second set of the first and second split beam pulses 211, 221 (generated when the second set of the second split beam pulses 221 are passed through the mask 230) can each be slightly shifted by a distance less than the largest abutting grain growth distance (due to the irradiation of the first set of the first and second split beam pulses 211, 221 with respect to the previous positions on the section 82 of the shadow regions 61 of the intensity pattern of the first set of the first and second split beam pulses 211, 221). The abutting grain growth distance is the distance that a grain grows from an at least partially unmelted region in an adjoining melted region before abutting another grain growing in the same melted region and before abutting the area 52 (i.e., a nucleation region). In this manner, when the second set of first and second split beam pulses 211, 221 is irradiated on the section 82 of the silicon thin film, each shadow region 64 overlaps a different section within the same re-solidification area 55 formed after the irradiation by the first set of the first and second split beam pulses 211, 221, which is different from the previous shadow region.

For example, the position of the new shadow regions 64 can be shifted from the previous position of the shadow regions 61 by a distance in the range of 0.01 m to 10 m. Such minor repositioning shall be referred to hereinafter as a "microtranslation". Optionally, the mask 230 may be microtranslated (i.e., instead of or together with) the sample 260 to obtain the desired shift of the shadow regions 64 of the intensity pattern when the second set of the first and second split beam pulses 211, 221 irradiates the section 82. Although the beamlets of the intensity pattern of the second set of the first and second split beam pulses 211, 221 are also shifted with respect to that of the intensity pattern of the first set of the first and second split beam pulses 211, 221, the shifted beamlets still overlap all regions of the section 82 not overlapped by the respective shifted shadow regions 64.

As shown in Figure 4D, after the above-described microtranslation of the sample 260, the system of Figure 2 irradiates the section 82 with the second set of the first and second split beam pulses 211, 221. This is done so that each region of the section 82 of the silicon thin film that is overlapped by the shifted and unblocked beamlet is melted throughout its entire thickness, and each area of the section 82

which is prevented from being irradiated by a respective region of the dot-type pattern of the mask 230 (i.e., the respective shifted shadow region 64) remains at least partially unmelted. Each one of the at least partially unmelted areas adjoins respective adjacent melted areas. The sample 260 may be microtranslated in any direction so long as each one of the shifted shadow regions 64 overlaps a portion within the same re-solidification area 55 as a portion overlapped by a corresponding one of the shadow regions 61 of the intensity pattern of the first set of the first and second split beam pulses 211, 221. For example, the sample 260 can be microtranslated in the -A direction which is at minus 135° with respect to the X axis, where rotation of the angles in the counterclockwise direction are taken as positive, or the sample 260 can be microtranslated in the +A direction which is at an angle of 45° with respect to the X axis.

Figure 4E shows the section 82 of the silicon thin film provided on the sample 260 after the completion of the re-solidification of the melted regions following the irradiation by the second set of the first and second split beam pulses 211, 221. There will be a greater number of the grains that will be grown in a corresponding one of new re-solidification regions 55' upon the re-solidification of each melted region of the section 82 after the irradiation by the second set of the first and second split beam pulses 211, 221. This is because each one of the at least partially unmelted areas 65 after the first microtranslation of the sample 260 and the irradiation by the second set of the first and second split beam pulses 211, 221 contains a smaller number of grains than was contained in each one of the at least partially unmelted areas 63 after irradiation by the first set of the first and second split beam pulses 211, 221. As illustrated in Figure 4E, the growth of the grains takes place laterally from each of the shifted at least partially unmelted areas 65 to either reach the nucleated areas 52 of the section 82 formed after the re-solidification, or to abut the grains growing from the adjacent shifted at least partially unmelted regions 65 to define the new re-solidification areas 55', the abutting grains having grown by respective abutting growth distances. Referring again to Figure 4E, each of the new re-solidification areas 55' has fewer and larger grains 66 than those in the previous re-solidification areas 55 as illustrated in Figure 4C.

Referring to Figure 4F, after the re-solidification of the melted areas that followed the irradiation thereof by the second set of the first and second split beam pulses 211, 221 is completed, the sample 260 may be further microtranslated (with respect to the first and second split beam pulses 211, 221) in any direction by a distance less than the largest abutting grain growth distance (after the second set of the first and second split beam pulses 211, 221 irradiated the section 82). This is done so that the twice-shifted shadow regions 67 of the intensity pattern of a third set of the first and second split beam pulses 211, 221 each overlaps or irradiates a different area within a respective one of the re-solidification areas 55. In the exemplary illustration of Figure 2F, the direction of the further microtranslation B is at 45° with respect to the X axis. After the sample 260 is microtranslated in this direction, the section 82 is irradiated by a third set of the first and second split beam pulses 211, 221 having the same intensity pattern defined by the mask 230, but in the portions where the shadow regions 67 each have been shifted twice. The twice-shifted shadow regions 67 are displaced from respective previous shadow regions 64 by a distance less than the largest abutting grain growth distance after the irradiation by the second set of the first and second split beam pulses 211, 221, for example, in the range of 0.01 μ m to 10 μ m. Although the beamlets of the intensity pattern of the third set of the first and second split beam pulses 211, 221 are also shifted with respect to that of the intensity pattern of the second set of the first and second split beam pulses 211, 221, the twice-shifted beamlets still overlap all areas of the section 82 not overlapped by a respective one of the twice-shifted shadow regions 67.

Figure 4G illustrates the re-solidified section 82 of the silicon thin film provided on the sample 260 after being irradiated by the third set of the first and second split beam pulses 211, 221, and shows the completion of the re-solidification of the melted areas. Because the twice-shifted at least partially unmelted areas 71 each contain a smaller number of grains than was contained in the once-shifted at least partially unmelted areas 65, there will be an equal or smaller number of grains that will be grown in a corresponding one of new re-solidification areas 69 upon the completion of the re-solidification of each melted area of the section 82 (after the section 82 is irradiated by the third set of the first and second split beam pulses 211,

221). As shown in Figure 4G, the growth of the grains takes place laterally from each of the twice shifted at least partially unmelted areas 71 to either reach the again-nucleated area 52, or to abut grains growing from adjacent twice shifted at least partially unmelted areas 71 to define the new re-solidification areas 69, the abutting grains having grown by respective abutting grain growth distances. Each of the new re-solidification areas 69 has fewer and larger grains 68 than the previous re-solidification areas 55' illustrated in Figure 4E.

Turning now to Figure 2H, after each melted area of the section 82 is re-solidified (i.e., following the irradiation by the third set of the first and second split beam pulses 211, 221 is completed), the sample 260 may be further microtranslated with respect to the first and second split beam pulses 211, 221 in any direction by a distance less than the largest abutting grain growth distance after the irradiation by third set of the first and second split beam pulses 211, 221. In this manner, the thrice-shifted shadow regions 63 of the intensity pattern of a fourth set of the first and second split beam pulses 211, 221 overlaps a different area within a respective one of the re-solidification areas 69. In the exemplary embodiment illustrated in Figure 4H, the direction of a further microtranslation in a direction C is at -135° with respect to the X axis, and the distance of the further microtranslation is in the range of 0.01 m to 10 m. After the sample 260 is microtranslated in this direction by the above noted distance, the section 82 of the silicon thin film is irradiated by the fourth set of the first and second split beam pulses 211, 221 having the same intensity pattern as that of the third set of the first and second split beam pulses 211, 221 illustrated in Figure 4F, but where the shadow regions 72 and the respective intensity pattern each have been shifted thrice with respect to the section 82.

Figure 4I show the re-solidified section 82 after it is irradiated by the fourth set of the first and second split beam pulses 211, 221, along with the completion of the re-solidification of each melted area. The at least partially unmelted areas 73 overlapped or irradiated by respective ones of the thrice-shifted shadow regions 63 (i.e., the thrice-shifted at least partially unmelted areas) each contain a single grain. Thus, there would likely be an equal or greater number of the grains that will be grown in a corresponding one of the new re-solidification areas 70

upon the completion of the re-solidification of the melted areas of the section 82. As illustrated in Figure 4I, the growth of the grains takes place laterally from each one of the thrice-shifted at least partially unmelted areas 73 to either reach the again-nucleated area 52 or to abut the grains growing from adjacent thrice-shifted at least partially unmelted areas 73 to define the new re-solidification areas 70. Each of the new re-solidification areas 70 of the section 82 has a single grain being grown therein, and each grain boundary is substantially perpendicular to a respective one of the section 82 at the location of the grain boundary. It should be understood that the section 82 may be subjected to more or less of the microtranslation, irradiation and re-solidification steps, as described with reference to Figures 4A-4I, so as to obtain the desired long-grained crystalline structure illustrated in Figure 4I in the section 82.

After the completion of the above-described LS processing to obtain a desired crystalline grain structure in the section 82 of the silicon thin film, the sample 260 may be translated to a next section for LS processing therein. For example, the sample 260 may be translated in $-K$ direction (which is a direction that is $+135^\circ$ with respect to the X axis) for a distance that is preferably slightly smaller than the diameter of the longest distance between the side walls of the re-solidified areas of the section 82. In this manner, the translated intensity pattern generated by the first and second split beam pulses 211, 221 irradiates a neighboring section of the silicon thin film provided on the sample 260 with is provided at an offset and -45° from the re-solidified areas of the section 82.

Figure 4J shows a top view of exemplary thin film transistor devices 90, 90' which can be fabricated using the exemplary process illustrated in Figures 4A-4I and described above. Each of the transistor devices 90, 90' includes a source (S) terminal 91, 91' and a drain (D) terminal 92, 92'. In addition, these transistor devices 90, 90' have respective active channel region 93, 93' which are positioned within the large grained silicon area. Such positioning will yield an improved electrical performance, and permit the incorporation of highly functional electrical circuitry.

A second exemplary embodiment of the process according to the present invention shall now be described with reference to Figures 5A-5E. For

purposes of illustration, the same configuration of the section 82 of the silicon thin film provided on the sample 260 used to describe the first exemplary embodiment of the process (as illustrated in Figures 4A-4I) is used herein to describe the present embodiment of the process according to the present invention. As in the first
5 exemplary embodiment of the process, the section 82 initially has small grains and grain boundaries that are oriented in random directions.

Referring to Figure 5B, the section 82 of the silicon thin film is irradiated by a first set of the first and second split beam pulses 211, 221 having an intensity pattern as defined by another exemplary embodiment of the mask 230. This
10 exemplary mask 230 includes a relatively narrow opaque strip which is surrounded by the transparent segments of the mask. The opaque strip is configured such that it does not allow the portion of the second split beam pulse 221 irradiating it to pass there through, while the transparent segments surrounding the opaque strip allow portions of the second split beam pulses 221 to be irradiated there through. Accordingly, when
15 the second split beam pulse 221 is applied to this mask 230, the intensity pattern of the resultant beam pulses has strip-like shadow regions 83 corresponding in shape to the opaque strips of the mask 230. In addition to the shadow regions 83, the intensity pattern of the first radiation beam pulses, as defined by the mask 230, also includes the beamlets that irradiate all areas of the section 82 not overlapped by the shadow
20 regions 83. Advantageously, the width of the shadow regions 83 can be in the range of 0.01 μ m to 5 μ m.

Initially, the sample 260 is positioned so that the shadow regions 83 of the intensity pattern of a first set of the first and second split beam pulses 211, 221 overlaps the section 82 along the center line of the section 82 of the silicon thin film.
25 Upon being irradiated by the first set of the first and second split beam pulses 211, 221, each of areas 85, 86 of the section 82 that is overlapped by the non-shadowed region of the intensity pattern of the second split beam pulses 221 is melted throughout its entire thickness, while each portion of the section 82 overlapped by the respective shadow region 83 remains at least partially unmelted. The shadow regions
30 83 of the intensity pattern of the second split beam pulses 211 are sufficiently wide so that the thermal diffusion from the melted areas 85, 86 in the section 82 does not

significantly melt the areas of the section 82 overlapped by the respective shadow regions 83. After the irradiation by the first set of the first and second split beam pulses 211, 221, the at least partially unmelted regions 84 (see Figure 5C) in the section 82 will have the original grain structure of the section 82 before the LS processing.

Turning now to Figure 5C, upon the cooling and re-solidification of the melted areas 85, 86 in the section 82 after the irradiation by the first set of the first and second split beam pulses 211, 221, a lateral growth of the grains will occur outwardly from each one of the at least partially unmelted areas 84 to the area 52 which was not fully melted and then re-solidified (i.e., the nucleated small grain area). In this manner, the re-solidification areas 87, 88 are formed in the section 82 with each one of the re-solidification areas 87, 88 having a respective row 73, 74 of larger crystal grains with grain boundaries oriented at larger angles with respect to the section 82.

Turning now to Figure 5D, after the completion of the re-solidification of the melted areas 85, 86 in the section 82 that follows the irradiation by the first set of the first and second split beam pulses 211, 221, the sample 260 is microtranslated in the M direction at 135° with respect to the X axis, or the mask 230 (shown in Figure 2) may be microtranslated in the -M direction at -45° with respect to the X axis, to cause the shadow regions 76 of the intensity pattern of a second set of the first and second split beam pulses 211, 221 to be shifted so as to overlap respective ones of the rows 73 of the grains in the section 82. It should be understood by those skilled in the art that either the sample 260, the mask 230 or both may be microtranslated so as to cause the shadow regions 76 of the intensity pattern of the second set of the first and second split beam pulses 211, 221 to overlap respective ones of the rows 74 of grains. Although the beamlets of the intensity pattern of the second set of the first and second split beam pulses 211, 221 are also shifted with respect to the position of the intensity pattern of the first set of the first and second split beam pulses 211, 221, the shifted beamlets still overlap all areas of the section 82 not overlapped by a respective one of the shifted shadow regions 76. Except for the shifting of the shadow regions 76 and the beamlets, the intensity pattern of the second set of the first and second split

beam pulses 211, 221 is the same as that of the first set of the first and second split beam pulses 211, 221.

After the microtranslation of the sample 260 or the mask 230 (or both), the section 82 is irradiated by the second set of the first and second split beam pulses 211, 221. This is done because each area of the section 82 overlapped by the shifted beamlet is melted throughout its entire thickness, while each area of the section 82 overlapped by a respective one of the shifted shadow regions 76 remains at least partially unmelted. Each at least partially unmelted areas adjoins adjacent melted areas. Because the at least partially unmelted areas will contain larger grains with grain boundaries forming larger angles with respect to the section 82 than the grains and grain boundaries of the original section 82, upon the re-solidification of the melted areas 77, 78 in the section 82, these larger grains will seed the growth of the grains laterally in each direction from the at least partially unmelted areas 85 towards the re-nucleated areas 52 of the section 82 so that the section 82 will have larger grains as illustratively represented in Figure 5E. After re-solidification of the melted areas 77, 78 and following the irradiation of the section 82 by the second set of the first and second split beam pulses 211, 221 is completed, additional iterations of the microtranslation of the either the sample 260 or the mask 230 in an appropriate direction, the irradiation by a further set of the first and second split beam pulses 211, 221, and the re-solidification of each melted area of the section 82 of the silicon thin film provided on the sample 260 may be carried out to further reduce the number of grains in the section 82.

After completion of the LS processing of the section 82 to obtain a desired crystalline grain structure in the section 82 of the silicon thin film as described above with reference to Figures 5A-5E, and as discussed above with reference to the exemplary process of Figures 4A-4I, the sample 260 may be translated to a next section of the silicon thin film for LS processing therein. In particular, the sample 260 may be translated to a further section so that the LS processing can be performed therein. For example, the sample 260 may translated in -M direction for a distance such that the next irradiation by the first and second split beam pulses 211, 221 slightly overlaps the previously irradiated, completely melted and re-solidified areas

of the section 82. In this manner, the translated intensity pattern generated by the first and second split beam pulses 211, 221 irradiates a neighboring section of the silicon thin film provided on the sample 260, which is provided at an offset and -45° from the re-solidified areas of the section 82.

5 A third exemplary embodiment of the process according to the present invention shall now be described with reference to Figures 6A-6D. In this exemplary embodiment of the process, as shown in Figure 6A, the mask 230 includes at least two sets of slits 300, 310 which have respective opaque regions 307, 317 surrounding corresponding transparent regions 305, 309 and 315, 319 of the mask 230. The mask
10 230 used in this exemplary embodiment of the process according to the present invention does not have any opaque regions inside the transparent regions 305, 309, 315, 319. Accordingly, with the use of the slits 300, 310, the second split beam pulse 221 is shaped to have the irradiation pattern substantially corresponding to the pattern of the slits 300, 310 of the mask 230.

15 Turning now to Figure 6B, the same configuration of the section 82 of the silicon thin film provided on the sample 260 used to describe the first and second exemplary embodiments of the process (as illustrated in Figures 4A-4I and 5A-5E, respectively) is used herein to describe the present embodiment of the process according to the present invention. As in the first and second exemplary embodiment
20 of the process, the section 82 initially has small grains and grain boundaries that are oriented in random directions. Initially, areas 320, 328, 330, 338 of the section 82 of the silicon thin film are irradiated by a first set of the first and second split beam pulses 211, 221 having an intensity pattern as defined by the exemplary embodiment of the mask 230 shown in Figure 6A. In particular, the areas 320, 328 are irradiated
25 by the portion of the intensity pattern of the second split beam pulses 221 which are shaped by the slits 305, 309 of the mask 230, and the areas 330, 338 are irradiated by the portion of the intensity pattern of the second split beam pulses 221 which are shaped by the slits 315, 319 of the mask 230. Since the oblique regions of the mask 230 prevent the second split beam pulses 221 from irradiating the areas 329, 339 of
30 the section 82 which are immediately adjacent to the areas 320, 328, 330, 338, these areas 329, 339 are at least partially unmelted. After the irradiation by the first set of

the first and second split beam pulses 211, 221, the areas 320, 328, 330, 338 are melted throughout their entire thickness.

Thereafter, the at least partially unmelted areas 329, 339 of the section 82 of the silicon thin film re-solidify and crystallize to form nucleated areas
5 corresponding to the at least partially unmelted areas 329, 339. Also, after the irradiation thereof by the first set of the first and second split beam pulses 211, 221, the melted areas 320, 328, 330, 338 in the section 82 cool and re-solidify, and the lateral growth of the grains occurs outwardly from the nucleated areas 329, 339 toward respective centers 322, 332 of the completely melted and resolidifying areas
10 320, 328, 330, 338. In this manner, the re-solidification areas 320, 328, 330, 338 are formed in the section 82 with each one of the re-solidification areas 320, 328 and 330, 338 having two respective rows 322, 324 and 332, 334 of larger crystal grains.

After the completion of the re-solidification of the melted areas 320, 328 and 330, 338 in the section 82, and following the irradiation by the first set of the
15 first and second split beam pulses 211, 221, the sample 260 is translated in the M direction at 135° with respect to the X axis, or the mask 230 (shown in Figure 2) may be microtranslated in the -M direction at -45° with respect to the X axis, so as to cause the intensity pattern of a second set of the first and second split beam pulses 211, 221 to be shifted to overlap at least one entire row 324, 334 of the re-solidified
20 areas 320, 328 and 330, 338 in the section 82 (e.g., preferably to overlap the respective centers 322, 332 thereof). It should be understood by those skilled in the art that either the sample 260, the mask 230 or both may be translated to cause the intensity pattern of the second set of the first and second split beam pulses 211, 221 to slightly overlap at least one row 324, 334. It should be understood that the intensity
25 pattern of the second set of the first and second split beam pulses 211, 221 is the same as that of the first set of the first and second split beam pulses 211, 221. It is also within the scope of the present invention for the intensity pattern of a second set of the first and second split beam pulses 211, 221 to slightly overlap a small section of at least one row 324, 334 of the re-solidified areas 320, 328 and 330, 338 in the section
30 82.

After the translation of the sample 260 or the mask 230 (or both), new areas 340, 342, 350, 352 of the section 82 (which are overlapped by the relatively translated first and second split beam pulse 211, 221) are irradiated by the irradiation pattern of the second set of the first and second split beam pulses 211, 221. As with the areas 320, 328, 330, 338, the new areas 340, 342, 344, 346 of the section of the silicon thin film are completely melted throughout their thickness. As discussed previously, due to the fact that the oblique regions of the mask 230 prevent the second split beam pulses 221 from irradiating the areas 343, 347 of the section 82 which are immediately adjacent to the areas 340, 342 and 344, 346, respectively, these adjacent areas 343, 347 are at least partially unmelted. Figure 6C shows the sample 260 when the completely melted areas 340, 342, 344, 346 have re-solidified after being irradiated by the first and second split beam pulses 211, 221. Also shown are the areas 343, 347 which were partially melted.

As shown in Figure 6D, upon the re-solidification of the fully melted areas 340, 342, 344, 346 in the section 82, the areas 343, 347 re-solidify and nucleate such that the grains of the nucleated areas 343, 347 will seed the growth of the grains of the melted areas 340, 342, 344, 346 laterally toward the respective centers of these areas 340, 342, 344, 346. At the same time, the grains of the solidified and not re-melted portions of the areas 320, 328, 330, 338 will also seed the grain growth of the areas 340, 342, 344, 346 laterally toward the respective centers of these areas 340, 342, 344, 346. In this manner, the grains extending from the solidified and not re-melted portions of the areas 320, 328, 330, 338 will extend into the newly solidifying areas 340, 342, 344, 346 so as to form long crystalline grains which extend up to the respective centers 352, 356 and 362, 366 of the re-solidified areas of the section 82 of the silicon thin film which correspond to the melted areas 340, 342 and 344, 346, respectively. Therefore, the grains in the rows 324, 334 will be longer than the grains in rows 350, 354, 360, 364.

In this manner, the LS processing of the section 82 to obtain a desired long crystalline grain structure in the section 82 of the silicon thin film as described above with reference to Figures 6A-6D can be achieved. It should be understood that the translation of the sample 260 in the +M direction or the mask 230 in the -M

direction may continue until the entire sample has been irradiated in the manner described above with reference to the third exemplary embodiment of the process according to the present invention.

Figure 7 is a flow diagram representing an exemplary LS processing procedure under at least partial computer control using the processes of the present invention of Figures 4A-4I, 5A-5E and 6A-6D, as may be carried out by the system of Figure 2. In step 500, the hardware components of the system of Figure 2, such as the beam source 200 and the homogenizer 213, are first initialized at least in part by the computing arrangement 270. The sample 260 is loaded onto the sample translation stage 250 in step 505. It should be noted that such loading may be performed either manually or automatically using known sample loading apparatus under the control of the computing arrangement 270. Next, the sample translation stage 250 is moved, preferably under the control of the computing arrangement 270, to an initial position in step 510. Various other optical components of the system are adjusted manually or under the control of the computing arrangement 270 for a proper focus and alignment in step 515, if necessary. In step 520, the irradiation/laser beam 201 is stabilized at a predetermined pulse energy level, pulse duration and repetition rate. Then, the irradiation/laser beam 201 is directed to the beam splitter 210 to generate the first split beam pulse 211 and the second split beam pulse 221 in step 525. In step 530, the second split beam 221 is aligned with the mask 230, and the second split beam pulse 221 is irradiated through the mask 230 to form a masked beam pulse 225.

In step 535, if the current section of the sample 260 is unmelted or has already solidified, this current section of the sample 260 is irradiated with the first split beam pulse 211 and the masked beam pulse 225 which has an intensity pattern controlled by the mask 230. During this step, the sample 260 can be microtranslated as described above with reference to the processes illustrated in Figures 4A-4I and 5A-5E, and the corresponding sections again irradiated and melted throughout their entire thickness. In step 540, it is determined whether there are any more sections of the sample 260 that need to be subjected to the LS processing. If so, the sample 260 is translated using the sample translation stage 250 so that the next section thereof is aligned with the first and second split beam pulses 211, 221 (step 545), and the LS

processing is returned to step 535 to be performed on the next section of the sample 260. Otherwise, the LS processing has been completed for the sample 260, the hardware components and the beam of the system shown in Figure can be shut off (step 550), and the process terminates.

5 The foregoing merely illustrates the principles of the invention. Various modifications and alterations to the described embodiments will be apparent to those skilled in the art in view of the teachings herein. For example, while the above embodiment has been described with respect to sequential lateral solidification, it may apply to other materials processing techniques, such as micro-machining,
10 photo-ablation, and micro-patterning techniques, including those described in International patent application no. PCT/US01/12799 and U.S. patent application serial nos. 09/390,535, 09/390,537 and 09/526,585, the entire disclosures of which are incorporated herein by reference. The various mask patterns and intensity beam
15 patterns described in the above-referenced patent application can also be utilized with the process and system of the present invention. It will thus be appreciated that those skilled in the art will be able to devise numerous systems and methods which, although not explicitly shown or described herein, embody the principles of the invention and are thus within the spirit and scope of the invention.

What Is Claimed Is:

1. A process for processing a silicon thin film on a sample, comprising the steps of:
 - 5 (a) controlling an irradiation beam generator to emit irradiation beam pulses at a predetermined repetition rate;
 - (b) separating the irradiation beam pulses into a first set of separated beam pulses and a second set of separated beam pulses;
 - (c) forwarding the first set of separated beam pulses to irradiate and pass
10 at least portions thereof through a mask to produce a plurality of beamlets; and
 - (d) providing the second set of separated beam pulses and the beamlets to impinge and irradiate at least one section of the silicon thin film, wherein, when the second set of separated beam pulses and the beamlets simultaneously irradiate the at least one section of the silicon thin film, the second set of the separated beam pulses
15 and the beamlets provide a combined intensity which is sufficient to melt the at least one irradiated section of the silicon thin film throughout an entire thickness of the section.
2. The process according to claim 1, wherein the first set of separated beam pulses has a corresponding intensity which is lower than an intensity required to
20 damage or degrade the mask.
3. The process according to claim 1, wherein step (c) includes the substep of preventing the second set of separated beam pulses from being forwarded to the mask.
4. The process according to claim 3, wherein the preventing substep is performed by diverting the second set of separated beam pulses away from the mask prior to the
25 second set of separated beam pulses reaching the mask.
5. The process according to claim 1, wherein the second set of separated beam pulses has a corresponding intensity which is lower than an intensity required to melt the at least one section of the silicon thin film throughout the entire thickness thereof.

6. The process according to claim 1, wherein, during step (d), the at least one irradiated and melted section of the silicon thin film is allowed to re-solidify and crystallize.

7. The process according to claim 6, further comprising the step of:

5 (e) after step (d) and after the section of the silicon thin film re-solidifies and crystallizes, translating the sample so that the beamlets and the second set of separated beam pulses impinge a further section of the silicon thin film, wherein the further section at least partially overlaps the section that was allowed to re-solidify and crystallize.

10 8. The process according to claim 7, further comprising the step of:

(f) after step (d) and before step (e), microtranslating the sample so that the beamlets and the second set of separated beam pulses impinge at least one previously irradiated, fully melted, re-solidified and crystallized portion of the section of the silicon thin film.

15 9. The process according to claim 8, wherein the beamlets and the second set of separated beam pulses irradiate and fully melt the section of the silicon thin film from a microtranslated location of impingement on the sample.

10. The process according to claim 8, wherein the mask has a dot-like pattern such that dot portions of the pattern are oblique regions of the mask which prevent certain
20 portions of the first set of separated beam pulses to irradiate there through.

11. The process according to claim 8, wherein the mask has a line pattern such that line portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of separated beam pulses to irradiate there through.

12. The process according to claim 7, wherein the mask has a transparent pattern
25 such that transparent portions of the pattern do not include oblique regions therein, the oblique regions capable of preventing certain portions of the first set of separated beam pulses to irradiate there through.

13. A process for processing a silicon thin film on a sample, comprising the steps of:

(a) controlling an irradiation beam generator arrangement to provide first and second sets of irradiation beam pulses at a predetermined repetition rate;

5 (b) forwarding the first set of beam pulses to irradiate and pass at least a portion thereof through a mask to produce a plurality of beamlets; and

(c) providing the second set of beam pulses and the beamlets to impinge and irradiate at least one section of the silicon thin film, wherein, when the second set of beam pulses and the beamlets simultaneously irradiate the at least one section of
10 the silicon thin film, the second set of beam pulses and the beamlets provide a combined intensity which is sufficient to melt the at least one irradiated section of the silicon thin film throughout an entire thickness of the section.

14. The process according to claim 13, wherein step (a) includes the substeps of:

i. emitting irradiation beam pulses at a predetermined repetition
15 rate, and
ii. separating the irradiation beam pulses into the first set of beam pulses and the second set of beam pulses.

15. The process according to claim 14, wherein substep (ii) is performed prior to the irradiation beam pulses reaching the mask.

20 16. The process according to claim 13, wherein the first set of beam pulses has a corresponding intensity which is lower than an intensity required to damage or degrade the mask.

17. The process according to claim 13, wherein step (b) includes the substep of preventing the second set of beam pulses from being forwarded to the mask.

25 18. The process according to claim 16, wherein the preventing substep is performed by diverting the second set of beam pulses away from the mask prior to the second set of beam pulses reaching the mask.

19. The process according to claim 13, wherein the second set of beam pulses has a corresponding intensity which is lower than an intensity required to melt the at least one section of the silicon thin film throughout the entire thickness thereof.
20. The process according to claim 13, wherein, during step (c), the at least one
5 irradiated and melted section of the silicon thin film is allowed to re-solidify and crystallize.
21. The process according to claim 20, further comprising the step of:
(d) after step (c) and after the section of the silicon thin film re-solidifies and crystallizes, translating the sample so that the beamlets and the second set of
10 beam pulses impinge a further section of the silicon thin film, wherein the further section at least partially overlaps the section that was allowed to re-solidify and crystallize.
22. The process according to claim 21, further comprising the step of:
(e) after step (c) and before step (d), microtranslating the sample so that
15 the beamlets and the second set of beam pulses impinge at least one previously irradiated, fully melted, re-solidified and crystallized portion of the section of the silicon thin film.
23. The process according to claim 22, wherein the beamlets and the second set of beam pulses irradiate and fully melt the section of the silicon thin film from a
20 microtranslated location of impingement on the sample.
24. The process according to claim 22, wherein the mask has a dot-like pattern such that dot portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of beam pulses to irradiate there through.
25. The process according to claim 22, wherein the mask has a line pattern such
25 that line portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of beam pulses to irradiate there through.

26. The process according to claim 21, wherein the mask has a transparent pattern such that transparent portions of the pattern do not include oblique regions therein, the oblique regions capable of preventing certain portions of the first set of beam pulses to irradiate there through.

5 27. A system for processing a silicon thin film on a sample, comprising:
a memory storing a computer program; and
a processing arrangement executing the computer program to perform the
following steps:

- 10 (a) controlling an irradiation beam generator to emit irradiation
beam pulses at a predetermined repetition rate,
- (b) causing the irradiation beam pulses to be separated into a first
set of separated beam pulses and a second set of separated
beam pulses,
- 15 (c) forwarding the first set of separated beam pulses to irradiate
and pass at least portions thereof through a mask to produce a
plurality of beamlets, and
- (d) causing the second set of separated beam pulses and the
beamlets to impinge and irradiate at least one section of the
silicon thin film,

20 wherein, when the second set of separated beam pulses and the beamlets,
when both simultaneously irradiate the at least one section of the silicon thin film, the
second set of separated beam pulses and beamlets provide a combined intensity which
is sufficient to melt the at least one irradiated section of the silicon thin film
throughout an entire thickness of the section.

25 28. The system according to claim 27, further comprising a beam splitter arranged
in a vicinity of the processing arrangement, wherein the processing arrangement
causes the irradiation beam pulses to be forwarded to the beam splitter which
separates the irradiation beam pulses into the first set of separated beam pulses and
the second set of separated beam pulses.

29. The system according to claim 28, wherein the beam splitter is located upstream in a path of the irradiation beam pulses from the mask.

30. The system according to claim 27, wherein the first set of separated beam pulses has a corresponding intensity which is lower than an intensity required to
5 damage or degrade the mask.

31. The system according to claim 27, wherein the processing arrangement executes the computer program to prevent the second set of separated beam pulses from being forwarded to the mask.

32. The system according to claim 31, wherein the second set of separated beam
10 pulses from being forwarded to the mask by diverting the second set of separated beam pulses away from the mask prior to the second set of separated beam pulses reaching the mask.

33. The system according to claim 27, wherein the second set of separated beam pulses has a corresponding intensity which is lower than an intensity required to melt
15 the at least one section of the silicon thin film throughout the entire thickness thereof.

34. The system according to claim 27, wherein, when at least one section of the silicon thin film is irradiated, the at least one irradiated and melted section of the silicon thin film is allowed to re-solidify and crystallize.

35. The system according to claim 34, wherein the processing arrangement
20 executes the computer program to perform the following further step:

(e) after substep (d) and after the section of the silicon thin film re-solidifies and crystallizes, causing a translation of the sample so that the beamlets and the second set of separated beam pulses impinge a further section of the silicon thin film, wherein the
25 further section at least partially overlaps the section that was allowed to re-solidify and crystallize.

36. The system according to claim 35, wherein the processing arrangement executes the computer program to perform the following further step:

- 5 (f) after substep (d) and before substep (e), causing a microtranslation of the sample so that the beamlets and the second set of separated beam pulses impinge at least one previously irradiated, fully melted, re-solidified and crystallized portion of the section of the silicon thin film.

37. The system according to claim 36, wherein the beamlets and the second set of separated beam pulses irradiate and fully melt the section of the silicon thin film from
10 a microtranslated location of impingement of the sample.

38. The system according to claim 36, wherein the mask has a dot-like pattern such that dot portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of separated beam pulses to irradiate there through.

39. The system according to claim 36, wherein the mask has a line pattern such
15 that line portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of separated beam pulses to irradiate there through.

40. The system according to claim 35, wherein the mask has a transparent pattern such that transparent portions of the pattern do not include oblique regions therein, the oblique regions capable of preventing certain portions the first set of separated beam
20 pulses to irradiate there through.

41. A system for processing a silicon thin film on a sample, comprising:
a memory storing a computer program; and
a processing arrangement executing the computer program to perform the following steps:

- 25 (a) controlling an irradiation beam generator arrangement to provide first and second sets of irradiation beam pulses at a predetermined repetition rate,

- (b) causing the first set of beam pulses to be irradiated and pass at least a portion thereof through a mask to produce a plurality of beamlets, and
- (c) causing the second set of beam pulses and the beamlets to impinge and irradiate at least one section of the silicon thin film,

5 wherein, when the second set of beam pulses and the beamlets simultaneously irradiate the at least one section of the silicon thin film, the second set of beam pulses and the beamlets provide a combined intensity which is sufficient to melt the at least one irradiated section of the silicon thin film throughout an entire thickness of the section.

10 42. The system according to claim 41, wherein the processing arrangement causes the irradiation beam generator arrangement to emit irradiation beam pulses at a predetermined repetition rate.

43. The system according to claim 41, further comprising a beam splitter arranged in a vicinity of the processing arrangement, wherein the processing arrangement
15 causes the irradiation beam pulses to be forwarded to the beam splitter which separates the irradiation beam pulses into the first set of beam pulses and the second set of beam pulses.

44. The system according to claim 41, wherein the beam splitter is located upstream in a path of the irradiation beam pulses from the mask.

20 45. The system according to claim 43, wherein the beam splitter separates the irradiation beam pulses into the first set of beam pulses and the second set of beam pulses prior to the irradiation beam pulses reaching the mask.

46. The system according to claim 41, wherein the first set of beam pulses has a corresponding intensity which is lower than an intensity required to damage or
25 degrade the mask.

47. The system according to claim 41, wherein the processing arrangement executes the computer program to prevent the second set of beam pulses from being forwarded to the mask.

48. The system according to claim 47, wherein the second set of beam pulses from being forwarded to the mask by diverting the second set of beam pulses away from the mask prior to the second set of beam pulses reaching the mask.
49. The system according to claim 41, wherein the second set of beam pulses has
5 a corresponding intensity which is lower than an intensity required to melt the at least one section of the silicon thin film throughout the entire thickness thereof.
50. The system according to claim 41, wherein, when at least one section of the silicon thin film is irradiated, the at least one irradiated and melted section of the silicon thin film is allowed to re-solidify and crystallize.
- 10 51. The system according to claim 50, wherein the processing arrangement executes the computer program to perform the following further step:
- (d) after substep (c) and after the section of the silicon thin film re-solidifies and crystallizes, causing a translation of the sample so that
15 the beamlets and the second set of beam pulses impinge a further section of the silicon thin film, wherein the further section at least partially overlaps the section that was allowed to re-solidify and crystallize.
52. The system according to claim 51, wherein the processing arrangement executes the computer program to perform the following further step:
- 20 (e) after substep (c) and before substep (d), causing a microtranslation of the sample so that the beamlets and the second set of beam pulses impinge at least one previously irradiated, fully melted, re-solidified and crystallized portion of the section of the silicon thin film.
53. The system according to claim 52, wherein the beamlets and the second set of
25 beam pulses irradiate and fully melt the section of the silicon thin film from a microtranslated location of the sample.

54. The system according to claim 52, wherein the mask has a dot-like pattern such that dot portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of beam pulses to irradiate there through.
55. The system according to claim 52, wherein the mask has a line pattern such
5 that line portions of the pattern are oblique regions of the mask which prevent certain portions of the first set of beam pulses to irradiate there through.
56. The system according to claim 51, wherein the mask has a transparent pattern such that transparent portions of the pattern do not include oblique regions therein, the oblique regions capable of preventing certain portions of the first set of beam pulses
10 to irradiate there through.

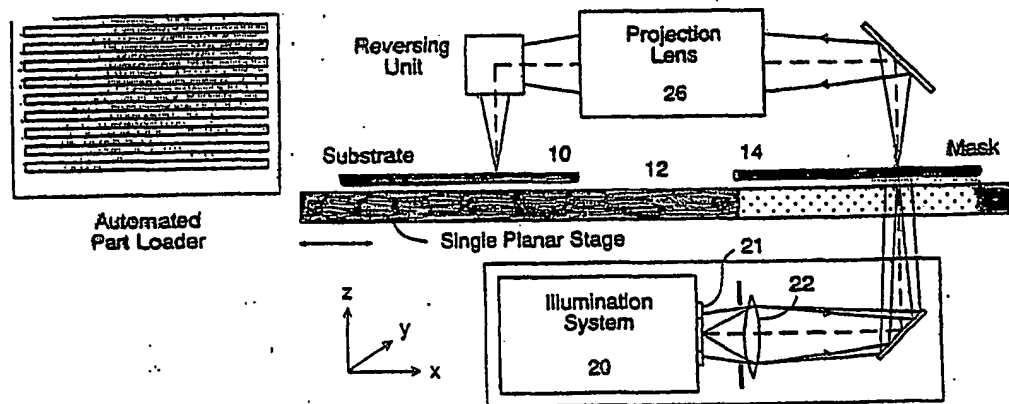


Figure 1
PRIOR ART

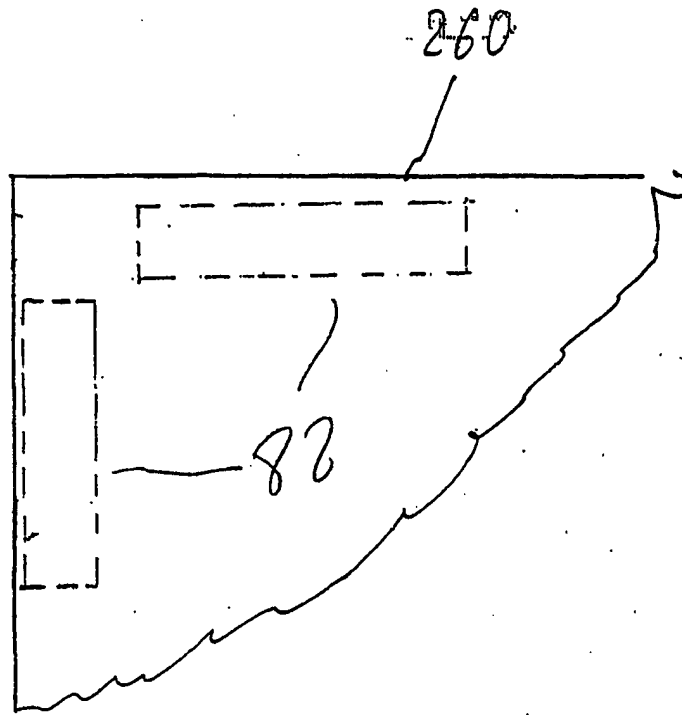


Figure 4A

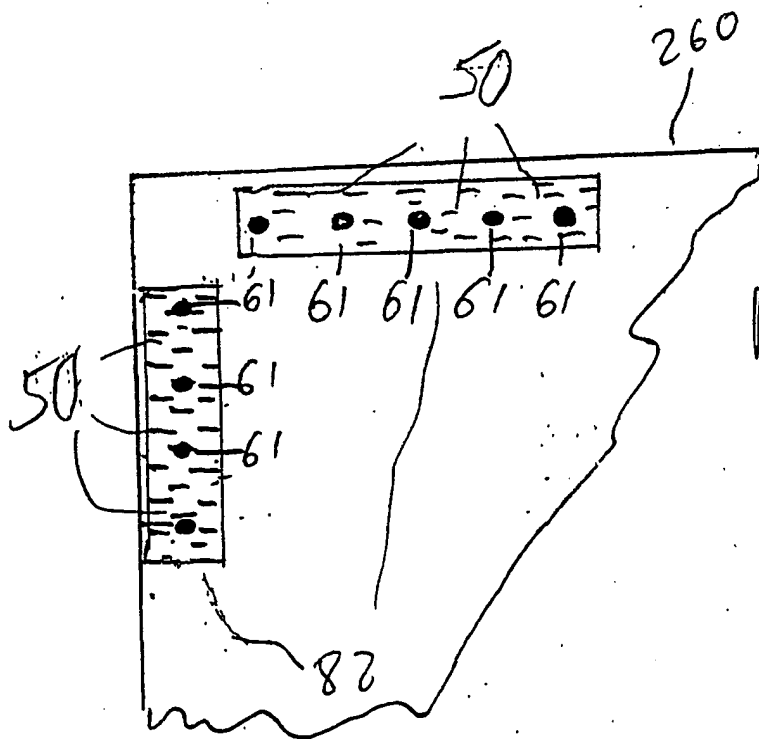


Figure 4B

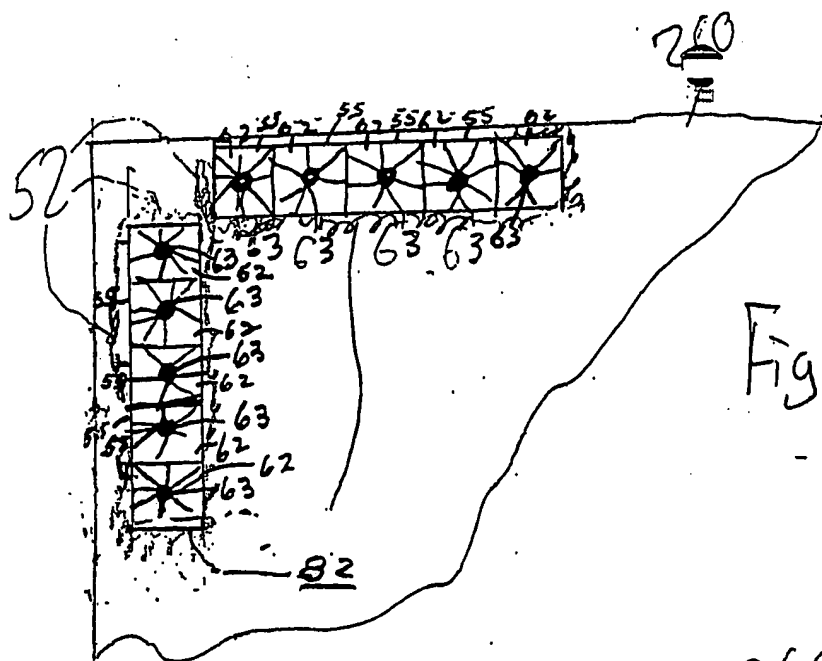


Figure 4C

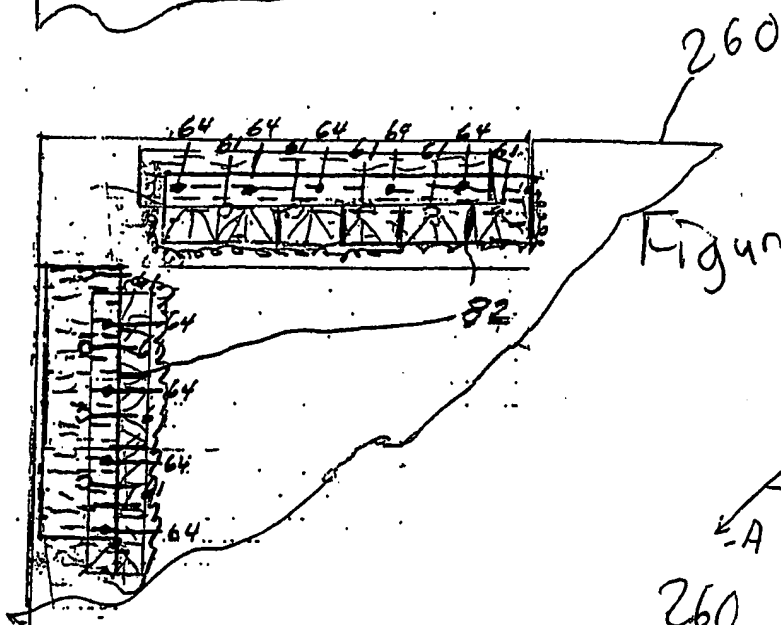


Figure 4D

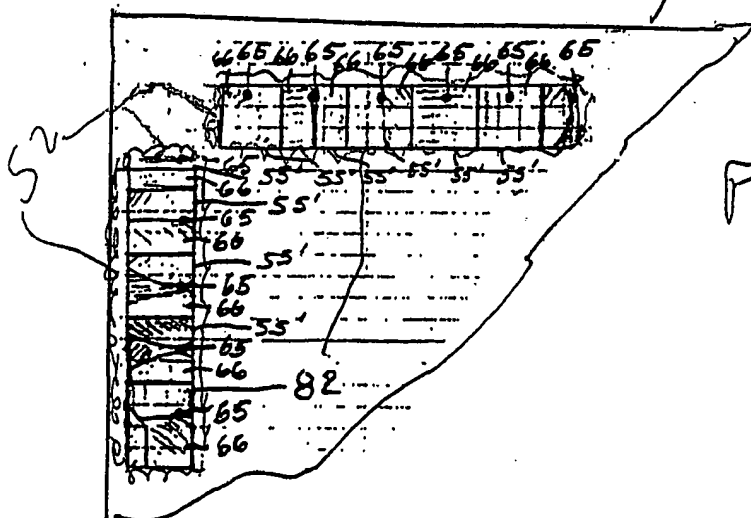
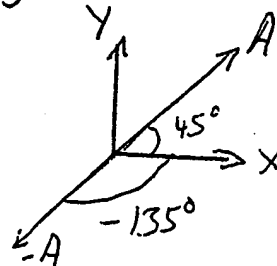
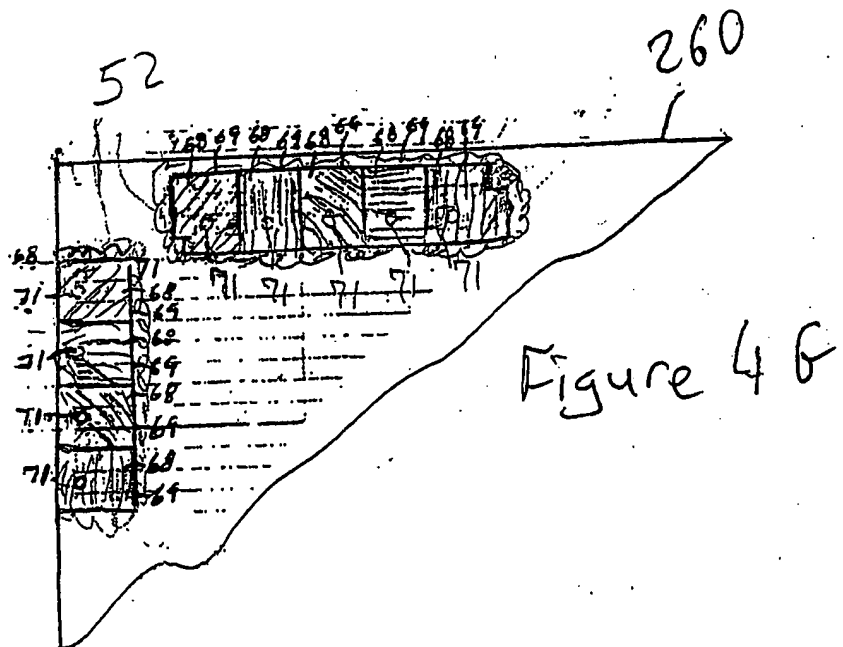
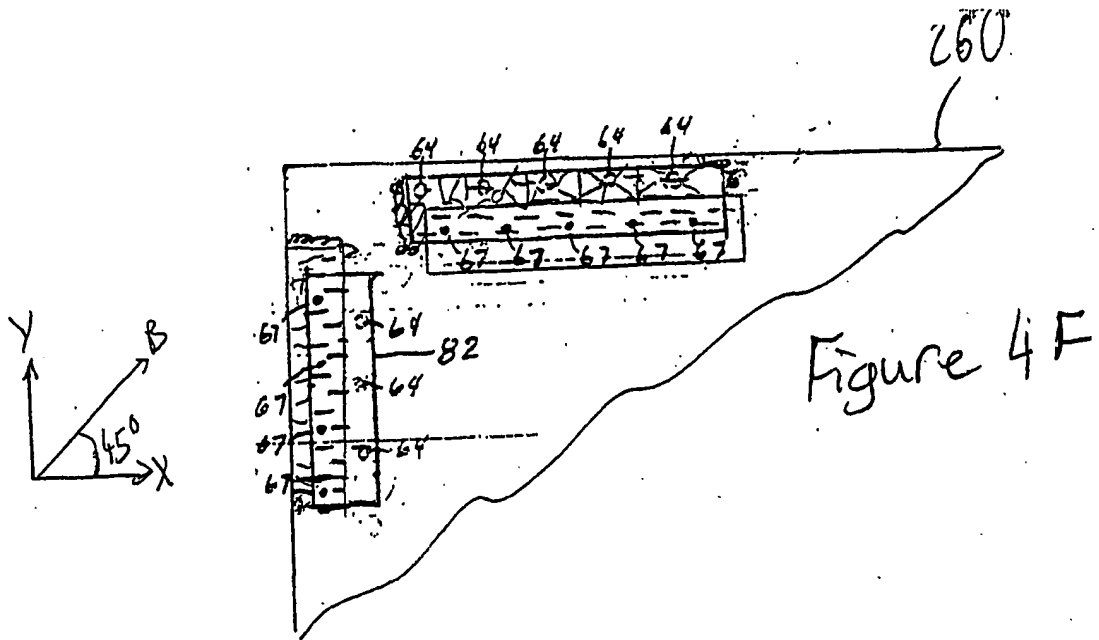


Figure 4E



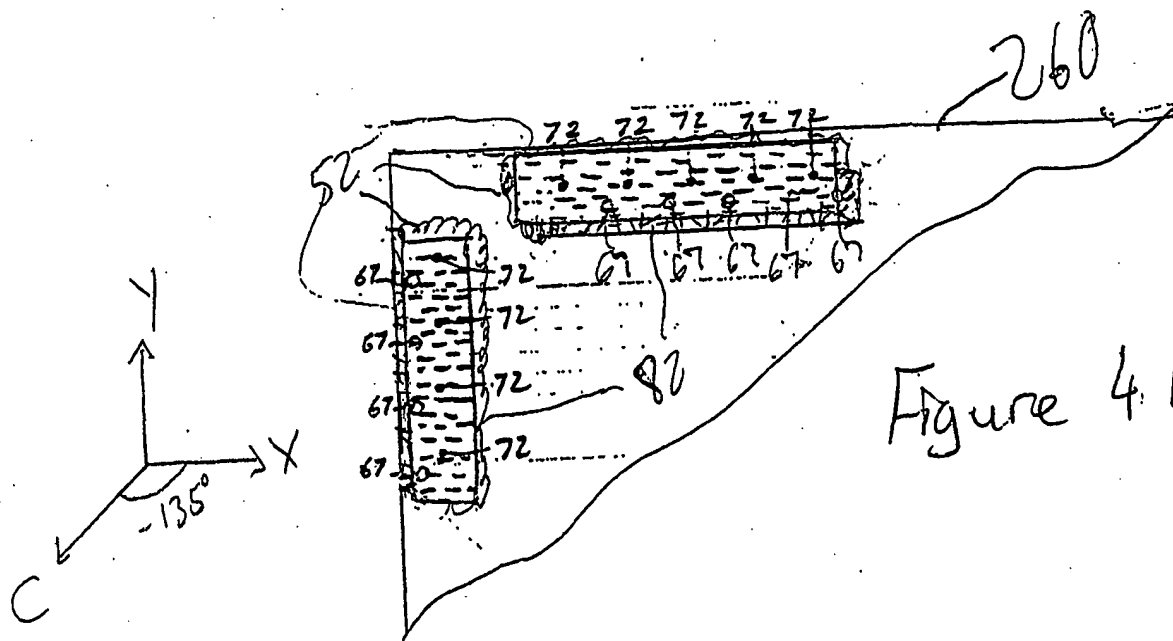


Figure 4M

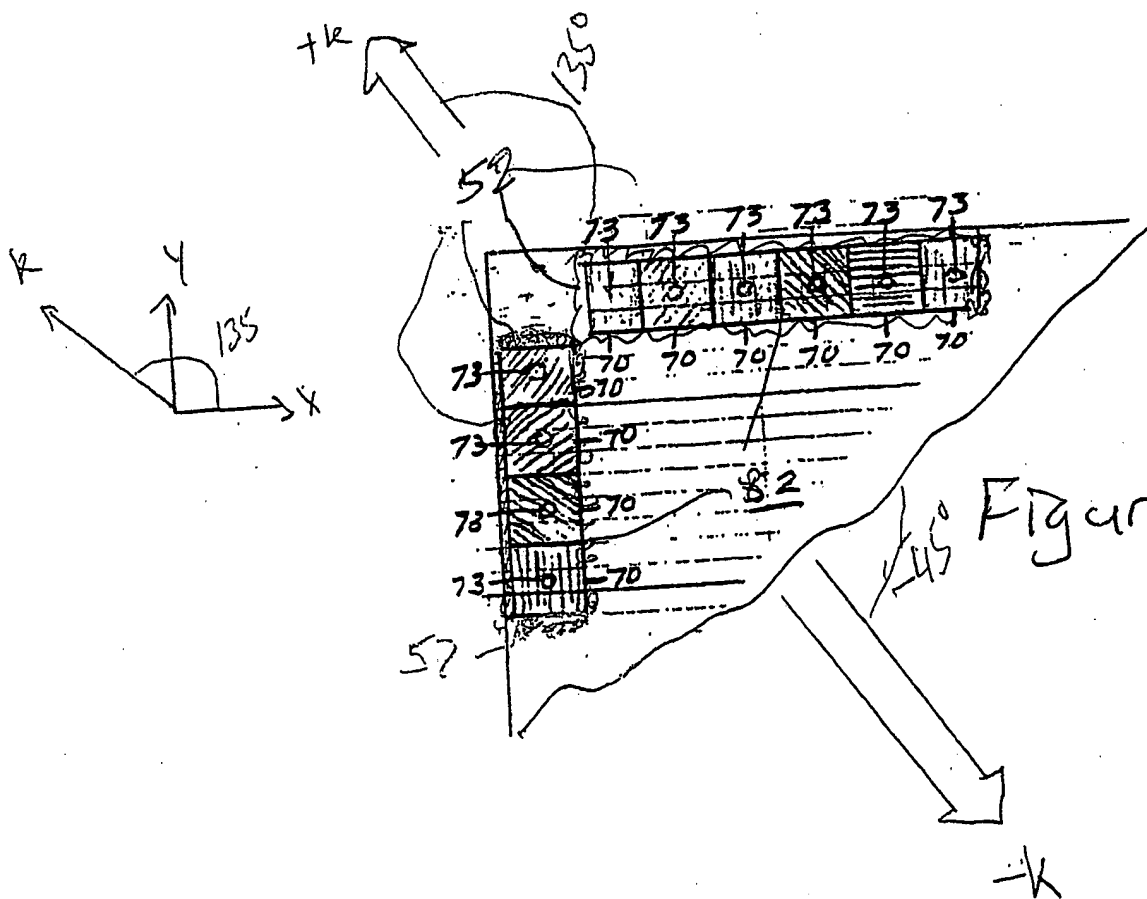


Figure 4I

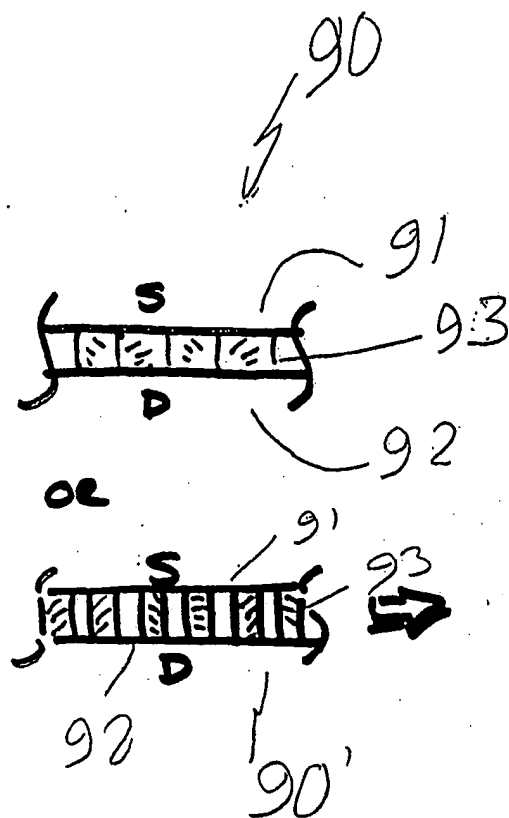


Figure 45

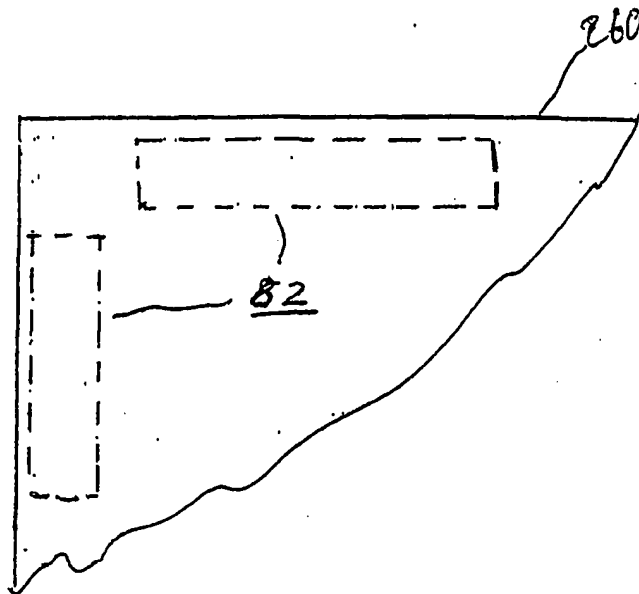


Figure 5A

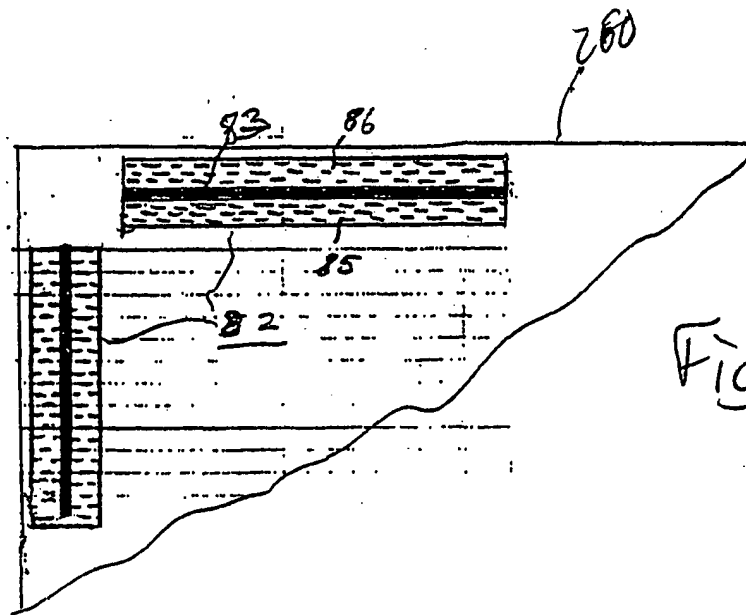
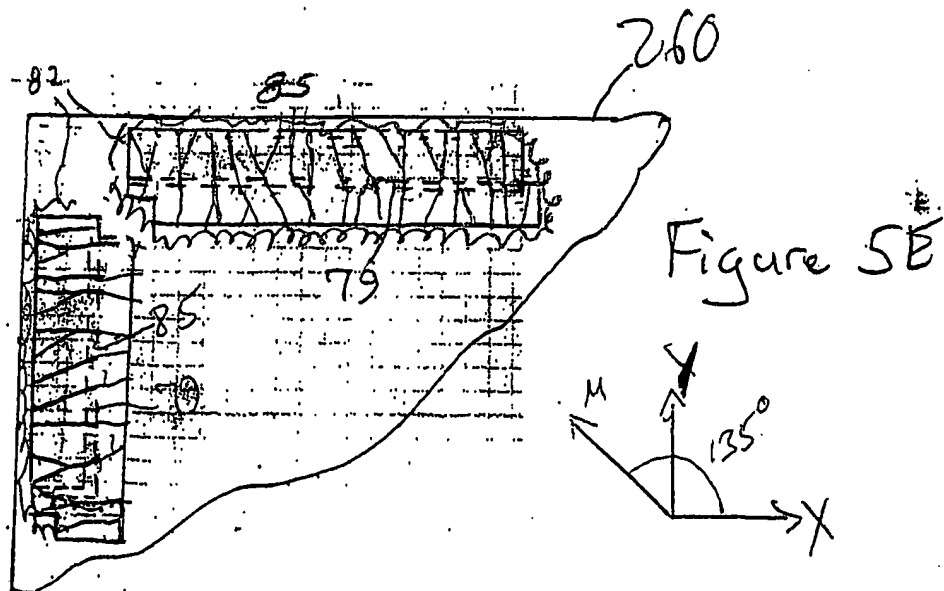
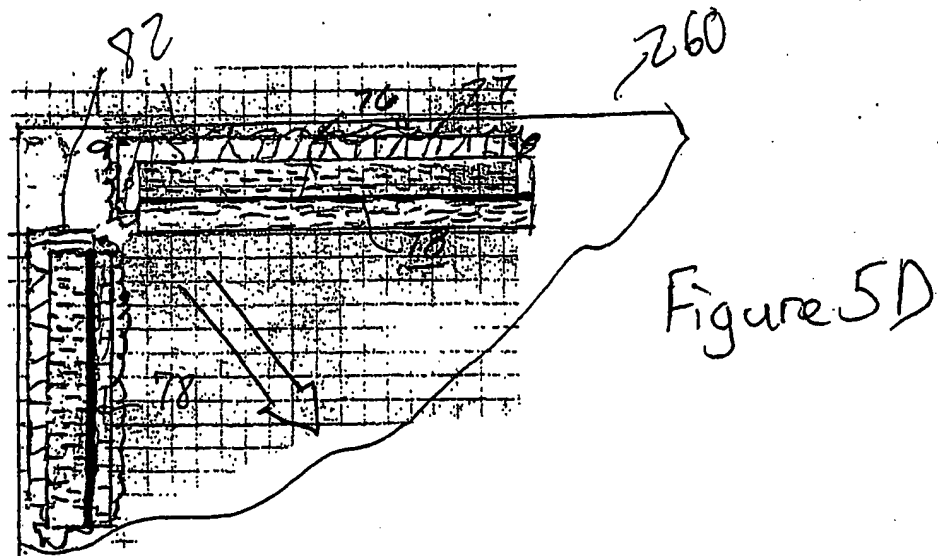
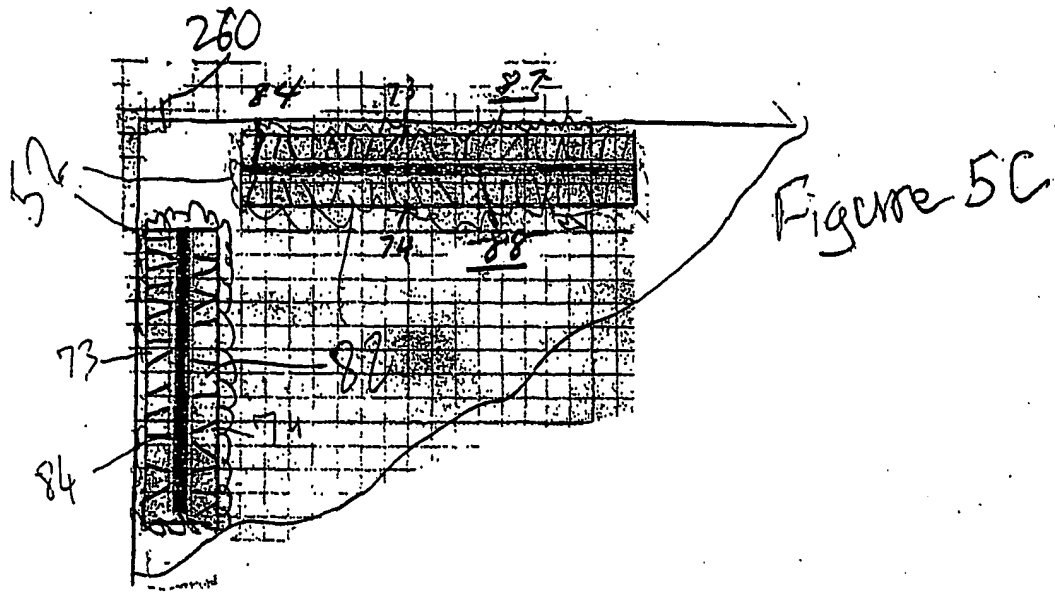
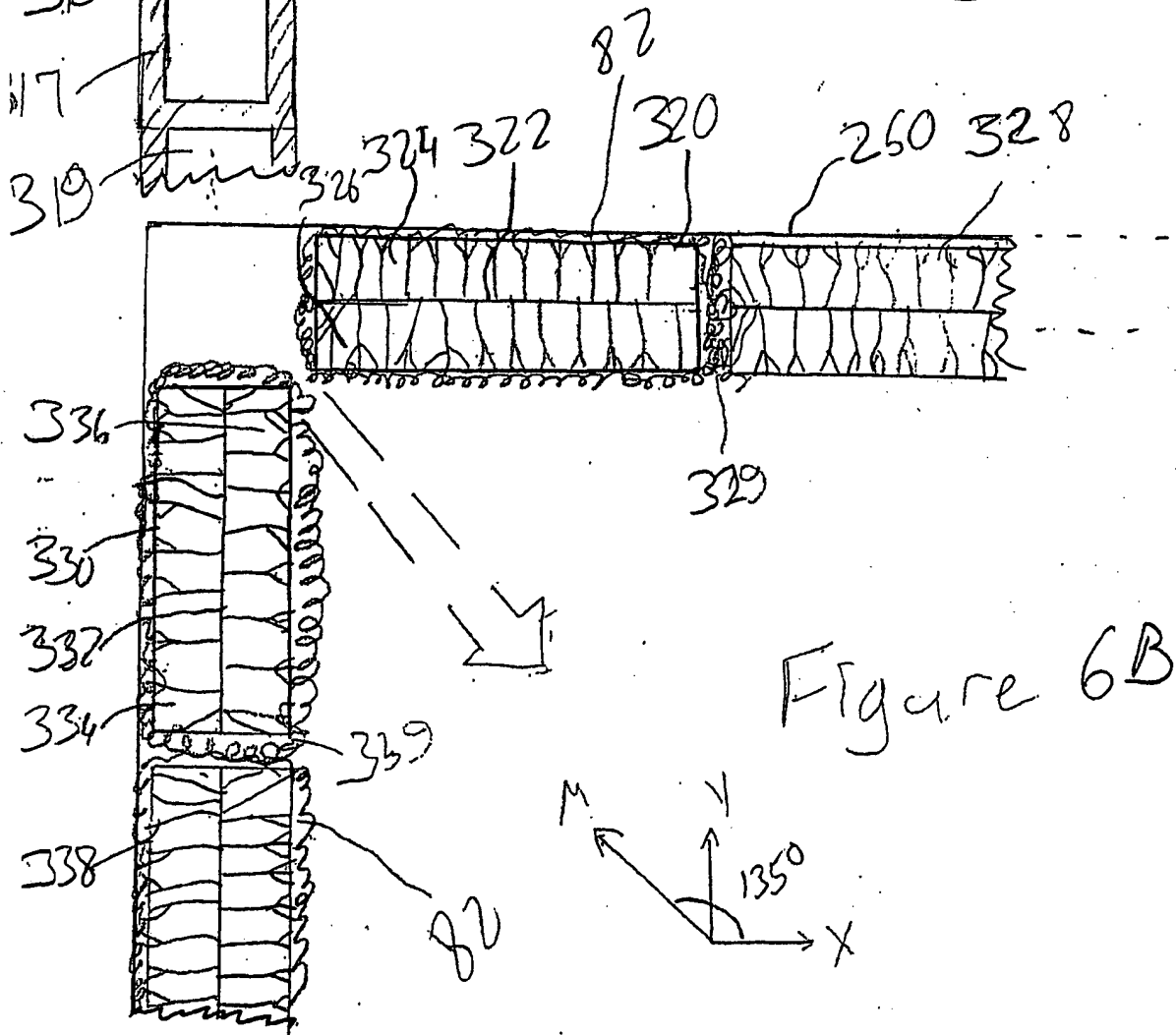
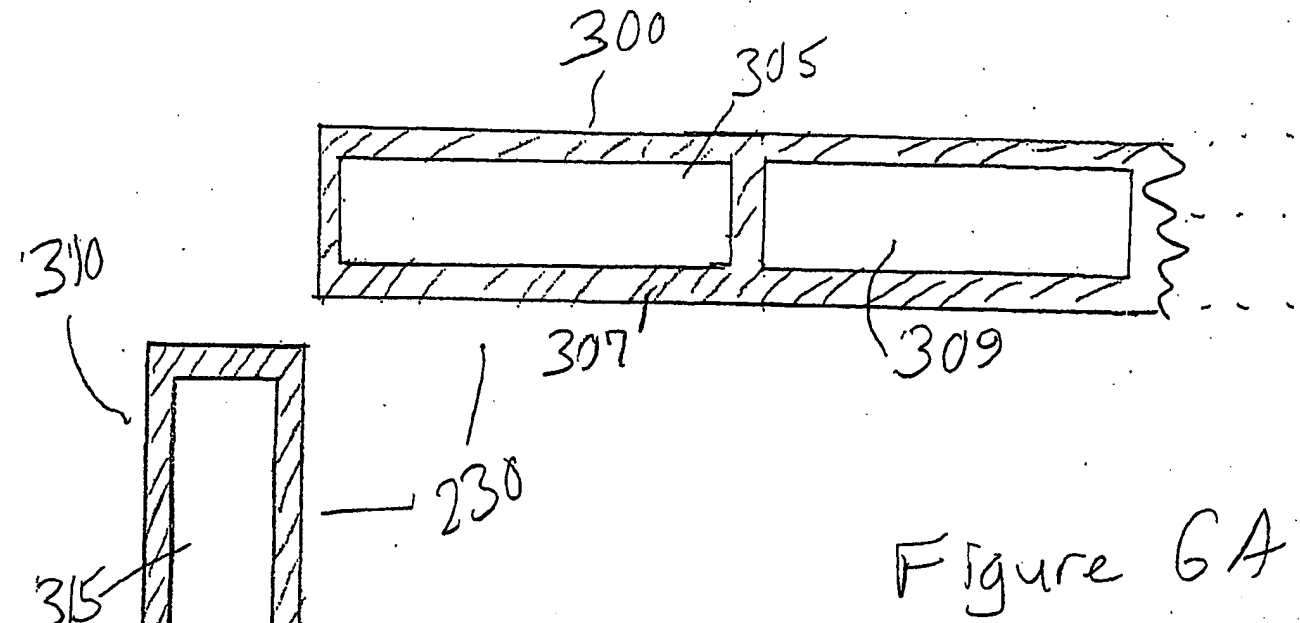


Figure 5B





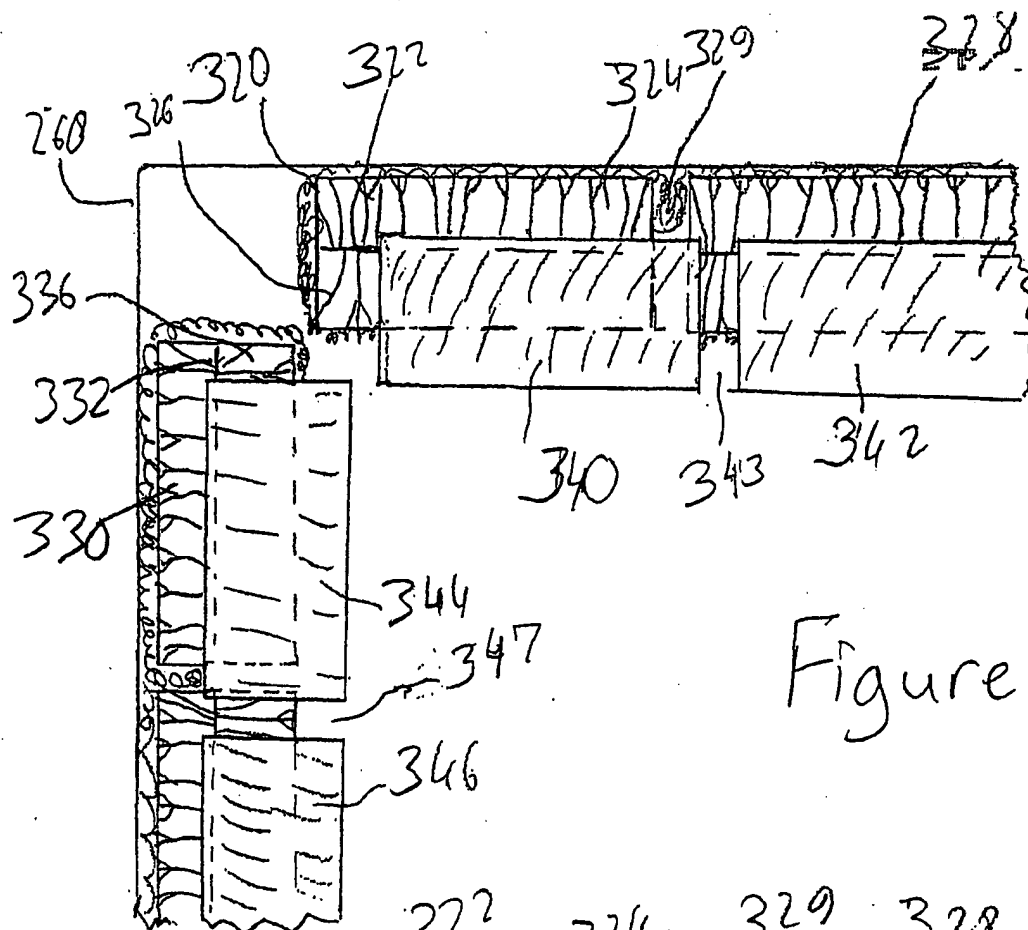


Figure 6C

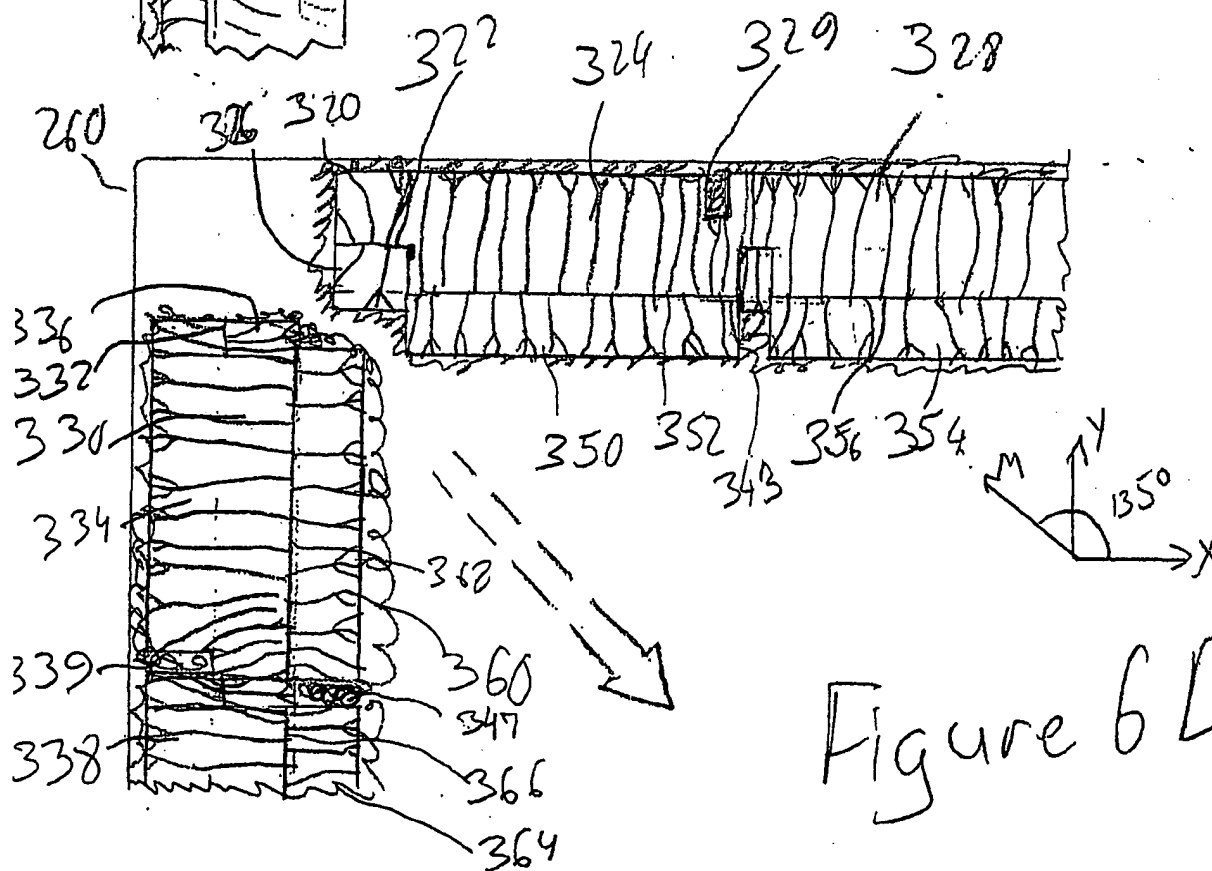
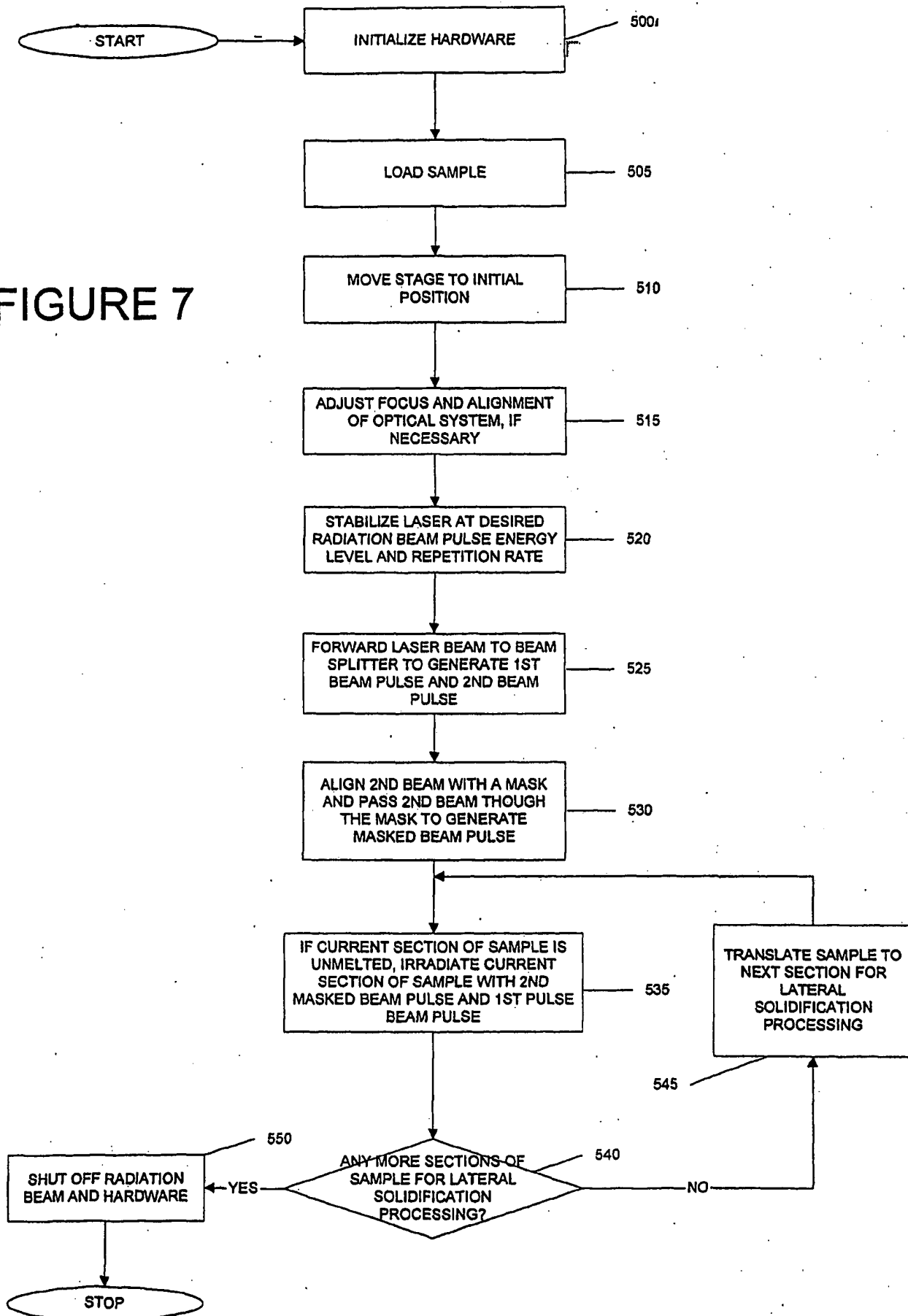


Figure 6D

FIGURE 7



235871InventoryList

"InventoryList"

"PCT/US01/44415"

"14 Mar 2002"

"1. DOE0901 Notification of Status of Requirements Under 35 U.S.C.
371"

"2. RO101 PCT/RO/101 Form Record Copy"

"3. RO102N Notification concerning Payment of Prescribed Fees-No R
epl y"

"4. RO105 Notification of The International Application # and of t
he Intl. Filing Date"

"5. RO106 Invitation To Correct Defects in The International Appli
cation (Incl. Annex ABC) "

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G03F7/20 B23K26/067 B23K26/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G03F B23K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	FR 2 745 214 A (THOMSON CSF) 29 August 1997 (1997-08-29) the whole document ---	1-4, 13-18, 27-30, 32,41-46
A	US 5 111 312 A (STEWART BOB W) 5 May 1992 (1992-05-05) column 5, line 35 - line 66; figure 5 ---	1-4, 13-18, 27-30, 32,41-46
A	US 5 285 236 A (JAIN KANTI) 8 February 1994 (1994-02-08) cited in the application the whole document --- -/--	1,13,27, 41

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

3 May 2002

Date of mailing of the international search report

13/05/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Aran, D

INTERNATIONAL SEARCH REPORT

Application No
PC 1/98 01/44415

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01 18855 A (UNIV COLUMBIA) 15 March 2001 (2001-03-15) cited in the application the whole document -----	1, 13, 27, 41

INTERNATIONAL SEARCH REPORT

Information on patent family members

Application No
PCT/JP 01/44415

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
FR 2745214	A	29-08-1997	FR	2745214 A1	29-08-1997
US 5111312	A	05-05-1992	US	4992750 A	12-02-1991
			AU	6148690 A	22-02-1991
			WO	9101193 A2	07-02-1991
US 5285236	A	08-02-1994	NONE		
WO 0118855	A	15-03-2001	AU	7084800 A	10-04-2001
			WO	0118855 A1	15-03-2001

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-33327

⑬ Int. Cl.³

H 01 L 21/20
21/263

識別記号

庁内整理番号

7739-4M

⑭ 公開 平成4年(1992)2月4日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体結晶化膜の形成方法

⑯ 特 願 平2-140380

⑰ 出 願 平2(1990)5月30日

⑱ 発 明 者 山 口 文 紀 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社
滋賀八日市工場内
⑱ 発 明 者 田 中 聖 也 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社
滋賀八日市工場内
⑱ 発 明 者 新 田 佳 照 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社
滋賀八日市工場内
⑱ 発 明 者 富 田 賢 時 滋賀県八日市市蛇溝町長谷野1166番地の6 京セラ株式会社
滋賀八日市工場内
⑲ 出 願 人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22

明 細 書

1. 発明の名称

半導体結晶化膜の形成方法

2. 特許請求の範囲

基板上に、金属層を介在せしめた下地層、非晶質もしくは多結晶半導体層、および保護層を順次形成した後、上記半導体層にレーザー光を照射して熔融・固化させて結晶化する半導体結晶化膜の形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体結晶化膜の形成方法に関し、特に半導体層の下地層に金属層を介在させて半導体層を結晶化する半導体結晶化膜の形成方法に関する。

(発明の背景)

近時、非晶質または多結晶半導体膜にレーザービームを照射して熔融・固化させて結晶化した半導体結晶化膜を用いて半導体素子を形成すること

が種々試みられている。

このレーザービーム結晶化法では、レーザービームを照射してシリコンを熔融させるときに一時的には1400℃以上に加熱しなければならないことから、石英基板やガラス基板などが被結晶化膜を形成する基板として一般に用いられている。

また、液晶表示装置やイメージセンサなどの駆動素子に用いられる薄膜トランジスタなども、石英基板やガラス基板などの上に形成される。石英基板を用いるとプロセス温度は1000℃前後、またガラス基板を用いるとプロセス温度は600℃前後まで可能であり、石英基板を用いる場合は半導体素子のゲート酸化膜を熱酸化法で形成することができ、またガラス基板を用いる場合はイオン注入法でソース・ドレイン部を形成して熱アニールを行うことができ、特性的にも一応満足できる半導体素子が得られている。

ところが、石英基板やガラス基板は重量が大きく、また可撓性がないために基板の厚みを薄くすれば強度が極端に弱くなり、可撓性ある携帯用機

器の表示装置などへは適用には自ずと限界があると考えられていた。

本発明は、このような背景のもとに案出されたものであり、合成樹脂性のような基板上に形成した半導体膜を結晶化するとともに、特性の良好な半導体素子が得られる半導体結晶化膜の形成方法を提供することを目的とするものである。

(発明の構成)

本発明によれば、基板上に、金属層を介在せしめた下地層、非晶質もしくは多結晶半導体層、および保護層を順次形成した後、上記半導体層にレーザ光を照射して熔融・固化させて結晶化する半導体結晶化膜の形成方法が提供され、そのことにより上記目的が達成される。

(実施例)

以下、本発明を添付図面に基づき詳細に説明する。

第1図は、本発明に係る半導体結晶化膜の形成方法を説明するための図であり、1は基板、2は下地層、3は非晶質または多結晶半導体層、4は

保護膜である。

前記基板1としては、フッ素樹脂、ポリイミド樹脂、ガラス繊維入りフェノール樹脂、ガラス繊維入りメラミン樹脂、ポリエステル樹脂、ガラス繊維入りケイ素樹脂、ガラスエポキシ樹脂などの各種合成樹脂やステンレス基板上に合成樹脂のコート層を形成したものなどが用いられる。

前記基板1上に、下地層2を形成する。この下地層2は、酸化シリコン膜や窒化シリコン膜などから成る第1の絶縁膜2a、Ta、Ni、Cr、Ti、W、Moなどの比較的高融点の金属材料から成る金属層2b、および酸化シリコン膜や窒化シリコン膜などから成る第2の絶縁膜2cなどで構成されており、第1の絶縁膜2aおよび第2の絶縁膜2cは、それぞれ従来周知のプラズマCVD法などにより厚み5000Å以上に、また金属層2bは従来周知のスパッタリング法などにより厚み1μm以上に形成される。本発明では、基板1として合成樹脂性のものなどが用いられるように、下地層2は比較的厚く形成される。

第1の絶縁膜2aおよび第2の絶縁膜2cを例えばプラズマCVD法で形成する場合は、例えばプラズマ反応炉を0.1~5torr、好適には2torrに減圧して、絶縁基板を100~300℃、好適には150℃に維持しながら、N₂OガスとSiH₄ガスを流量比(N₂O/SiH₄)が1~200程度、好適には3.7になるように反応炉内に供給して約0.1W/cm²~2W/cm²、好適には0.5W/cm²の放電用電源でプラズマ反応を起こさせて酸化シリコン膜を基板上に堆積させることにより形成する。

なお、第1の絶縁膜2aおよび第2の絶縁膜2cは、それぞれ半導体膜3にレーザビームを照射して結晶化する際に、基板1から半導体膜3が汚染されるのを防止したり、半導体膜3と合成樹脂基板1の熱収縮率の差異に起因する熱ストレスが半導体膜3が固化する時に発生するのを防止するために設ける。また、金属層2bは、半導体膜3にレーザビームを照射して熔融する際の熱が合成樹脂性基板1に伝搬するのを防止するために、す

なわち放熱板としての作用を持たせるために設ける。

前記下地層2上に、非晶質または多結晶半導体膜3を形成する。この非晶質または多結晶半導体膜3をシリコンで形成する場合は、例えば従来周知のプラズマCVD法などで1~3μm程度の厚みに形成する。すなわち、非晶質または多結晶半導体膜3を例えばプラズマCVD法で形成する場合は、下地層2が形成された基板1をプラズマ反応炉内に搬入して、モノシラン(SiH₃)などの水素化シリコンガスを反応炉に導入し、基板1を150~300℃に加熱しながら水素化シリコンガスをプラズマ中で分解することによって下地層2上に形成する。この場合、ボロンやリンなどの半導体用不純物を同時に混入させておくとよい。

次に、前記非晶質または多結晶半導体膜3上に、保護膜4を形成する。この保護膜4は、酸化シリコン膜、窒化シリコン膜などで構成される。保護膜4を酸化シリコン膜で構成する場合は、プラズマCVD法、光CVD法などで形成される。プラ

ズマCVD法で形成する場合、例えばプラズマ反応炉を0.1～5 torr、好適には2 torrに減圧して、絶縁基板を100～300℃、好適には150℃に維持しながら、N₂OガスとSiH₄ガスとを流量比(N₂O/SiH₄)が1～200程度、好適には37になるように反応炉内に供給して約0.1 W/cm²～2 W/cm²、好適には0.5 W/cm²の放電用電源でプラズマ反応を起こさせることにより、絶縁基板1上に300～5000 Å程度の厚みに形成する。

次に、前記保護膜4上から、レーザ光を照射して非晶質または多結晶半導体膜3を結晶化して結晶化膜を形成する。このレーザ光としては、0.1～20 Wの連続発振アルゴンレーザを走査速度0.5～20 cm/secで照射して非晶質または多結晶半導体膜3を熔融・固化させて結晶化する。この場合、非晶質または多結晶半導体膜3は、厚み方向の全体にわたって熔融させる必要はなく、非晶質または多結晶半導体膜3の下層部分を残して結晶化させてもよい。このように半導体膜の下

層部分を残して結晶化せると、半導体膜3の下層部分を比較的低温に維持できることから、半導体膜3が基板1から汚染されることが少なく、且つトランジスタを形成した場合のバックチャネルの影響も少なくなる。上述のようにして形成した結晶化膜3は、例えば保護層4全体と結晶化膜3の表面部分0.5 μm程度を例えばフッ硝酸溶液などでエッチング除去して、半導体素子を形成するための半導体層として用いる。

第2図は、半導体素子を形成する方法を説明するための図である。

上述のようにして形成した結晶化膜3上に、結晶化膜3中に混入された不純物とは逆導電型を呈する不純物を含有する第2の半導体層5を形成する。この第2の半導体層5は、界面準位を低く抑えるために例えば低イオンエネルギーのイオンビームスパッタリング方法により形成する。すなわち、プラズマイオン発生源をスパッタ室とは分離して設け、このプラズマイオン発生源で発生したプラズマイオンでスパッタ室内に配設した

ターゲットをスパッタして被着面上に膜を堆積させる方法である。次に、第2の半導体層5の一部を残してエッチング除去する。この第2の半導体層5の残った部分がソース領域5aとドレイン領域5bになる。

次に、結晶化した半導体層3の表面部分およびソース領域5aとドレイン領域5b上に、酸化シリコンや窒化シリコンなどから成る絶縁膜6を形成する。この絶縁膜6も、界面準位を低く抑えるために例えば低イオンエネルギーのイオンビームスパッタリング方法により形成する。次に、この絶縁膜6のソース領域5aとドレイン領域5bとの間を残してエッチング除去する。エッチング除去した絶縁膜がゲート絶縁膜となる。

最後に、ソース領域、ドレイン領域、ゲート絶縁膜上に、それぞれA₁などから成るソース電極、ドレイン電極、ゲート電極を真空蒸着法やスパッタリング法で形成して電界効果型トランジスタが完成する。

なお、イオンビームスパッタリング法、真空蒸

着法、およびスパッタリング法は、室温ないし200℃程度の比較的低温で行うことができ、基板として樹脂を用いた場合でも不都合は生じない。(発明の効果)

以上のように、本発明に係る半導体結晶化膜の形成方法によれば、基板上に、金属層が介在した下地層、非晶質もしくは多結晶半導体層、および保護層を順次形成して、上記半導体層にレーザ光を照射して熔融・固化させて結晶化させることから、半導体層にレーザビームを照射した際の熱は下地層内の金属層から放散し、もって基板として合成樹脂性のように比較的耐熱性の悪いものでもを用いることができ、装置の軽量化に大きく貢献でき、超軽量の液晶表示装置などの製作が可能となる。

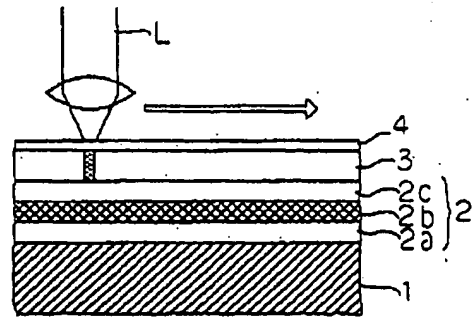
4. 図面の簡単な説明

第1図は本発明に係る半導体結晶化膜の形成方法を説明するための図、第2図は本発明によって形成された半導体結晶化膜を用いて半導体素子を形成する方法を説明するための図である。

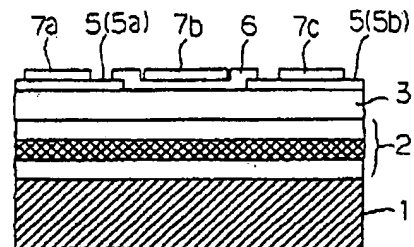
- 1 : 基板
2 : 下地層
2b : 金属層
3 : 非晶質もしくは多結晶導体層
4 : 保護膜

特許出願人
(663) 京セラ株式会社

第1図



第2図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.